

Міністерство освіти і науки України

Вінницький національний технічний університет

ТРОМСЮК ВОЛОДИМИР ДМИТРОВИЧ

УДК 681.38

**МЕТОДИ ТА ПРИСТРОЇ ОЦІНЮВАННЯ БІТОВИХ ПОМИЛОК
У ПРОМИСЛОВИХ КОМП'ЮТЕРНИХ СИСТЕМАХ**

Спеціальність 05.13.05 – комп'ютерні системи та компоненти

АВТОРЕФЕРАТ

дисертації на здобуття наукового ступеня кандидата технічних наук

Вінниця – 2017

Дисертацією є рукопис.

Роботу виконано у Вінницькому національному технічному університеті Міністерства освіти і науки України.

Науковий керівник: доктор технічних наук, професор
Кичак Василь Мартинович,
Вінницький національний технічний університет,
декан факультету інфокомунікацій,
радіоелектроніки та наносистем.

Офіційні опоненти: доктор технічних наук, професор
Кулик Анатолій Ярославович,
Вінницький національний медичний університет,
завідувач кафедри біологічної фізики,
медичної апаратури та інформатики

доктор технічних наук, доцент
Яцків Василь Васильович,
Тернопільський національний економічний університет,
доцент кафедри інформаційно-обчислювальних систем
і управління.

Захист відбудеться «19» __05__ 2017 року о 10 годині на засіданні спеціалізованої вченої ради Д 05.052.01 у Вінницькому національному технічному університеті за адресою: 21021, м. Вінниця, вул. Хмельницьке шосе, 95, ГНК, ауд. 210.

З дисертацією можна ознайомитись в науково-технічній бібліотеці Вінницького національного технічного університету за адресою: 21021, м. Вінниця, вул. Хмельницьке шосе, 95, ГНК.

Автореферат розісланий «18» __04__ 2017 р.

Учений секретар
спеціалізованої вченої ради

С. М. Захарченко

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. У зв'язку зі стрімким розвитком сучасних технологій усе більш значними стають автоматизовані та технічно досконалі технологічні процеси, побудовані на базі промислових комп'ютерних систем. Їх надійність, заводостійкість і продуктивність у багатьох випадках визначається обробленням сигналів в апаратурі передавання даних комп'ютера та якістю відтворення даних у зовнішніх та оперативних ЗП (запам'ятовуючих пристроях).

До сучасних промислових комп'ютерних систем висуваються значні вимоги до заводостійкості, швидкості передавання даних, надійності та характеристик помилок. У будь-якій системі, особливо якщо вона використовується при впливі на неї інтенсивних промислових (переважно імпульсних) завод, виникають різноманітні помилки. У таких системах, на виході демодуляторів можуть з'являтися вставки та випадання бітів, які приводять до зсуву інформаційних послідовностей і до утворення довгих пакетів помилок, що перевищують коректуючу здатність самих потужних заводостійких кодів. Тому для забезпечення високої достовірності передавання даних необхідна оцінка таких параметрів бітових помилок, як вставки й випадання бітів. Така оцінка повинна однозначно давати відповідь на запитання, які заводостійкі коди потрібно використовувати при передаванні інформації у промислових комп'ютерних системах з великим рівнем завод, щоб забезпечити заданий рівень заводостійкості, надійності та достовірності.

Питання дослідження бітових помилок розглядалось у роботах І. Г. Бакланова, В. А. Канакова, А. Я. Кулика, В. В. Яцківа, Е. James Gilley, D. H. Wolaver, K. Chy Deepak, Md. Khaliluzzaman, K. V. Sambasiva Rao, A. Morello, M. Sandell, M. Morikura, А. М. Шлома, L. J. Cimini, N. R. Solenberger, M. Mizoguchi та та ін. Проте застосування результатів досліджень цих авторів пов'язане з численними наближеннями та значними похибками виявлення позицій та оцінювання вставок і випадань бітів на фоні одиничних адитивних помилок. Тому виникає задача оцінювання параметрів бітових помилок на фоні широкого діапазону варіацій одиничних адитивних помилок.

Визначення характеристик помилок у промислових комп'ютерних системах необхідне при розробці та введенні в експлуатацію контролерів зовнішніх і оперативних ЗП та апаратури передавання даних промислових ЕОМ, які передбачають у своєму складі систему корекції помилок FEC (Forward Error Correction) та застосування заводостійких кодів для виправлення помилок. Доцільність використання будь-якого способу захисту інформаційних послідовностей залежить від характеру та параметрів бітових помилок. Поширені заводостійкі коди направлені на виправлення адитивних помилок, а не вставок і випадання бітів, що, в свою чергу, призводить до спотворення даних.

Отже, виникає актуальна наукова задача, що полягає в розробці методів і технічних засобів оцінювання параметрів бітових помилок у промислових комп'ютерних системах зі вставками та випаданнями біт на фоні одиничних адитивних помилок.

Зв'язок роботи з науковими програмами, планами, темами. Роботу виконано на кафедрі телекомунікаційних систем та телебачення відповідно до програм та планів науково-дослідних робіт у Вінницькому національному технічному

університеті, а саме: в рамках держбюджетних науково-дослідних робіт: "Розробка методів і пристроїв первинного цифрового оброблення високочастотних сигналів для систем радіоелектронної боротьби" (№ Держ. реєстр. 0116U004710), "Розробка інформаційних пристроїв і засобів оцінювання джиттеру на базі принципів нечіткого іммітанса та цифрового оброблення сигналів" (Держ. реєстр. 0114U003463) та "Розробка структури цифрової системи передачі сигналів документального електров'язку" (госпдоговір № 4512, організація-замовник – ТОВ "Подільський проектний інститут"). Автор дисертації був виконавцем зазначених НДР.

Мета і задачі дослідження. Метою роботи є підвищення точності виявлення та оцінювання бітових помилок і завадостійкості промислових комп'ютерних систем шляхом зниження впливу одиничних адитивних помилок.

Для досягнення поставленої мети необхідно розв'язати такі задачі:

- провести аналіз існуючих методів і пристроїв оцінювання ПБП (параметрів бітових помилок) у промислових комп'ютерних системах;
- запропонувати та вдосконалити методи оцінювання ПБП у промислових комп'ютерних системах;
- розробити апаратно-орієнтовані алгоритми для виявлення позицій та оцінювання ПБП у промислових комп'ютерних системах зі вставками та випаданнями бітів;
- синтезувати структурні схеми та розробити алгоритми роботи спеціалізованих пристроїв оцінювання ПБП та оцінити їх апаратну складність;
- розробити алгоритми та програми для статистичної обробки вихідних даних пристроїв оцінювання ПБП у промислових комп'ютерних системах;
- дослідити на імітаційній моделі похибки оцінювання параметрів бітових помилок у широких діапазонах зміни ймовірностей одиничних адитивних помилок.

Об'єкт дослідження – процес виявлення вставок і випадань бітів при передаванні даних у промислових комп'ютерних системах.

Предмет дослідження – методи та засоби виявлення та оцінювання вставок і випадань бітів у промислових комп'ютерних системах.

Методи дослідження. Для розв'язання поставлених задач використовувались основні положення: теорії скінчених полів, для розробки апаратно-орієнтованих алгоритмів, розробки удосконаленого кореляційного та позиційного методів; теорії завадостійкого кодування для оцінювання бітових помилок при різних видах демодуляції дискретних сигналів; імітаційного моделювання для побудови імітаційної моделі пристроїв оцінювання бітових помилок; теорії проектування дискретних схем для синтезу структурних і функціональних схем пристроїв оцінювання ПБП; теорії ймовірностей і математичної статистики для визначення похибок оцінювання параметрів бітових помилок на виході пристроїв оцінювання ПБП.

Наукова новизна одержаних результатів

1. Вперше запропоновано позиційний метод виявлення позицій та оцінювання довжин вставок/випадань бітів, який, на відміну від існуючих, базується на обчисленні різниці двох позицій синхросимволів в еталонній і прийнятій псевдовипадковій рекурсивній послідовності, що дозволило підвищити точність оцінювання параметрів бітових помилок на фоні одиничних адитивних помилок.

2. Вперше запропоновано метод перестановки відносних позицій синхросимволів за частотою їх появи, який, на відміну від існуючих, передбачає здійснен-

ня перестановки елементів черги в кожний момент часу лише на базі вхідного та вихідного елементів, що дозволяє на базі послідовної реалізації обчислювальних процесів підвищити точність оцінювання бітових помилок і зменшити апаратну складність пристрою, побудованого на базі позиційного методу.

3. Отримано нові аналітичні вирази для виявлення позицій та оцінювання довжин вставок/випадань бітів на фоні одиничних адитивних помилок, які, на відміну від відомих, враховують фазу синхроімпульсів, що є наслідком лінійної рекурсії тестових послідовностей та дозволяють здійснювати оцінювання найбільш імовірної величини зсуву за аргументом максимального значення частоти повторення однакових величин.

4. Удосконалено кореляційний метод паралельної обробки коефіцієнтів взаємної кореляції, який, на відміну від існуючих, базується на застосуванні пірамідальної згортки значень коефіцієнтів взаємної кореляції, що дало можливість підвищити точність і швидкодію оцінювання бітових помилок та забезпечити знаходження параметрів бітових помилок у режимі реального часу.

Практичне значення одержаних результатів

1. Розроблено алгоритми оцінювання вставок і випадань біт у демодульованих послідовностях промислових комп'ютерних систем, які базуються на знаходженні різниці найбільш імовірних фаз сигналу в двох суміжних відрізках послідовності, що дозволило підвищити точність та завадостійкість оцінювання бітових помилок на фоні одиничних адитивних помилок, а також відокремлювати одну від одної помилки різних типів: вставки, випадання та одиничні фонові адитивні помилки.

2. На базі удосконаленого кореляційного методу запропоновані структурні та функціональні схеми пристрою оцінювання ПБП для виявлення позицій та оцінювання довжин вставок/випадань бітів на базі обчислення коефіцієнтів взаємної кореляції синхросимволів еталонної та прийнятої послідовностей. Розроблено пристрій паралельної обробки значень коефіцієнтів взаємної кореляції та пристрій паралельного обрахування бітових помилок, що дозволяє підвищити точність і завадостійкість оцінювання ПБП у досліджуваних промислових комп'ютерних системах у режимі реального часу при тактовій частоті даного варіанта пристрою, яка в два рази перевищує тактову частоту передавання бітової послідовності.

3. На базі позиційного методу та методу перестановки синхросимволів за частотою їх появи розроблені структурні та функціональні схеми пристрою оцінювання ПБП на основі обчислення різниці двох позицій синхросимволів еталонної та прийнятої рекурсивної послідовності, що дозволяє при послідовній реалізації обчислювальних процедур досягнути високої швидкодії розробленого пристрою, підвищити точність оцінювання параметрів бітових помилок, у режимі реального часу, при швидкостях передавання інформації в досліджуваних промислових комп'ютерних системах до 50 Мбіт/с.

4. На базі розробленої програмної моделі досліджень похибки оцінювання параметрів бітових помилок, яка була використана при імітаційному моделюванні запропонованих методів, алгоритмів і пристроїв, було встановлено такі діапазони їх застосування: ймовірність виникнення фатальної (невиправної) помилки та середнє значення абсолютної помилки визначення позицій вставок і випадань бітів, які не перевищують, відповідно, 0,01...0,1 і 1-3 біти при ймовірностях виникнення

одиночних адитивних помилок не більше ніж 10^{-2} на біт і вставок/випадань бітів не більше ніж $225 \cdot 10^{-5}$ на біт.

Практичні результати дисертаційної роботи (Методи та пристрої оцінювання бітових помилок у промислових комп'ютерних системах) впроваджено на державному підприємстві "Науково-дослідний інститут Гелій", про що свідчить відповідний акт (акт від 6.10.2016) та у Подільському проектному інституті (акт від 10.10.2016), теоретичні та практичні положення роботи впроваджено в навчальний процес у Вінницькому національному технічному університеті для виконання лабораторних робіт та проведення лекційних занять для студентів за напрямком підготовки 6.050901-02 – Апаратура радіозв'язку, радіомовлення і телебачення (акт від 12.10.2016).

Основний внесок здобувача. Основні теоретичні та практичні результати отримані автором самостійно. У роботах, які були опубліковані у співавторстві, здобувачеві належать такі результати: у роботах [1, 7, 8] – постановка задачі дослідження, розробка можливих варіантів підвищення завадостійкості приймання сигналів; [2, 4] – розробка удосконаленого кореляційного та позиційного методів оцінювання ПБП у промислових комп'ютерних системах; [3] – оцінювання бітових помилок при різних видах демодуляції сигналів; [5, 14] – оцінювання роздільної здатності удосконаленого кореляційного та позиційного методів; [6] – розробка методу сортування відносних позицій синхросимволів за частотою їх появи; [9–13] – уточнення та розробка алгоритмів оцінювання вставок і випадань бітів у демодульованих двійкових послідовностях; [15, 16] – використання логічного елемента І-НІ і логічного елемента для розробки функціональної схеми блока прийняття рішення про наявність помилок і функціональної схеми блока прийняття рішення про наявність помилок та схеми блока формування потоку станів.

Апробація результатів дисертації. Викладені в дисертації результати пройшли апробацію (доповідались і обговорювались) на 8 наукових, науково-технічних, науково-практичних конференціях і семінарах, в тому числі: III Міжнародній науково-технічній конференції "Фізико-технологічні проблеми радіотехнічних пристроїв, засобів телекомунікацій, нано- та мікроелектроніки" (Чернівці, 2013); Міжнародній науково-технічній конференції "Радіотехнічні поля, сигнали, апарати та системи" (РТПСАС – 2014) (Київ, 2014); IV Міжнародній науково-технічній конференції "Інфокомунікації – сучасність та майбутнє" (Одеса, 2014); Міжнародній науково-практичній конференції "Технические науки – от теории к практике" (Новосибірськ, 2015); III Technical Sciences: modern issues and development Prospects "Technical Sciences: modern issues and development Prospects", (Шефїлд, 2015); Міжнародній науково-технічній конференції (РТПСАС – 2016) "Радіотехнічні поля, сигнали, апарати та системи" (Київ, 2016); XIV Proceedings of the International Conference TCSET'2016 "Modern Problems of Radio Engineering, Telecommunications and Computer Science", (Львів, 2016); XVI Міжнародній науково-технічній конференції "Вимірювальна та обчислювальна техніка в технологічних процесах" (ВОТТП – 2016) (Одеса, 2016).

Публікації. Результати досліджень опубліковані у 16 наукових працях, у тому числі в 6 статтях у наукових журналах, які входять у наукометричні бази [1–6], з яких 1 входить у реферативну базу даних Scopus [6], 2 патентах України на корисні моделі [15, 16] та 8 тезах і матеріалах доповідей на конференціях [7–14], з

яких 2 входять в іноземні видання [10, 11], 1 входить у реферативну базу даних Scopus [13].

Структура і обсяг дисертації. Дисертаційна робота складається зі вступу, чотирьох розділів, основних висновків, семи додатків та бібліографічного списку зі 135 найменувань. Загальний обсяг дисертації складає 232 сторінки, з яких основний зміст викладений на 147 сторінках друкованого тексту, містить 25 таблиць та 63 рисунки.

ОСНОВНИЙ ЗМІСТ РОБОТИ

У **вступі** до дисертації обґрунтовано актуальність теми досліджень, сформульовано мету роботи та задачі досліджень. Дана характеристика наукової новизни та практичної цінності отриманих результатів. Показано взаємозв'язок роботи з науковими програмами, планами, темами. Наведено відомості про особистий внесок здобувача, впровадження та апробацію результатів досліджень.

У **першому розділі** проаналізовано сучасні методи та засоби виявлення та оцінювання бітових помилок у промислових комп'ютерних системах, з яких видно, що обраний напрямок дослідження бітових помилок на фоні одиничних адитивних помилок є дійсно маловивченим, але перспективним для отримання нових наукових результатів та їх застосування на практиці. Розглянуті методи виявлення бітових помилок можуть бути використані для виявлення деяких параметрів цих помилок, наприклад, довжини вставок або випадань бітів. Однак у розглянутих методів низька точність локалізації ПБП при наявності фонових адитивних помилок, оскільки вони не орієнтовані на аналіз розміщення вставок і випадань у потоці даних і не можуть бути використані для визначення характеристик групування вставок і випадань бітів. Таким чином, відомі методи та пристрої, які здатні оцінювати рівень бітових помилок, не дозволяють здійснювати оперативну та достовірну обробку вставок і випадань бітів, тому не можуть бути покладені в основу пристроїв, які зможуть з великою точністю виявляти та оцінювати ПБП. На базі причин, які викликають розглянуті в роботі недоліки сучасних методів і пристроїв оцінювання ПБП, сформульовано задачі та напрямки дослідження.

У **другому розділі** виконано теоретичний аналіз, запропоновано позиційний і метод перестановки відносних позицій синхросимволів, удосконалено кореляційний метод виявлення позицій та оцінювання вставок і випадань бітів для забезпечення високої точності оброблення даних у промислових комп'ютерних системах.

Теоретичне обґрунтування розробки методів і пристроїв виявлення позицій та оцінювання бітових помилок показало, що для забезпечення високої точності оброблення даних у промислових комп'ютерних системах потрібно враховувати можливі вставки та випадання бітів у демодульованих послідовностях, щоб запобігти появі фатальної помилки. Для цього доцільно проводити оцінювання вставок і випадань біт на фоні одиничних адитивних помилок, щоб обрати (розробити) ефективні завадостійкі коди, які здатні впоратися з появою таких видів помилок. У сучасних промислових комп'ютерних системах важливим є надійне передавання даних навіть у випадку впливу інтенсивних імпульсних промислових завад. Тому важливо проводити тестування систем, які піддаються впливу подібного типу завад. Це дасть можливість розробникам завадостійких кодів розробити такі алгоритми кодування/декодування, які дозволять оптимально

працювати спеціальній або розподіленій промисловій комп'ютерній системі в умовах впливу різноманітних завад.

Запропонований позиційний метод оцінювання бітових помилок на базі синхросимволів з особливими параметрами містить такі дані:

- вхід: $a_0 \dots a_{T-1}$ – елементи еталонної тестової послідовності; A_0, A_1, \dots, A_j – синхросимволи, зсунуті на один біт; c – значення лічильника за модулем T ;

- вихід: j – позиція синхросимвола; A_j – синхросимвол з позицією j ; R_i – відносні позиції синхросимволів.

Суть позиційного методу полягає в тому, що між позиціями та синхросимволами M -послідовності існує зв'язок, який означає, що біти M -послідовності можна визначити через функцію розташування, яка відображає елементи поля $GF(2^v)$ на елементи поля $GF(2^k)$

$$tr_k^v(x) = \sum_{p=0}^{(v/k)-1} x^{2^{k \cdot p}}. \quad (1)$$

Для двійкової M -послідовності ($v = m, k = 1$), черговий елемент визначається таким чином:

$$a_j = tr_1^m(a^j) = \sum_{p=0}^{m-1} (a^j)^{2^p} = \sum_{p=0}^{m-1} (a^{2^p})^j. \quad (2)$$

Синхросимволи A_j при цьому можуть бути вираженими через базисні елементи a^0, \dots, a^{m-1} поля $GF(2^m)$ виразом

$$A_j = \sum_{t=0}^{m-1} a^t tr_1^m(a^{j+2^t}), \quad (3)$$

де j – позиція синхросимвола.

Вираз для знаходження синхросимвола (3) доцільно переписати таким чином:

$$A_j = \sum_{t=0}^{m-1} a^t tr_1^m(a^{j+2^t}) = \sum_{t=0}^{m-1} a^t \sum_{p=0}^{m-1} (a^{j+2^t})^{2^p} = \sum_{t=0}^{m-1} \sum_{p=0}^{m-1} a^{j2^p + t2^p + t} = \sum_{p=0}^{m-1} (a^j)^{2^p} \sum_{t=0}^{m-1} a^{t(2^p+1)} = \sum_{p=0}^{m-1} x^{2^p} \cdot c_p, \quad (4)$$

де $x = a^j$, c_p – деяка константа, яка знаходиться за виразом:

$$c_p = \sum_{t=0}^{m-1} a^{t(2^p+1)}. \quad (5)$$

Таким чином, наведена вище позиція синхросимвола j визначається як

$$j = \log_a x, \quad (6)$$

а параметр x знаходиться з рівняння, яке складається на базі рівності (4):

$$A_j = \sum_{p=0}^{m-1} c_p \cdot x^{2^p}. \quad (7)$$

де c_p – деякі константи, $c_p \in GF(2^m)$.

Це рівняння має тільки один корінь в полі $GF(2^m)$ при $A_j \neq 0$.

Для знаходження значень оцінки найбільш імовірної фази прийнята вихідна бітова послідовність перетворюється в потік реальних синхросимволів, який обробляється ковзним вікном довжиною k символів $(\bar{A}_i, \bar{A}_{i+1}, \dots, \bar{A}_{i+k-2}, \bar{A}_{i+k-1})$, де i – номер реального синхросимвола в потоці.

Позиція $L(\bar{A}_i)$ реального синхросимвола в загальному випадку не відповідає позиції i еталонного через зсуви, які викликані вставками та випаданнями бітів і спотвореннями кодів \bar{A}_i , одиничними адитивними помилками, тобто, в загальному

випадку $L(\bar{A}_i) \neq i \bmod T$, де $L(\bar{A}_i)$ – оператор знаходження позиції синхросимвола \bar{A}_i . Оператор знаходження позиції синхросимвола може бути реалізований апаратно на ПЗП у зв'язку з однозначною відповідністю в М-последовності між m -розрядним двійковим вектором синхросимвола A_i і кодом його номера.

У досліджуваному "вікні" можна знайти позиції синхросимволів і перерахувати їх за модулем T відносно реальної позиції $L(\bar{A}_i)$ першого синхросимвола. Таким чином отримується вектор вікна $L(\bar{A}_i), L(\bar{A}_{i+1})-1, \dots, L(\bar{A}_{i+k-2})-k+2, L(\bar{A}_{i+k-1})-k+1$.

Елементи цього вектора є відносними позиціями R_i , які є різницею реальних позицій $L(\bar{A}_i)$ і значень i в лічильнику за модулем T :

$$R_i = L(\bar{A}_i) - \text{Re } s_i. \quad (8)$$

Відносні позиції синхросимвола (ВПС) R_i відповідають величинам реальних зсувів між синхросимволами последовності, яка приймається, та синхросимволами еталонної тестової последовності в кожній її i -тій позиції. Якщо вставки, випадання та одиничні адитивні помилки відсутні, то всі $R_i = \text{const}$ як в межах кожної ковзної обробки, так і протягом всього періоду T тестової М-последовності. Якщо виникають вставки або випадання бітів при відсутності одиничних адитивних помилок, то всі R_i однакові на всьому проміжку між суміжними бітовими помилками. Якщо виникають додаткові одиничні адитивні помилки, то через спотворення двійкових кодів деяких векторів синхросимволів A_i будуть спостерігатися випадкові відхилення значень R_i . В такому випадку на базі введеного вище вектора вікна можна сформулювати оцінку найбільш імовірної фази.

За оцінку найбільш імовірної фази доцільно обирати таке значення ВПС, яке найчастіше зустрічається у векторі вікна. Назвемо його істотною відносною позицією синхросимвола (ІВПС) R . При цьому кількість входжень позиції у вектор вікна буде називатися його значенням (вагою) W_i . За допомогою ІВПС R можливе правильне визначення фази последовності у вікні до певного допустимого рівня ймовірності виникнення одиничних адитивних помилок, яка може бути знайдена шляхом імітаційного статистичного моделювання описаних нижче процедур.

Отже, розрахунок оператора знаходження позиції синхросимвола \bar{A}_i дозволяє, за допомогою обчислювальних процедур, знайти позиції та значення вставок і випадань бітів у промислових комп'ютерних системах. Таким чином, отримавши оцінку промислової комп'ютерної системи, можна однозначно сказати, який тип заводських кодів потрібно використати для забезпечення надійного оброблення даних. Наприклад, для позиційного методу відновлення біта еталонної тестової последовності виконується таким чином:

$$a_i = A((R+i) \bmod T). \quad (9)$$

Запропонований метод перестановки ВПС за частотою їх появи для оцінювання ПБП на базі чотирьох однозначно визначених масивів: Cnt, Elem, Pos і LB. Для зручності опису запропонованого методу в подальшому використовуватиметься скорочена назва – метод перестановки ВПС.

До вхідних і вихідних характеристик методу перестановки ВПС відносять такі дані:

- вхід: масиви Cnt, Elem і Pos мають розмір T , масив LB має розмір $k+1$; i – індекс масиву; A_0, A_1, \dots, A_j – синхросимволи, зсунуті на один біт; c – значення лічильника за модулем T ;

- вихід: R – ІВПС; W – значення (вага) синхросимвола.

Суть методу перестановки ВПС полягає в тому, що черга Q містить k елементів, значення яких можуть знаходитися в межах від 0 до $T-1$ (кількість синхросимволів у послідовності A_0, A_1, \dots, A_j). Кількість елементів черги, які мають значення "0", позначимо c_0 , значення "1" – c_1 , значення "j" – c_j . При цьому в кожному момент часу, тобто для кожного з послідовних станів черги, потрібно вказати таку послідовність індексів $i_0 \dots i_{T-1}$, які не повторюються, що означає

$$c_{i(0)} \geq c_{i(1)} \dots c_{i(T-1)}, \quad (10)$$

або

$$c_{i(j)} \geq c_{i(j)} \dots c_{i(T-j)}. \quad (11)$$

Розроблений метод дозволяє знизити часову складність $O(1)$ та побудувати послідовність перестановки елементів черги за частотою їх появи (табл. 1).

Таблиця 1 – Послідовність обробки вхідного та вихідного елементів черги

№ кроку	Дія	№ кроку	Дія
1	cnt = Cnt[Elem]	13	cnt = Cnt[OutElem]
2	lb = LB[cnt]	14	cnt = cnt - 1
3	pos = Pos[InElem]	15	Out[OutElem] = cnt
4	elem = Elem[lb]	16	lb = LB[cnt]
5	Elem[lb] = InElem	17	lb = lb - 1
6	Elem [pos] = elem	18	LB[cnt] = lb
7	Pos[elem] = pos	19	pos = Pos[OutElem]
8	Pos[InElem] = lb	20	elem = Elem[lb]
9	lb = lb + 1	21	Elem[lb] = OutElem
10	LB[cnt] = lb	22	Elem[pos] = elem
11	cnt = cnt + 1	23	Pos[Elem] = pos
12	Cnt[InElem] = cnt	24	Pos[OutElem] = lb

На початку роботи масиви Cnt і LB ініціалізується нульовими значеннями, а масиви Elem і Pos – зростаючими послідовностями цілих чисел від 0 до $T-1$. Крім того, встановлюються співвідношення $Elem[0] = k$ і $LB[0] = 1$.

Запропонований метод виконується за фіксоване число кроків, які не залежать від величини періоду T , як при програмній, так і при апаратній реалізації. При цьому знаходження ІВПС і її значення здійснюється за допомогою співвідношень

$$R_i = Elem[c_i], \quad W_i = Cnt[c_i]. \quad (12)$$

Отже, розрахунок ІВПС R_i та її значення W_i дозволяє, за допомогою обчислювальних процедур, знайти відносні позиції та значення довжин вставок і випадань бітів у промислових комп'ютерних системах. Таким чином за допомогою отриманої оцінки можна розробити рекомендації вибору завадостійких кодів для забезпечення надійного оброблення даних в досліджуваній системі.

Удосконалений кореляційний метод передбачає обрахування множини коефіцієнтів шляхом побітового порівняння прийнятої послідовності в межах ковзного вікна зі всіма можливими циклічними зсувами еталонної тестової

послідовності. Далі підраховується кількість бітів, що збігаються, та проводиться вибір найбільш імовірної фази – номера циклічного зсуву, який відповідає максимальному значенню коефіцієнта взаємної кореляції.

Операція знаходження найбільш імовірної фази може бути спрощена шляхом усунення обробки всіх бітів вікна на кожному кроці. Для цього доцільно ввести T лічильників для зберігання значень ($W_0 \dots W_{T-1}$) коефіцієнтів взаємної кореляції на кожному кроці та лічильник за модулем T . Для цього вводяться такі позначення:

- вхід: b_{in} , b_{out} – вхідний і вихідний біти прийнятої послідовності; $a_0 \dots a_{T-1}$ – елементи еталонної послідовності; C – значення лічильника за модулем T ;
- вихід: L – найбільш імовірна фаза на поточному кроці; W – максимальне значення коефіцієнта взаємної кореляції, який відповідає найбільш імовірній фазі.

Математично операція кореляційного знаходження найбільш імовірної фази для вікна довжиною k може бути записана таким чином:

$$L = \arg \max \left\{ \sum_{t=0}^{k-1} b_t \oplus a_{(i+t) \bmod T} \right\}, \quad W_i = \sum_{t=0}^{k-1} b_t \oplus a_{(i+t) \bmod T}, \quad i = \overline{0, T-1}, \quad (13)$$

де L – найбільш імовірна фаза послідовності; W_i – значення коефіцієнта взаємної кореляції між відрізком вихідної послідовності та i -тим циклічним зсувом еталонної тестової послідовності; a_i – елемент еталонної тестової послідовності; b_t – елемент прийнятої послідовності; T – період.

При цьому вхідні та вихідні біти прийнятої послідовності знаходження найбільш імовірної фази можуть бути знайдені таким чином:

$$\begin{cases} b_{in} = a_{(i+C) \bmod T}, & W_i = W_{i+1}; \\ b_{out} = a_{(i+C+k) \bmod T}, & W_i = W_{i-1}. \end{cases} \quad (14)$$

Запропонований метод дозволяє виявляти бітові помилки на фоні одиничних адитивних помилок та оцінювати їх параметри, а також відокремлювати одну від одної помилки різних типів: вставки, випадання та одиничні адитивні помилки.

Аналіз роздільної здатності запропонованих методів (рис. 1–3) показав, що удосконалений кореляційний метод (графіки пунктиром) має кращу роздільну здатність, тобто стійкий до одиничних адитивних помилок, оскільки криві, які відповідають цьому методу, завжди розміщені нижче, при всіх значеннях m .

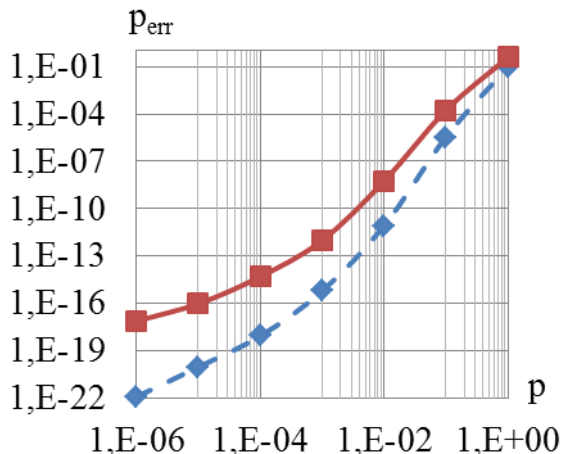


Рисунок 1 – Залежність ймовірності недостовірного виявлення фази p_{err} від ймовірності одиничних адитивних помилок p при $m = 3$

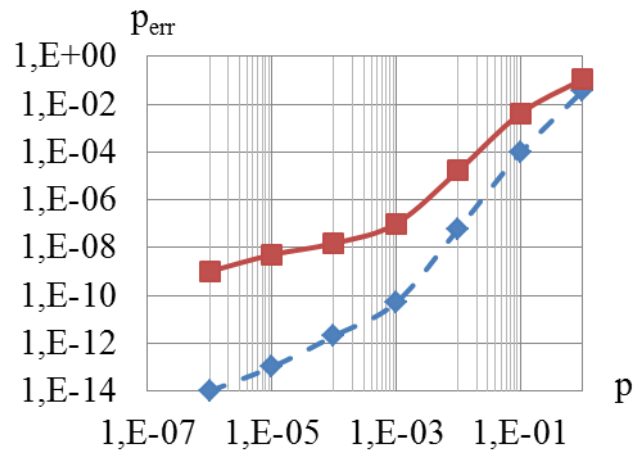


Рисунок 2 – Залежність ймовірності недостовірного виявлення фази p_{err} від ймовірності одиничних адитивних помилок p при $m = 4$

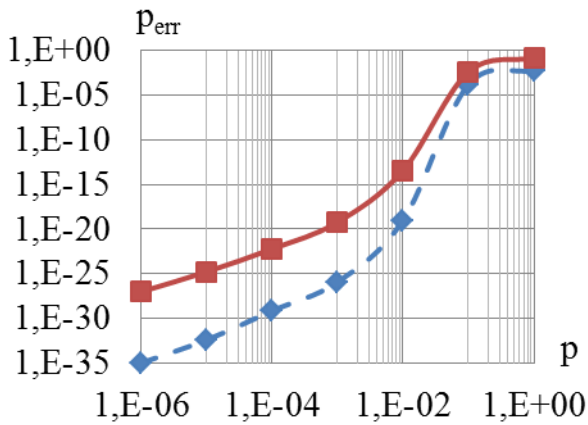


Рисунок 3 – Залежність імовірності недостовірного виявлення фази p_{err} від імовірності одиничних адитивних помилок p при $m = 5$

Третій розділ присвячено розробці структурних і функціональних схем окремих блоків пристроїв виявлення та оцінювання бітових помилок на базі позиційного та методу перестановки ВПС і удосконаленого кореляційного методу. Пристрій оцінювання ПБП на базі удосконаленого кореляційного методу наведений на рис. 4. У блоці знаходження найбільш імовірної фази використовується мажоритарний принцип, який ґрунтується на базі аналізу вхідного (INBIT) та вихідного (OUTBIT) бітових потоків, отриманих із регістра зсуву RG.

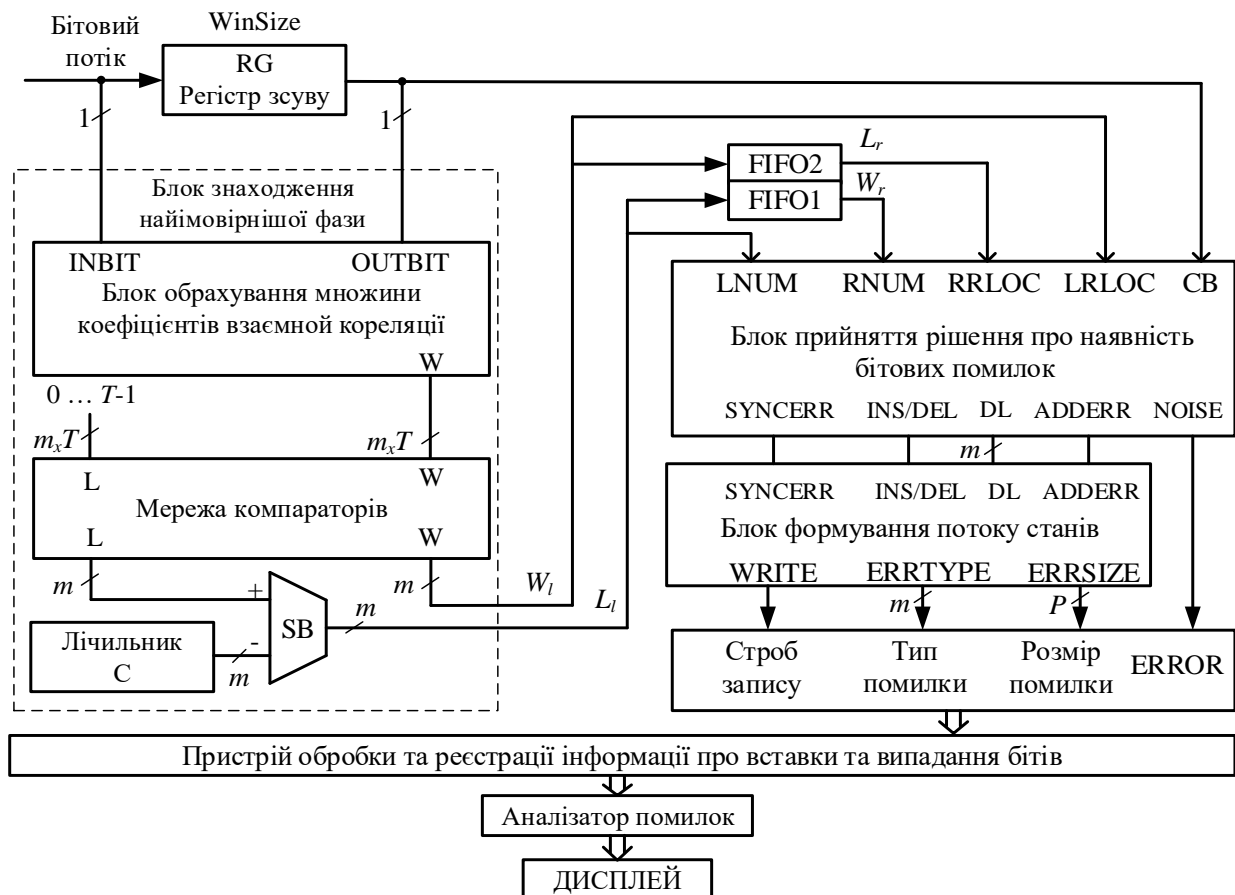


Рисунок 4 – Структура пристрою оцінювання ПБП на базі удосконаленого кореляційного методу

Регістр зсуву в кожному такті формує позицію біта L_I , яка відповідає оцінці найбільш імовірної фази тестової послідовності. Цій істотній позиції відповідає значення W_I (NUM), тобто максимальне значення коефіцієнта взаємної кореляції. Число ступенів буфера ВПС дорівнює WinSize (довжині вікна). Вихідний біт із регістра зсуву також використовується для виявлення одиничних адитивних поми-

лок у блоці прийняття рішення про наявність помилок. Блок знаходження найбільш імовірної фази реалізований на базі блока обрахування множин коефіцієнтів взаємної кореляції, мережі компараторів, лічильника і блока віднімання SB.

Еталонні ПВП на виходах ГКП (PNG) зсунуті за фазою одна відносно одної на WinSize бітів. У випадку приходу на входи лічильників однакових значень операція збільшення або зменшення заповнення лічильників не виконуються.

У випадку виявлення бітової помилки на виході блока прийняття рішення про наявність помилок видається сигнал SYNCERR, а також подібні йому сигнали: INS/DEL (вставка або випадання бітів) і DL (кількість вставлених або випавших бітів). Блок прийняття рішення про наявність помилок щодо ІВП (істотних відносних позицій) відновлює достовірне значення центрального біта. Також цей блок, аналізуючи ділянку еталонної тестової послідовності, здійснює порівняння з її дійсним (прийнятим, затриманим) значенням, яке надходить з другого регістра зсуву RG2. У випадку нерівності цих бітів фіксується помилка. Якщо ця помилка не була викликана вставленням бітів, то на вихід блока прийняття рішення про наявність помилок видається сигнал про наявність одичної адитивної помилки ADDERR. Якщо рівень адитивних помилок перевищив заданий поріг і значення ІВП бітів зменшилось настільки, що неможливо прийняти правильне рішення про наявність помилок у даний момент часу, то виділяється сигнал NOISE (неможливість достовірного вимірювання) для пристрою реєстрації інформації про помилки. Присутність даного сигналу говорить про те, що вся інформація, видана пристроєм оцінювання ПБП, не є достовірною в даний момент часу. Тобто, це повинно бути враховано при наступній обробці потоку станів (табл. 2).

Блок формування потоку станів на базі інформації, яка надходить з блока прийняття рішень про наявність помилок, формує строб запису WRITE, тип помилки ERRTYPE і довжину помилки ERRSIZE. Безпомилкові стани та фонові адитивні помилки збираються в блоки для формування потоку станів у пакет, де виділяються 4 типи станів, як показано в табл. 2.

Таблиця 2 – 4 типи станів

Тип помилки	Без помилок	Адитивна помилка	Випадання	Вставка
ERRTYPE0	0	1	0	1
ERRTYPE1	0	0	1	1

Структурна схема пристрою, в основу якого покладено позиційний метод і метод перестановки ВПС, наведена на рис. 5. Тут використовуються такі позначення: RG – регістр зсуву; $L(A)$ – перетворювач синхросимволів у позиції бітів; SB – віднімач; i – вміст лічильника за модулем T ; m – розрядність твірного многочлена M -послідовності; FIFO – буфер (набір регістрів, послідовно з'єднаних m -розрядними шинами) ВПС ємністю k символів; P – довжина потоку стану (довжина помилки); INLOC – вхідна ВПС; OUTLOC – вихідна ВПС; ENABLE – сигнал дозволу роботи блока знаходження ІВПС; NUM – вага ІВПС; RLOC – ІВПС.

Пристрій оцінювання ПБП, побудований на базі цих методів, працює таким чином: m -розрядний регістр зсуву RG1 перетворює вхідну бітову послідовність на послідовність синхроімпульсів A_i , яка перетворювачем синхросимволів в позиції $L(A)$ перетворюється на послідовність позицій L_i .

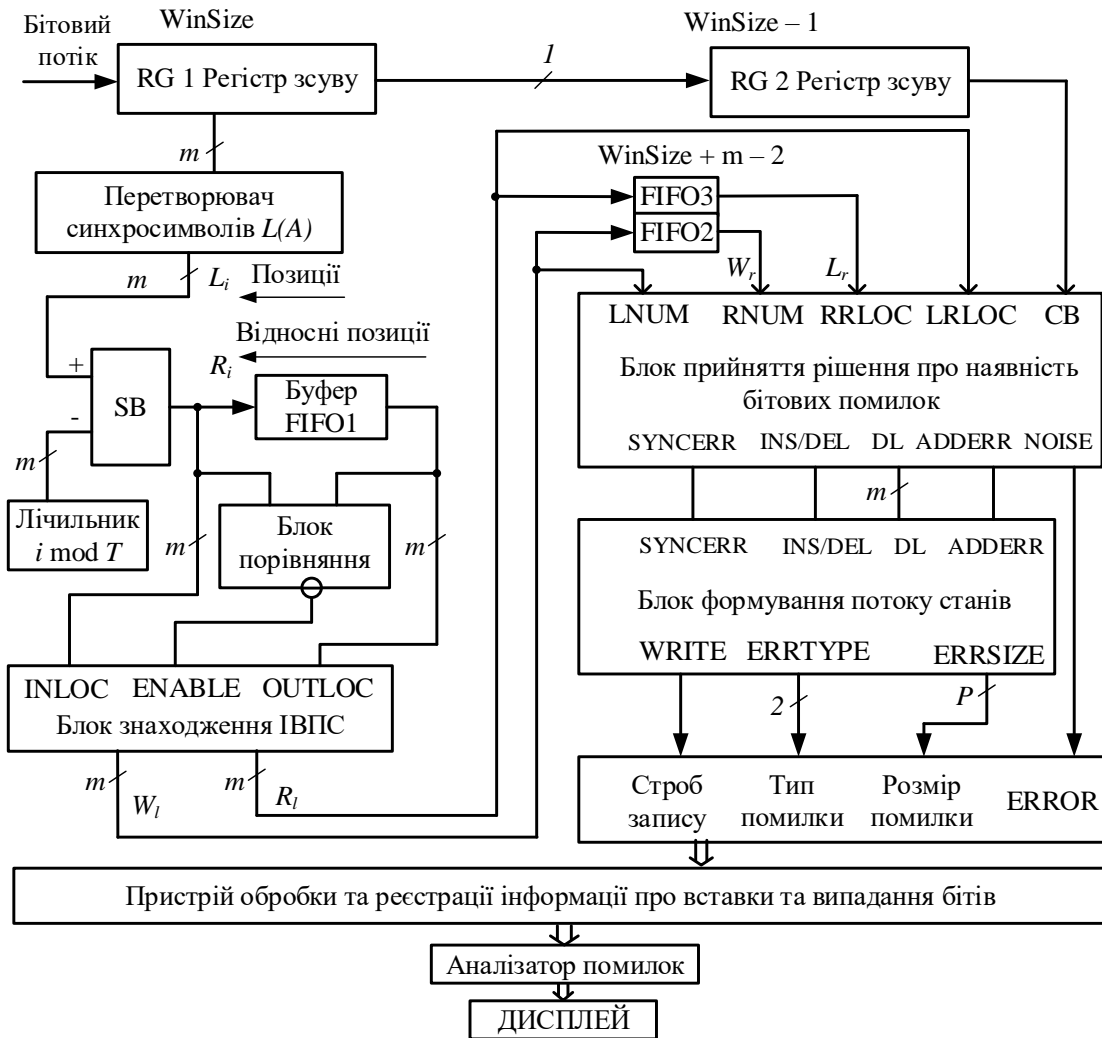


Рисунок 5 – Структура пристрою оцінювання ПБП, побудованого на базі позиційного методу та методу перестановки ВПС

Блок (SB) здійснює операцію віднімання з кожної позиції бітів у поточне значення лічильника, який містить змінну i за модулем T . Таким чином отримується послідовність ВПС R_i , яка з виходу блока віднімання SB надходить на вхід буфера ВПС FIFO1.

$$\begin{cases} R_i = L(A_i) - C_i \bmod T, & (2^m - 1) \neq 111\dots; \\ R_i = 0, & (2^m - 1) = 111\dots \end{cases} \quad (15)$$

Регістр зсуву RG2 призначений для затримки бітів тестової послідовності, яка в подальшому буде використана для знаходження одиничних адитивних помилок. Ця затримка необхідна для узгодження моментів прийняття рішення про наявність адитивних помилок і вставок/випадань бітів у комп'ютерній системі. При цьому число ступенів S_{RG2} регістра зсуву RG2 на одиницю менше довжини вікна

$$S_{RG2} = WinSize - 1. \quad (16)$$

Позиції та їх значення на входах буферів відповідають лівому вікну, а затримані позиції (R_r) та затримані значення (W_r) на виході буферів – правому вікну

$$\begin{aligned} R_{i_r}(-\tau) &= L(A_{i-\tau}) \cdot (k - \tau) - C_{i-\tau} \bmod T, \\ W_{i_r}(-\tau) &= \sum_{t=0}^{k-1} b_t \oplus a_{(i+t-\tau) \bmod T - \tau}(k - \tau), \quad i = 0, T - 1. \end{aligned} \quad (17)$$

У випадку виявлення бітової помилки на виході блока прийняття рішення про наявність помилок видається сигнал SYNCERR, а також подібні йому сигнали: INS/DEL і DL. При цьому, якщо рівень одиничних адитивних помилок перевищив заданий поріг і значення ІВПС бітів зменшилось настільки, що неможливо прийняти правильне рішення про наявність помилок у даний момент часу, то виділяється сигнал NOISE (відмова від вимірювання) для пристрою реєстрації інформації про помилки:

$$\begin{cases} a_i = b_i, & p_{ins} = p_{del} = p_{aderr} = 0; \\ a_i = b_{INS}, & p_{ins}; \\ a_i = b_{DEL}, & p_{del}; \\ a_i = \bar{b}_i, & p_{aderr}. \end{cases} \quad (18)$$

Блок формування потоку станів на базі інформації, яка надходить з блока прийняття рішень про наявність помилок, виділяє 4 типи станів, які показано в табл. 2. Залежно від обраного стану буде формуватися той чи інший тип помилки.

На рис. 6 наведені часові діаграми тестових сигналів пристрою оцінювання ПБП, побудованого на базі позиційного методу та методу перестановки ВПС.



Рисунок 6 – Часові діаграми пристрою оцінювання ПБП

Один такт CLC відповідає часу надходження одного біта тестової послідовності на вхід пристрою. Тактовий сигнал CLC2 необхідний для роботи блока знаходження ІВП, що обумовлено роботою перетворювача синхросимволів у позиції. При цьому час виконання команди звернення до ПЗП визначається так:

$$t_k = T \cdot n + T \cdot \sum K_i, \quad (19)$$

де T – період тактової частоти пристрою; n – число тактів, потрібних для виконання команди; K_i – число тактів очікування в i -тому циклі виконання команди.

Блок формування потоку станів починає працювати паралельно з блоком знаходження ІВП з двадцятого такту (сигнал CLC3). Це можливо завдяки тому, що дані на виході останнього готові вже до кінця вісімнадцятого такту. Таким чином економляться два такти роботи (CLC2) всього пристрою в цілому. Тактовий сигнал CLC3 необхідний для рознесення в часі реєстрації одиничних адитивних помилок та бітових помилок. Тактовий сигнал CLC4 призначений для формування стробового сигналу запису для пристрою реєстрації інформації про помилки, який повинен фіксувати інформацію про помилки на передньому фронті сигналу WRITE. Відповідно, на кожний біт прийнятої послідовності потрібно 22 такти роботи пристрою оцінювання ПБП, який побудований на базі цих методів.

У роботі простоїв оцінювання ПБП важливою є швидкодія та швидкість виконання обчислювальних операцій, оскільки існує необхідність отримання оцінок параметрів бітових помилок у режимі реального часу. Тому проведене оцінювання складності реалізації різних блоків пристрою оцінювання ПБП (табл. 3).

Для реалізації пристроїв оцінювання ПБП для деяких m , які найчастіше зустрічаються на практиці, важливою є кількість слайсів, ємність пам'яті та тип сімей ПЛІС. Враховуючи досягнення тактової частоти в 600–650 МГц для сімей ПЛІС Xilinx Virtex. При цьому максимальна швидкість даних буде складати приблизно 500–550 Мбіт/с для удосконаленого кореляційного методу та 100–200 Мбіт/с для позиційного та методу перестановки ВПС.

Обчислювальна складність розроблених пристроїв оцінювання ПБП при реалізації на спеціалізованих програмованих сигнальних мікропроцесорах складає $\sim 200 + 27 \cdot T$ тактів при реалізації пристрою на базі удосконаленого кореляційного методу та ~ 230 тактів при реалізації пристрою на базі позиційного методу та методу перестановки ВПС. Наприклад, при $m = 7$, $T = 2^7 - 1 = 127$, відповідно, обчислювальна складність пристрою оцінювання ПБП, побудованого на базі удосконаленого кореляційного методу, складатиме ~ 3629 тактів, а для пристрою оцінювання ПБП, побудованого на базі позиційного методу, складатиме ~ 230 тактів, при їх програмній реалізації на серійних сигнальних мікропроцесорах.

Таблиця 3 – Максимальні оцінки складності пристроїв оцінювання ПБП

Удосконалений кореляційний метод		
Назва блока	Кількість слайсів	Ємність пам'яті, біт
Основна схема	0	$(2^{m+1}) \cdot (2^m - 1)$
Блок знаходження найімовірнішої фази	$(2^m - 1) \cdot (4,5m + 1) + 2,5m$	0
Блок прийняття рішення про наявність помилок	$11,5m + 2$	2^m
Блок формування потоку станів	32	0
Разом	$(4,5 \cdot 2^m + 9,5) \cdot m + 2^m + 33$	$(m+1) \cdot 2^m + 1 - 2m - 1$
Позиційний метод та метод перестановки ВПС		
Основна схема	$2,5m$	$m \cdot 2^m + (2^m - 2) + (2^m - 1) \cdot m + m \cdot 2 \cdot (2^m + m - 3)$
Блок знаходження найімовірнішої фази	$15m + 23$	$4m \cdot 2^m$
Блок прийняття рішення про наявність помилок	$11,5m + 2$	2^m
Блок формування потоку станів	32	0
Разом	$29m + 59$	$4m^2 + (8 \cdot 2^m - 7) \cdot m + 2^{m+1} - 2$

У четвертому розділі здійснена організація програмної моделі для проведення імітаційного моделювання запропонованих пристроїв оцінювання ПБП, наведено результати аналізу похибки оцінювання ПБП запропонованими методами та побудованими на базі них пристроями за допомогою розробленої послідовності досліджень на імітаційній моделі.

Імітаційне моделювання проводилося з використанням розробленої програмної моделі мовою програмування C++. Модель складається з семи основних модулів, лістинги яких наведені в додатках Б, В, Г, Д. Модулі та зв'язки між ними показані на рис. 7. Імітаційні моделі пристроїв оцінювання ПБП, побудовані на базі удосконаленого кореляційного, позиційного та методу перестановки ВПС, реалізовані в суворій відповідності з алгоритмами, які були розглянуті в другому розділі.

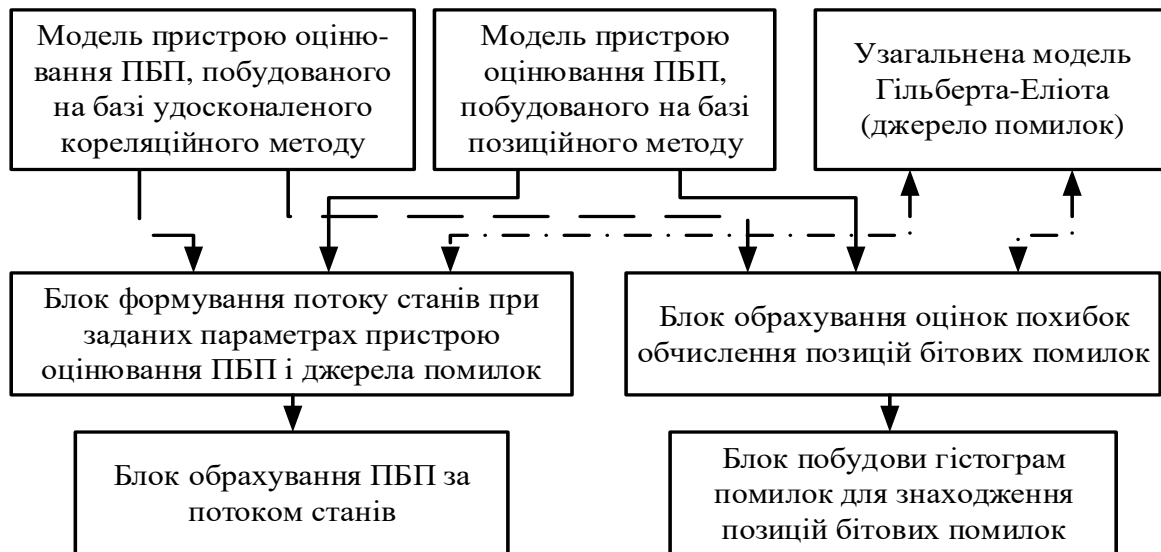


Рисунок 7 – Організація програмної моделі роботи пристроїв оцінювання ПБП

Для оцінювання ПБП на програмній імітаційній моделі використовувалася така послідовність операцій (методика).

1. Змінюючи значення параметра m ($T = 2^m - 1$) у діапазоні від 5 до 10, при фіксованих значеннях інших параметрів, потрібно знайти таке його значення, при якому похибка обчислення ПБП буде мінімальною.

2. Змінюючи довжину вікна $WinSize$ пристроїв оцінювання ПБП, при фіксованому оптимальному значенні параметра m , знайти значення вікна $WinSize$, які мінімізують похибку обчислення ПБП.

3. При фіксованих значеннях параметра m і $WinSize$ знайти залежність похибки обчислення ПБП та їх середньоквадратичне відхилення (СКВ) від рівня бітових помилок у межах від $225 \cdot 10^{-8}$ до $225 \cdot 10^{-4}$ на біт, при декількох різних значеннях одиничних адитивних помилок (BER): 10^{-6} , 10^{-3} , 10^{-2} на біт.

4. При фіксованих значеннях параметра m і $WinSize$ знайти залежність похибки обчислення ПБП та їх СКВ від рівня одиничних адитивних помилок у межах від 10^{-6} до 10^{-2} на біт, при фіксованому рівні бітових помилок ($225 \cdot 10^{-6}$ на біт).

5. Отримати гістограми розподілу похибок обчислення позицій ПБП для деяких значень рівня помилок.

6. Розрахувати характеристики одиничних адитивних помилок і бітових помилок, змінюючи їх рівні.

7. Отримати для деяких значень рівня помилок різні гістограми розподілу для початкової вибірки та вибірок потоку станів, які отримані за допомогою удосконаленого кореляційного та позиційного методів: довжин пакетів одиничних адитивних помилок, довжин вставок і випадань бітів, довжин безпомилкових інтервалів, довжин інтервалів між бітовими помилками.

Під час імітаційного моделювання для перевірки похибки оцінювання ймовірнісних характеристик ПБП було проведено три серії випробувань. Оптимальні параметри моделювання: $m = 5$, $WinSize = 31$. Обсяг тестової вибірки рівний 10^7 бітів, за винятком першого випробування в другій серії, де обсяг вибірки через низьку ймовірність похибок було взято 10^8 бітів. У першій серії поступово з кожним кроком на порядок збільшувалися ймовірності одиничних адитивних і бітових помилок (від 10^{-6} до 10^{-3} на біт і від $225 \cdot 10^{-8}$ до $225 \cdot 10^{-5}$ на біт, відповідно). В другій і третій серіях випробувань з кожним кроком збільшувалася ймовірність тільки одиничних адитивних помилок (від 10^{-6} до 10^{-2} на біт), але при різних ймовірностях бітових помилок ($225 \cdot 10^{-8}$ і $225 \cdot 10^{-7}$ на біт).

З моделювання видно, що, при рівні одиничних адитивних помилок від 10^{-6} до 10^{-2} на біт і бітових помилок $225 \cdot 10^{-8}$ до $225 \cdot 10^{-5}$ на біт, запропоновані методи забезпечують достатньо малу відносну похибку обчислення ПБП, яка не перевищує 2–3%. При цьому з'ясовано, що позиційний метод має меншу точність вимірювання параметра BER при високому рівні, що обумовлено менш точною локалізацією бітових помилок порівняно з удосконаленим кореляційним методом.

На рис. 8–10 наведені гістограми розподілу довжин вставок і випадань бітів для вихідної послідовності та аналогічні гістограми розподілу, які отримані для удосконаленого кореляційного та позиційного методів при таких рівнях помилок: $BER = 10^{-4}$, $p_{SE} = 225 \cdot 10^{-6}$. По горизонтальній осі відкладені довжини вставок і випадань бітів (зі знаком мінус – випадання), а по вертикальній осі відкладена їх частота, тобто кількість у потоці.

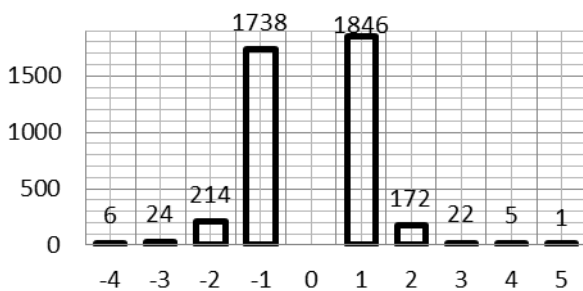


Рисунок 8 – Гістограма розподілу довжин вставок/випадань бітів для вихідної бітової послідовності

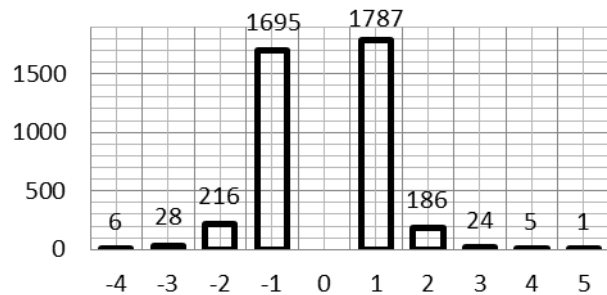


Рисунок 9 – Гістограма розподілу довжин вставок/випадань бітів, отримана за допомогою удосконаленого кореляційного методу

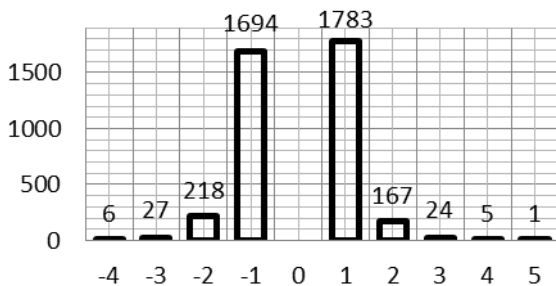


Рисунок 10 – Гістограма розподілу довжин вставок/випадань бітів отримана за допомогою позиційного методу та методу перестановки ВПС

Шляхом порівняння гістограм встановлено, що за допомогою удосконаленого кореляційного методу оцінювання ПБП недостовірно визначено вставки та випадання бітів довжиною 1 біт в 212 випадках з 3584, довжиною 2 біти – 16 із 386 випадків, довжиною 3 біти – 6 випадках із 46. За допомогою позиційного методу недостовірно визначені вставки/випадання бітів довжиною 1 біт в 107 із 3584, довжиною 2 біти в 19 з 386, довжиною 3 біти в 5 з 46 випадків.

Встановлене невелике відхилення від початкового розподілу пояснюється тенденцією розроблених методів до об'єднання сусідніх помилок.

ОСНОВНІ РЕЗУЛЬТАТИ ТА ВИСНОВКИ

У дисертаційній роботі розв'язано актуальну науково-прикладну задачу розробки методів і засобів підвищення точності оцінювання ПБП і завадостійкості у промислових комп'ютерних системах зі вставками та випаданнями бітів на фоні одиничних адитивних помилок.

Основні результати дослідження полягають у наступному.

1. Удосконалено кореляційний метод виявлення позицій та оцінювання вставок/випадань бітів у промислових комп'ютерних системах, який, на відміну від існуючих базується на знаходженні різниці найімовірніших фаз сигналу в двох суміжних відрізках послідовності на базі обчислення коефіцієнтів взаємної кореляції синхросимволів еталонної та прийнятої ПБП.

2. Розроблено позиційний метод оцінювання довжин і позицій вставок/випадань бітів на базі обчислення різниці двох позицій синхросимволів, в еталонній і прийнятій псевдовипадкових рекурсивних послідовностей та метод перестановки відносних позицій синхросимволів, який передбачає здійснення перестановки елементів черги в кожний момент часу лише на базі вхідного та вихідного елементів, що дозволило підвищити точність оцінювання ПБП на фоні одиничних адитивних помилок і зменшити апаратну складність кінцевого пристрою;

3. Розроблено пристрій паралельного обрахування ПБП, що дозволяє здійснювати оцінювання помилок промислових комп'ютерних систем у реальному масштабі часу при тактовій частоті даного варіанта пристрою, що в двічі перевищує тактову частоту передавання вихідної бітової послідовності досліджуваної системи.

4. Розроблено методика багатопараметричних статистичних досліджень стабільності та помилки визначення параметрів бітових помилок, яка використовується при імітаційному моделюванні розроблених методів і пристроїв. При цьому були встановлені такі діапазони її застосування: ймовірність виникнення фатальної помилки та середнє значення абсолютної похибки визначення позицій вставок і випадань бітів, які не перевищують, відповідно, 0,01...0,1 і 1–3 біти при ймовірностях виникнення одиничних адитивних помилок не більше ніж 10^{-2} на біт і вставок/випадань бітів не більше ніж $225 \cdot 10^{-5}$ на біт.

5. Для системного аналізу знайдених оцінок похибки обчислення ПБП, витрат часу на обробку одного прийнятого біта та апаратної складності реалізації розроблених методів можуть бути рекомендовані такі напрямки застосування розроблених двох варіантів архітектури пристроїв оцінювання ПБП: при необхідності визначення параметрів вставок/випадань у реальному масштабі часу доцільно використовувати варіант пристрою, побудованого на базі удосконаленого кореляційного методу, не зважаючи на значну апаратну складність (833...9581 слайсів ПЛІС типів XC2V250...XC2V2000); при визначенні параметрів вставок/випадань бітів з малою швидкістю передавання інформації (до 50 Мбіт/с) доцільно використовувати варіант пристрою, побудованого на базі позиційного методу та методу перестановки ВПС, оскільки він забезпечує невелику апаратну складність (204...291 слайсів ПЛІС типів XC2V40...XC2V80).

Основні технічні рішення, отримані в дисертації при розробці методів і пристроїв оцінювання ПБП у промислових комп'ютерних системах зі вставками та випаданнями бітів були впроваджені в Державному НДІ "Гелій", Подільському проектному інституті та у навчальний процес кафедри Телекомунікаційних систем та телебачення Вінницького національного технічного університету.

СПИСОК ОПУБЛІКОВАНИХ ПРАЦЬ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

1. Кичак В. М. Підвищення завадостійкості при прийомі ЧМн дискретних сигналів / В. М. Кичак, В. Д. Тромсюк // Всеукр. міжвід. наук. тех. зб. "Радіотехніка". – 2014. – №178. – С. 24–30. – ISSN 0485-8972.
2. Кичак В. М. Кореляційний метод оцінювання параметрів бітових помилок / В. М. Кичак, В. Д. Тромсюк // Вісник Хмельницького національного університету. – 2015. – №5. – С. 180–185. – ISSN 2307-5732.
3. Тромсюк В. Д. Оцінювання бітових помилок при різних видах демодуляції дискретних сигналів / В. М. Кичак, В. Д. Тромсюк // Вісник Національного технічного університету України "КПІ". – 2015. – № 63. – С. 55–63.
4. Кичак В. М. Позиційний метод оцінювання характеристик бітових помилок / В. М. Кичак, В. Д. Тромсюк // Вісник Вінницького політехнічного інституту. Технічні науки. – 2016. – № 3. – С. 116–124. – ISSN 1997-9266.
5. Кичак В. М. Оцінювання роздільної здатності кореляційного та позиційного методів / В. М. Кичак, В. Д. Тромсюк // Вимірювальна та обчислювальна техніка в технологічних процесах. – 2016. – №2. – С. 204–209. – ISSN 2310-0397.
6. Кичак В. М. Метод сортировки относительных позиций синхросимволов по частоте их появления / В. М. Кичак, В. Д. Тромсюк // Проблемы управления и информатики. – 2016. – №5. – С. 7–14. – ISSN 0572-2691.
7. Кичак В. М. Метод підвищення точності при прийомі частотно-модельованих сигналів / В. М. Кичак, В. Д. Тромсюк // Фізико-технологічні проблеми радіотехнічних пристроїв, засобів телекомунікацій, нано- та мікроелектроніки": матер. III Міжнар. наук.-техн. конференції. – Чернівці : ЧНУ, 2013. – С. 27–28. – ISBN 978-617-652-091-7.
8. Кичак В. М. Підвищення завадостійкості при прийомі дискретних сигналів / В. М. Кичак, В. Д. Тромсюк // Радіотехнічні поля, сигнали, апарати та системи (РТПСАС – 2014) : матеріали Міжнар. науково-технічної конференції. – Київ : КПІ, 2014. – С. 183–185. – ISSN 2311-4169.
9. Кичак В. М. Аналіз ефективності цифрових методів модуляції/демодуляції / В. М. Кичак, В. Д. Тромсюк // Інфокомунікації – сучасність та майбутнє : матеріали міжнародної науково-технічної конференції. – Одеса : ОНАЗ, 2014. – С. 141–145. – ISBN 978-617-582-018-6.
10. Кичак В. М. Алгоритмы контроля параметров битовых ошибок в дискретных каналах связи / В. М. Кичак, В. Д. Тромсюк // Технические науки – от теории к практике : сборник статей по материалам XLVIII-XLIX междунар. научно-практической конференции. – Новосибирск : СИБАК, 2015. – С. 7–11. – ISSN 2308-5991.
11. Kychak V. The principles of control system parameters bit error / V. Kychak, V. Tromsyuk // Technical Sciences : modern issues and development Prospects : materials of International scientific conference. – Sheffield : Sheffield, 2015. – P. 116–119. – ISBN 10:1-941655-31-9.

12. Кичак В. М. Особливості формування вхідного бітового потоку для оцінки бітових помилок в дискретних каналах зв'язку / В. М. Кичак, В. Д. Тромсюк // Радіотехнічні поля, сигнали, апарати та системи (РТПСАС – 2016): міжнар. науково-технічна конференція. – Київ: КПІ, 2016. – С. 147–149. – ISSN 2311-4169.

13. Kychak V. Initial data processing algorithms of bit error rate testers / V. Kychak, V. Tromsyuk // Modern problems of radio engineering, telecommunications and computer science (TCSET'2016): materials of Proceedings of the International Conference. – Lviv: Lviv Polytechnic, 2016. – P. 566–568. – ISBN 978-617-607-806-7.

14. Кичак В. М. Дослідження роздільної здатності кореляційного і позиційного методів / В. М. Кичак, В. Д. Тромсюк // Вимірювальна та обчислювальна техніка в технологічних процесах (ВОТТП_16_2016): матер. XVI міжнар. наук.-техн. конф. – Одеса – Хмельницький: ХНУ, 2016. – С. 115–116. – ISBN 978-966-330-236-2.

15. Пат. 89368 Логічний елемент І-НІ / В. В. Стронський, В. Д. Тромсюк // Україна, МПК (2006.01) Н03К 19/088. № u201303346; заявл. 19.03.2013; опубл. 25.04.2014; Бюл. № 8.

16. Пат. 83366 Логічний елемент / В. М. Кичак, В. В. Стронський, В. Д. Тромсюк // Україна, МПК (2006.01) Н03К 19/08. № u201300762; заявл. 22.01.2013; опубл. 10.09.2013; Бюл. № 17.

АНОТАЦІЯ

Тромсюк В. Д. Методи та пристрої оцінювання бітових помилок у промислових комп'ютерних системах. – На правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – комп'ютерні системи та компоненти. Вінницький національний технічний університет, Вінниця, 2017.

В дисертаційній роботі викладено результати досліджень щодо підвищення точності оцінювання ПБП на фоні одиничних адитивних помилок. Позиційний метод оцінювання довжин і позицій вставок/випадань бітів, який, на відміну від існуючих, базується на обчисленні різниці двох позицій синхросимволів в еталонній і прийнятій псевдовипадковій рекурсивній послідовності, дозволяє підвищити точність оцінювання ПБП на фоні одиничних адитивних помилок. Метод перестановки ВПС, який, на відміну від існуючих, передбачає здійснення перестановки елементів черги в кожний момент часу, лише на базі вхідного та вихідного елементів дозволяє за допомогою послідовної реалізації обчислювальних процесів підвищити точність оцінювання ПБП і забезпечує меншу апаратну складність пристрою, побудованого на базі позиційного методу. Розробка цих методів дозволила майже на порядок зменшити апаратну складність кінцевих пристроїв виявлення та оцінювання ПБП.

Удосконалено кореляційний метод паралельної обробки коефіцієнтів взаємної кореляції, який, на відміну від існуючих, базується на застосуванні пірамідальної згортки значень коефіцієнтів взаємної кореляції, що дало можливість підвищити точність оцінювання бітових помилок і швидкодію пристрою, достатню для знаходження ПБП у режимі реального часу з великою роздільною здатністю.

На базі запропонованих методів розроблені алгоритми, структурні схеми пристроїв оцінювання ПБП та їх програмна реалізація у промислових комп'ютерних системах.

Ключові слова: бітові помилки, вставки, випадання, одиничні адитивні помилки, коефіцієнт бітових помилок, лінійна рекурсія, M-последовательность, коефіцієнт взаємної кореляції, оцінювання, виявлення, промислова комп'ютерна система.

АННОТАЦИЯ

Тромсюк В. Д. Методы и устройства оценки битовых ошибок в промышленных компьютерных системах. – На правах рукописи.

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 – компьютерные системы и компоненты. Винницкий национальный технический университет, Винница, 2017.

В диссертационной работе предложены методы и устройства, которые, в отличие от известных, позволяют выявлять и оценивать битовые ошибки с большой точностью (погрешность не превышает 1–3%). Предложенный позиционный метод выявления позиций и оценивания длин вставок/выпадений битов, который, в отличие от существующих, базируется на вычислении разности двух позиций синхросимволов, в эталонной и принятой псевдослучайной рекурсивной последовательности даёт возможность повысить точность оценивания параметров битовых ошибок (ПБО) на фоне единичных аддитивных ошибок. Разработанный метод перестановки относительных позиций синхросимволов по частоте их появления, который, в отличие от существующих, предусматривает осуществление перестановки элементов очереди в каждый момент времени, только на базе входящего и исходящего элементов, что позволяет на базе последовательной реализации вычислительных процессов повысить точность оценивания битовых ошибок и уменьшить аппаратную сложность устройства, построенного на базе позиционного метода. Разработка этих методов позволила почти на порядок уменьшить аппаратную сложность конечных устройств обнаружения и оценки битовых ошибок.

Усовершенствовано корреляционный метод параллельной обработки коэффициентов взаимной корреляции, который в отличие от существующих, базируется на применении пирамидальной свертки значений коэффициентов взаимной корреляции, что позволило повысить точность оценивания битовых ошибок и быстродействие, необходимое для нахождения ПБО в режиме реального времени. Предложенный метод позволяет выявлять возможную потерю данных в исследуемых системах с большой разрешающей способностью.

На базе предложенных методов были разработаны алгоритмы, структурные схемы устройств оценивания ПБО и их программная реализация на языке C++. Аппаратно-ориентированные алгоритмы, которые заложены в архитектуру устройств оценивания ПБО, позволяют анализировать промышленные компьютерные системы на наличие у них вставок и выпадений битов на фоне единичных аддитивных ошибок в реальном масштабе времени.

Определено, что вычислительная сложность разработанных устройств оценки ПБО при реализации на специализированных программируемых сигнальных процессорах составляет $\sim 200 + 27 \cdot T$ тактов при реализации устройства на базе усовершенствованного корреляционного метода и ~ 230 тактов при реализации устройства на базе позиционного метода и метода перестановки относительных позиций синхросимволов.

Разработана методика многопараметрических статистических исследований стабильности, и погрешности определения ПБО позволила путем имитационного моделирования построенных алгоритмов, установить рабочие диапазоны их применения. Анализ результатов имитационного моделирования показывает, что оценка ПБО с помощью предложенной модели не превышает 1–3% и позволяет с большой точностью определять позиции вставок и выпадений битов.

Ключевые слова: битовые ошибки, вставки, выпадения, единичные аддитивные ошибки, коэффициент битовых ошибок, линейная рекурсия, M-последовательность, коэффициент взаимной корреляции, оценивание, выявление, промышленная компьютерная система.

ABSTRACT

Tromsyuk V. D. Methods and devices for estimating bit errors in industrial computer systems. – The manuscript.

Ph.D. thesis in engineering science with 05.13.05 specialization – computer systems and components. - Vinnytsia National Technical University, Vinnytsia, 2017.

The thesis presents the results of research to improve the accuracy estimation of parameters bit errors (PBE) on the background of single additive errors. Position method of evaluation lengths and positions insertions/deletions bits fall out that, unlike the existing ones, based on a calculation of the difference in the two positions synchrosymbol reference and adopted pseudo-recursive sequences can increase the accuracy of PBE assessment against the background of single additive errors. Method rearrangement relative position synchrosymbols by the frequency of their occurrence, which, unlike the existing ones, involves a rearrangement of elements of the queue at any one time, only on the basis of the input and output elements allows using consistent implementation of computational processes to increase the accuracy of the evaluation PBE and provides less hardware complexity device, built on the basis of positional method. The development of these methods allows almost order to reduce hardware complexity endpoints detection and estimation of parameters bit errors.

Improved correlation method of parallel processing coefficients of cross-correlation, which, unlike the existing ones, based on the use of pyramidal convolution coefficients cross correlation, making it possible to increase the accuracy of estimation of bit errors and speed required to find parameters of bit errors in real time with high-resolution ability.

Based on the proposed methods algorithms, flow diagrams device estimation of parameters bit errors and their software implementation in industrial computer systems.

Keywords: Bit errors, insertions, deletions, single additive errors, bit error rate, linear recursion, M-sequence, cross-correlation coefficient, estimation, identification, industrial computer system.

Підписано до друку 11.04.2017 р.
Формат 21x29.7 1/4.
Папір офсетний.
Гарнітура Times New Roman.
Друк різнографічний.
Наклад 100 прим. Зам. № 2017-043.

Віддруковано в комп'ютерному інформаційно-видавничому центрі
Вінницького національного технічного університету,
м. Вінниця, вул. Хмельницьке шосе, 95. тел. : 59-81-59
Свідоцтво суб'єкта видавничої справи
Серія ДК № 3516 від 01.07.2009.