



УКРАЇНА

(19) UA (11) 71203 (13) A

(51) 7 G06F7/50

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВИНАХІДвидається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ АЛГЕБРАЇЧНОГО ДОДАВАННЯ ЧИСЕЛ

1

2

(21) 20031210869

(22) 01.12.2003

(24) 15.11.2004

(46) 15.11.2004, Бюл. № 11, 2004 р.

(72) Кожем'яко Володимир Прокопович, Мартинюк Тетяна Борисівна, Асмолова Ольга Василівна, Громадський Михайло Ігоревич, Мутасім Абу-Шабан

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Пристрій для алгебраїчного додавання чисел, який містить три регістри зсуву, суматор, вузол підсумовування за модулем два, який містить два елементи АБО, і вузол запису знака результату, який містить елемент АБО і два елементи І, причому входи розрядів першого регістра зсуву і суматора з'єднані з входами першого операнда пристрою, входи керування зсувом першого і другого регістрів зсуву підключені до відповідного входу синхронізації пристрою, виходи першого і другого регістрів зсуву підключені до відповідних входів вузла підсумовування за модулем два, в якому вихід першого елемента АБО підключений до інформаційного входу третього регістра зсуву, а вихід другого елемента АБО підключений до інформаційного входу суматора, виходи знакових розрядів першого і другого регістрів зсуву підключені до перших входів відповідних елементів І вузла запису знака, другі входи яких з'єднані з відповідними виходами вузла

підсумовування за модулем два, входи елемента АБО вузла запису знака підключені до виходів першого і другого елементів І вузла запису знака, а вихід підключений до входу знакового розряду третього регістра зсуву, вхід керування записом суматора підключений до відповідного входу синхронізації пристрою, який відрізняється тим, що в нього введено вхід керування записом першого і другого регістрів зсуву, вхід керування записом третього регістра зсуву, установний вхід пристрою, вхід сигналу зсуву першого і другого регістрів зсуву, які підключені до відповідних входів синхронізації пристрою, і шину живлення пристрою, причому вузол підсумовування за модулем два містить три елементи АБО-НІ, входи першого елемента АБО-НІ з'єднані з першим і другим входами вузла підсумовування за модулем два, вихід першого елемента АБО-НІ підключений до перших входів другого і третього елементів АБО-НІ вузла підсумовування за модулем два, другі входи яких з'єднані відповідно з першим і другим входами вузла підсумовування за модулем два, а виходи підключені до входів першого елемента АБО вузла підсумовування за модулем два з'єднані з виходами першого і третього елементів АБО-НІ вузла підсумовування за модулем два, крім того, установний вхід і шина живлення пристрою підключені до трьох регістрів зсуву і суматора, а інформаційні виходи суматора і третього регістра зсуву є відповідно виходами суми та різниці пристрою.

Винахід належить до обчислювальної техніки і може бути використаний в операційних схемах цифрових процесорів.

Відомий пристрій для послідовного додавання і віднімання чисел (а.с. СРСР 5791613, кл. G06F7/50, 1976р.), що містить однорозрядний суматор-віднімач, регістри зсуву першого і другого операндів, блок корекції, елемент затримки, елементи І і АБО, причому перший і другий входи суматора-віднімача з'єднані з виходами молодших розрядів регістрів зсуву відповідно першого і дру-

гого операнда, а вихід суматора-віднімача підключений до входу старшого розряду регістра зсуву першого доданка, регістр зсуву другого доданка містить додатковий розряд, вихід якого підключений до входу старшого розряду цього регістра зсуву, а вхід - до виходу блока корекції, перший, другий і третій входи якого підключені до виходів трьох старших розрядів регістра зсуву першого доданка, четвертий вхід - до виходу першого елемента І, перший вхід якого через елемент затримки підключений до виходу переносу одно-

(13) A

(11) 71203

(19) UA

розрядного суматора-віднімача, а другий вхід - до шини дозволу переносу, п'ятий вхід блока корекції підключений до першого керуючого входу пристрою, вихід блока корекції підключений також до першого входу елемента АБО, вихід якого з'єднаний з другим і третім старшими розрядами регістра зсуву другого доданка, другий вхід елемента АБО з'єднаний з виходом другого елемента І, перший вхід якого підключений до виходу першого елемента І, а другий вхід - до другого керуючого входу пристрою.

Даний пристрій має недостатню швидкість, обумовлену тим, що одержання результату додавання-віднімання виконується за два цикли, причому за перший цикл виконується додавання-віднімання двійкових чисел, а за другий цикл - корекція отриманого перед цим результату.

Відомий пристрій для алгебраїчного додавання чисел (Карцев М.А. Арифметика цифрових машин. М., «Наука», 1969, с.294, рис.3-16), що містить два регістри зсуву, вузол підсумовування за модулем два і вузли запису знака результату, причому входи розрядів першого регістра зсуву з'єднані з входами першого операнда пристрою, входи розрядів другого регістра зсуву з'єднані з входами другого операнда пристрою, входи керування зсувом першого і другого регістрів зсуву підключені до входу синхронізації пристрою, вихід першого регістра зсуву з'єднаний з першими входами першого, другого і третього елементів І, на другі входи яких надходять керуючі сигнали видачі знака, прямого і зворотного кодів першого операнда відповідно, вихід першого елемента І є виходом знака першого операнда, вихід третього елемента І через інвертор і вихід другого елемента І з'єднані з входами першого елемента АБО, вихід якого з'єднаний з першим входом вузла підсумовування за модулем два, вихід другого регістра зсуву з'єднаний з першими входами четвертого і п'ятого елементів І, на другі входи яких надходять керуючі сигнали видачі знака і прямого коду другого операнда, вихід четвертого елемента І є виходом знака другого операнда, а вихід п'ятого елемента І з'єднаний з другим входом вузла підсумовування за модулем два, третій вхід якого з'єднаний з виходом другого елемента АБО, на перший вхід якого надходить сигнал переповнення, а другий вхід через лінію затримки з'єднаний з виходом сигналу переповнення вузла підсумовування за модулем два, інформаційний вихід якого з'єднаний з першим входом елемента вузла запису знака результату, на другий вхід якого надходить знак результату, а вихід якого з'єднаний з інформаційним входом першого регістра зсуву, перший вхід шостого елемента І з'єднаний з виходом сигналу переповнення вузла підсумовування за модулем два, на його другий вхід надходить керуючий сигнал видачі сигналу переповнення, а вихід є виходом сигналу переповнення першого розряду результату.

Недоліком відомого пристрою є необхідність корегування результату при виконанні операції віднімання, що призводить до зниження швидкості.

Найбільш близьким до запропонованого є пристрій для алгебраїчного додавання чисел (а.с. СРСР 1136148, кл. G06F7/50, 1985р.), що містить

три регістри зсуву, суматор, вузол підсумовування за модулем два і вузол запису знака результату, який містить елемент АБО і два елементи І, причому входи розрядів першого регістра зсуву з'єднані з входами першого операнда пристрою, входи розрядів другого регістра зсуву з'єднані з входами другого операнда пристрою, входи керування зсувом першого і другого регістрів зсуву підключені до входу синхронізації пристрою, виходи першого і другого регістрів зсуву підключені до відповідних входів вузла підсумовування за модулем два, крім того, вузол підсумовування за модулем два містить три елементи І, два елементи АБО і елемент ІІ, входи розрядів суматора підключені до входів першого операнда пристрою, перший і другий входи першого елемента І вузла підсумовування за модулем два з'єднані відповідно з першим і другим входами вузла підсумовування за модулем два, а вихід підключений до входу елемента ІІ вузла підсумовування за модулем два, вихід якого підключений до перших входів другого і третього елементів І вузла підсумовування за модулем два, другі входи яких з'єднані відповідно з першим і другим входами першого елемента І вузла підсумовування за модулем два, а виходи підключені до входів першого елемента АБО вузла підсумовування за модулем два, вихід якого підключений до інформаційного входу третього регістра зсуву, входи другого елемента АБО вузла підсумовування за модулем два з'єднані з виходами першого і третього елементів І вузла підсумовування за модулем два, а вихід підключений до інформаційного входу суматора, виходи знакових розрядів першого і другого регістрів зсуву підключені до перших входів відповідних елементів І вузла запису знака, другі входи яких з'єднані з виходами відповідно другого і третього елементів І вузла підсумовування за модулем два, входи елемента АБО вузла запису знака підключені до входів першого і другого елементів І вузла запису знака, а вихід підключений до входу знакового розряду третього регістра зсуву, вхід керування зсувом з'єднаний з входом синхронізації пристрою, вхід керування суматора підключений до входу синхронізації пристрою.

Недоліком даного пристрою є недостатня швидкість регістрів зсуву за умови використання відомих інтегральних мікросхем, які призначені для обробки двійкових кодів, а не одиничних нормальних кодів.

В основу винаходу поставлена задача створення пристрою для алгебраїчного додавання чисел, в якому за рахунок введення у регістри і суматор оптоелектронних елементів та оптичних зв'язків між ними досягається можливість скорочення часу оброблення інформації.

Поставлена задача вирішується тим, що в пристрій для алгебраїчного додавання чисел, який містить три регістри зсуву, суматор, вузол підсумовування за модулем два, який містить два елементи АБО, і вузол запису знака результату, який містить елемент АБО і два елементи І, причому входи розрядів першого регістра зсуву і суматора з'єднані з входами першого операнда пристрою, входи розрядів другого регістра зсуву з'єднані з

виходами другого операнда пристрою, входи керування зсувом першого і другого регістрів зсуву підключені до відповідного входу синхронізації пристрою, виходи першого і другого регістрів зсуву підключені до відповідних входів вузла підсумовування за модулем два, в якому вихід першого елемента АБО підключений до інформаційного входу третього регістра зсуву, а вихід другого елемента АБО підключений до інформаційного входу суматора, виходи знакових розрядів першого і другого регістрів зсуву підключені до перших входів відповідних елементів І вузла запису знака, другі входи яких з'єднані з відповідними виходами вузла підсумовування за модулем два, входи елемента АБО вузла запису знака підключені до виходів першого і другого елементів І вузла запису знака, а вихід підключений до входу знакового розряду третього регістра зсуву, вхід керування записом суматора підключений до відповідного входу синхронізації пристрою, введені вхід керування записом першого і другого регістрів зсуву, вхід керування записом третього регістра зсуву, настановний вхід пристрою, вхід сигналу зсуву першого і другого регістрів зсуву, які підключені до відповідних входів синхронізації пристрою, і шина живлення пристрою, причому у вузол підсумовування за модулем два введено три елементи АБО-НІ, входи першого елемента АБО-НІ з'єднані з першим і другим входами вузла підсумовування за модулем два, вихід першого елемента АБО-НІ підключений до перших входів другого і третього елементів АБО-НІ вузла підсумовування за модулем два, другі входи яких з'єднані відповідно з першим і другим входами вузла підсумовування за модулем два, а виходи підключені до входів першого елемента АБО вузла підсумовування за модулем два, входи другого елемента АБО вузла підсумовування за модулем два з'єднані з виходами першого і третього елементів АБО-НІ вузла підсумовування за модулем два, крім того, настановний вхід і шина живлення пристрою підключені до трьох регістрів зсуву і суматора, а інформаційні виходи суматора і третього регістра зсуву є відповідно виходами суми та різниці пристрою.

На фіг.1 представлена структурна схема пристрою для алгебраїчного додавання чисел,

на фіг.2 представлена принципова схема регістра зсуву.

Пристрій для алгебраїчного додавання чисел (фіг.1) містить два регістри зсуву 1 і 2 операндів А і В відповідно, суматор 3, регістр зсуву 4 різниці операндів, вузол 5 підсумовування за модулем два і вузол 6 запису знака результату. Вузол 5 підсумовування за модулем два містить три елементи АБО-НІ 7, 8, 9, причому вихід 10 елемента АБО-НІ 7 є виходом ознаки співпадання кодів в регістрах зсуву 1 і 2, і два елементи АБО 11 і 12. Входи елемента АБО-НІ 7 вузла 5 підсумовування за модулем два з'єднані з його входами 13 і 14, вихід 15 якого з'єднаний з інформаційним входом суматора 3, вихід 16 з'єднаний з інформаційним входом регістра зсуву 4, а виходи 17 і 18 з'єднані з відповідними входами вузла 6 запису знака.

Вихід 10 елемента АБО-НІ 7 вузла 5 підсумовування за модулем два з'єднаний з першими входами елементів АБО-НІ 8 і 9, другі входи яких

підключені до відповідного входу елемента АБО-НІ 7. Входи елемента АБО 11 вузла 5 підсумовування за модулем два з'єднані з виходами елементів АБО-НІ 7 і 9, а його вихід є виходом 15 вузла 5 підсумовування за модулем два. Входи елемента АБО 12 вузла 5 підсумовування за модулем два з'єднані з виходами елементів АБО-НІ 8 і 9, а вихід є виходом 16 вузла 5 підсумовування за модулем два, виходи елементів АБО-НІ 8 і 9 є виходами 17 і 18 вузла 5 підсумовування за модулем два. Вузол 6 запису знака містить два елементи І 19, 1 20 і елемент АБО 21, а його входи 22 і 23 підключені до виходів знакових розрядів регістрів зсуву 1 і 2 відповідно. Входи елемента І 19 вузла 6 запису знака з'єднані з входом 22 вузла 6 запису знака і виходом 17 вузла 5 підсумовування за модулем два, а входи елемента І 20 з'єднані з входом 23 вузла 6 запису знака і виходом 18 вузла 5 підсумовування за модулем два. Виходи елементів І 19 і І 20 з'єднані з входами елемента АБО 21, вихід якого є виходом 24 вузла 6 запису знака і з'єднаний з входом знакового розряду регістра зсуву 4. Вхід 25 є входом першого операнда А й підключений до відповідного входу регістра зсуву 1 і суматора 3, вхід 26 є входом другого операнда В і підключений до відповідного входу регістра зсуву 2, вхід керування 27 з'єднаний з входами керування зсувом регістрів зсуву 1 і 2, вхід керування 28 з'єднаний з входами керування записом регістрів зсуву 1 і 2. Вхід 29 є настановним входом пристрою і підключений до відповідних входів регістрів зсуву 1, 2, 4 і суматора 3, вхід керування 30 підключений до входу керування записом суматора 3, виходи 31 і 32 є відповідно інформаційними виходами регістрів 1 і 2, вихід 33 суматора 3 є виходом суми пристрою, а вихід 34 регістра 4 є виходом різниці пристрою. Крім того, вихід 31 регістра 1 і вихід 32 регістра 2 з'єднані відповідно з входами 13 і 14 вузла 5 підсумовування за модулем два, вхід керування 35 підключений до входу керування записом регістра зсуву 4, вхід 36 є входом сигналу зсуву і підключений до відповідних входів регістрів зсуву 1 і 2, шина живлення 37 підключена до трьох регістрів зсуву 1, 2, 4 і суматора 3.

Регістр зсуву 1 без знакового розряду (фіг.2) містить п розрядних комірок $38_1, \dots, 38_n$, комірку 39 початкового стану, D-тригер 40, вузол 41 перемикання напрямку лічби з чотирма виходами, першу шину 42 непарних імпульсів, першу шину 43 парних імпульсів, другу шину 44 непарних імпульсів, другу шину 45 парних імпульсів, третю шину 46 непарних імпульсів, третю шину 47 парних імпульсів, перший 48 і другий 49 входи вузла 41 перемикання напрямку лічби, який містить RS - тригер 50, вхід 51 прямої лічби, вхід 52 зворотної лічби, перший - четвертий елементи І 53, ..., І 56. Крім того, регістр зсуву 1 містить елементи І 57, 1 58, генератор тактових імпульсів 59, елемент АБО 60 і загальну шину 61.

Відповідно розрядні комірки $38_1, \dots, 38_n$ і комірка 39 початкового стану містять транзистор 62, джерело 63 світла з першим - третім оптичними виходами 64-66, перший - третій фотоприймачі 67-69, перший - третій діоди 70-72, перший - третій входи 73-75 керування, резистор 76, а комірка 39 початкового стану містить додатковий резистор 77 і до-

датковий світлодіод 78.

Перший вхід 48 вузла 41 перемикання напрямку лічби підключений до прямого виходу D-тригера 40, його другий вхід 49 підключений до інверсного виходу D-тригера 40, перший вихід вузла 41 перемикання напрямку лічби підключений до першої шини 42 непарних імпульсів, його другий - четвертий виходи підключені до першої шини 43 парних імпульсів, другої шини 44 непарних імпульсів і до другої шини 45 парних імпульсів відповідно. Перша шина 42 непарних імпульсів підключена до перших входів 73 керування непарних розрядних комірок $38_1, 38_3 \dots 38_n$ (якщо n - непарне число), перша шина 43 парних імпульсів підключена до перших входів 73 керування парних розрядних комірок $38_2, 38_4 \dots 38_{n-1}$ і комірки 39 початкового стану, друга шина 44 непарних імпульсів підключена до других входів 74 керування непарних розрядних комірок $38_1, 38_3 \dots 38_n$, Друга шина 45 парних імпульсів підключена до других входів 74 керування парних розрядних комірок $38_2, 38_4 \dots 38_{n-1}$ і комірки 39 початкового стану. Всі розрядні комірки $38_1, \dots, 38_n$ і 39 містять у своєму складі регенеративний оптрон, у якому перший вивід джерела 63 світла підключений до шини 37 живлення, другий вивід підключений до колектора транзистора 62, емітер якого підключений до загальної шини 61, база підключена до перших виводів першого - третього фотоприймачів 67 - 69 і через резистор 76 до загальної шини 61. Перший оптичний вихід 64 джерела 63 світла зв'язаний з першим фотоприймачем 67 своєї комірки, другий оптичний вихід 65 зв'язаний з другим фотоприймачем 68 наступної розрядної комірки, третій вихід 66 зв'язаний з третім фотоприймачем 69 попередньої розрядної комірки. Прямий вихід RS - тригера 50 підключений до перших входів елементів I 53 і I 54, інверсний вихід підключений до перших входів елементів I 55 і I 56, перший вхід 48 вузла 41 перемикання напрямку лічби підключений до других входів елементів I 53 і I 55, другий вхід 49 підключений до других входів елементів I 54, I 56, виходи елементів I 53 - I 56 підключені відповідно до першого - четвертого виходів вузла 41 перемикання напрямку лічби. Третя шина 46 непарних імпульсів підключена до прямого виходу D-тригера 40 і до третього входу 75 керування непарних розрядних комірок $38_1, \dots, 38_n$, третя шина 47 парних імпульсів підключена до інверсного виходу D-тригера 40, D-виходу D-тригера 40, до третього входу 75 керування парних розрядних комірок $38_2, 38_4 \dots 38_{n-1}$ і комірки 39 початкового стану, в якій додатковий світлодіод 78 оптично зв'язаний з другим фотоприймачем 68, анод додаткового світлодіода 78 через додатковий резистор 77 підключений до шини 37 живлення, катод підключений до інверсного R - входу D-тригера 40, до другого входу елемента I 58 і до настановного входу 29 пристрою, інверсний S - вхід RS - тригера 50 підключений до входу 51 прямої лічби, інверсний R - вхід підключений до входу 52 зворотної лічби. У всіх комітках $38_1, 38_2, \dots, 38_{n-1}, 38_n$ і 39 між першим - третім входами 73-75 керування і другими виводами другого і першого фотоприймачів 68 і 67 і першим виводом третього фотоприймача 69 включені відповідно перший-третій діоди 70-72, другий вивід

третього фотоприймача 69 підключений до загальної шини 61, в якості фотоприймачів 67-69 використовуються фотодіоди. Тактовий C-вихід D-тригера 40 підключений до виходу елемента I 57, перший вхід якого підключений до виходу елемента АБО 60, другий вхід підключений до виходу генератора тактових імпульсів 59. Третій оптичний вихід 66 джерела 63 світла комірки 39 початкового стану є виходом позики, який з'єднаний з третім фотоприймачем 69 комірки 38д, другий оптичний вихід 65 джерела 63 світла останньої розрядної комірки 38п є виходом перенесення, вивід з колектора транзистора 62 першої розрядної комірки 381 підключений до виходу 31 регістра зсуву 1. Вхід 51 прямої лічби підключений до виходу елемента I 58, перший вхід якого підключений до входу 28 керування записом, вхід 52 зворотної лічби підключений до входу 27 керування зсувом регістра зсуву 1, входи елемента АБО 60 з'єднані з входом 25 першого операнда і входом 36 сигналу зсуву регістра зсуву 1.

Пристрій (фіг.1) працює таким чином. Під час першого такту роботи пристрою виконується запис першого операнда А, що надходить по входу 25 у регістр зсуву 1 і суматор 3. За другий такт записується другий операнд В, що надходить по входу 26 у регістр зсуву 2. Запис операндів здійснюється в одиничному нормальному коді. Потім виконується оброблення вузлом 5 підсумовування за модулем два інверсної інформації з виходів 31 і 32 регістрів зсуву 1 і 2, що надходить на його входи 13 і 14 у результаті одночасного зсуву вмісту обох регістрів 1 і 2 до їхнього повного обнулення. Вузлом 5 підсумовування за модулем два визначається загальна частина С обох операндів, яка з його виходу 15 надходить на інформаційний вхід суматора 3, де сумується з першим операндом А, записаним раніше. Таким чином, на суматорі 3 фіксується сума двох чисел А і В, якщо виконується співвідношення $A > B$, чи подвоєне значення операнда А, якщо $A < B$. Різниця D операндів А і В з виходу 15 вузла 5 підсумовування за модулем два надходить на інформаційний вхід суматора 3 для формування суми чисел А і В у випадку, якщо $A < B$, а з виходу 16 вузла 5 підсумовування за модулем два різниця записується в регістр зсуву 4. Одиничний сигнал на виході 17 вузла 5 підсумовування за модулем два дозволяє запис у знаковий розряд регістра зсуву 4 знака операнда А, що надходить на вхід 22 вузла 6 запису знака, для випадку, коли $A > B$, а одиничний сигнал на виході 18 вузла 5 підсумовування за модулем два дозволяє запис знака операнда В, що надходить на вхід 23 вузла 6 запису знака, для випадку, коли $A < B$.

Знак операції враховується при запису другого операнда, тобто у випадку операції додавання його знак залишається без зміни, у випадку операції віднімання - змінюється на протилежний. Таким чином, у пристрої виконуються операції над операндами, знаки яких не впливають на вибір виконуваної операції, оскільки за один цикл роботи пристрою формуються одночасно і сума, і різниця початкових величин. Знаки операндів враховуються при фіксації знаків результату, причому знак суми збігається зі знаком першого операнда, а

знаку різниці привласнюється знак більшого з операндів, що впливає з табл.1.

Відповідно до даних табл.1 можна визначити перебування результату в такій спосіб: якщо знаки операндів, записані в знакові розряди регістрів 1 і 2, збігаються, то результат знаходиться в суматорі 3, у іншому випадку результат варто зчитувати з регістра 4. Зсув інформації в регістрах 1 і 2 виконується при надходженні сигналів керування зсувом по шині 27 і при наявності сигналу зсуву на вході 36 пристрою.

Розглянемо приклад алгебраїчного додавання двох чисел $A=9$ і $B=4$. Початкові числа в регістрах 1 і 2 і суматорі 3 представлені в такому вигляді:

Суматор 3 : 111111111 (A)

Регістр 1 : 111111111 (A)

Регістр 2 : 111100000 (B)

При одночасному зсуві вмісту обох регістрів 1 і 2 на їхніх виходах 31 і 32 присутні нульові сигнали, що призводить до появи на виході 10 елемента АБО-НІ 7 вузла підсумовування за модулем два одиничного сигналу тривалістю 4τ , де τ - час зсуву однієї одиниці в регістрах 1, 2 і 4 і суматорі 3. Цей сигнал подається через елемент АБО 11 з виходу 15 вузла 5 підсумовування за модулем два на вхід суматора 3 і приводить до збільшення його вмісту, тобто раніше записаного числа А на величину загальної частини С операндів А й В, тобто на число 4. У результаті цього додавання в суматорі 3 утворюється сума чисел (А+В), а регістр 2 обнулений. При цьому на виході елемента АБО 12 присутній нульовий сигнал тривалістю 4τ завдяки наявності одиничного сигналу такої самої тривалості на виході 10 елемента АБО-НІ 7 і відповідних нульових сигналів на виходах елементів АБО-НІ 8 і 9. При подальшому зсуві інформації в регістрі 1 з'являється нульовий сигнал на виході 10 елемента АБО-НІ 7, що приводить до появи одиничного сигналу на виході елемента АБО-НІ 8, а отже, і на виходах 16 і 17 вузла 5 підсумовування за модулем два протягом часу 5 τ . У такий спосіб відбувається запис різниці (А-В) у регістр зсуву 4 з

виходу 16 вузла 5 підсумовування за модулем два, одночасно з цим здійснюється запис знака числа А через елементи І 19 і АБО 21 вузла 6 запису знака в знаковий розряд регістра зсуву 4, оскільки в даному випадку виконується співвідношення $A > B$ й знаку різниці D привласнюється значення знака більшого операнда А. Зсув інформації в регістрі 1 виконується до повного його обнулення за сигналом керування зсувом, що надходить по шині 27 при наявності сигналу зсуву на вході 36 пристрою.

При алгебраїчному додаванні двох чисел можливий випадок, коли $A < B$, тобто коли початкові величини, наприклад, такі: $A=4$ і $B=9$. У цьому випадку загальна частина обох чисел, яка визначена вузлом 5 підсумовування за модулем два і надходить з його виходу 15, при підсумовуванні з операндом А в суматорі 3 дає подвоєне значення загальної частини чисел А й В, тобто величину 2А, що дорівнює 8. Різниця D операндів (А-В), що дорівнює 5, у вигляді одиничного сигналу, що існує на виході елемента АБО-НІ 9 протягом часу 5 τ приводить до появи одиничного сигналу такої ж тривалості на виходах 15, 16 і 18 вузла 5 підсумовування за модулем два. Таким чином, різниця D операндів (А-В) надходить на вхід суматора 3 і бере участь у формуванні суми початкових величин, оскільки $A+B=2A+(A-B)$. З виходу 16 вузла 5 підсумовування за модулем два різниця D записується в регістр зсуву 4, а також дозволяється запис знака числа В через елементи І 20 і АБО 21 вузла 6 запису знака в знаковий розряд регістра зсуву 4 за сигналом з виходу 18 вузла 5 підсумовування за модулем два. Зсув вмісту регістра 2 виконується до повного його обнулення за сигналом керування зсувом, що надходить по шині 27, при наявності сигналу зсуву на вході 36 пристрою. Отже, сума двох початкових чисел формується в суматорі 3, різниця - у регістрі зсуву 4, причому знаку різниці привласнюється значення знака більшого операнда.

Таблиця 1

Знак першого операнда	Код операції	Знак другого операнда	Перетворений знак другого операнда	Знак результату	Виконувана операція
+	+	+	+	+	+
+	+	-	-	Знак більшого операнда	-
-	+	+	+	Так само	-
-	+	-	-	-	+
+	-	+	-	Знак більшого операнда	-
+	-	-	+	+	+
-	-	+	-	-	+
-	-	-	+	Знак більшого операнда	-

Регістр зсуву 1 (фіг.2) працює наступним чином. Для готовності регістра до запису інформації на шину 37 живлення подається напруга живлення. Для встановлення початкового стану на наступний вхід 29 пристрою подається низький потенціал, який проходить на інверсний R-вхід D-тригера 40 і через елемент І 58 на інверсний S-вхід RS-тригера 50, при цьому RS-тригер 50, вста-

новлюється в "одиничний" стан, а D-тригер 40 встановлюється у "нульовий" стан. В результаті на перший вхід елемента І 54 надходить "1" з прямого виходу RS-тригера 50, а на другий вхід надходить "1" з інверсного виходу D-тригера 40, отже, на виході елемента І 54 встановлюється високий потенціал, а на виходах елементів І 53, І 55, І 56 встановлюються низькі потенціали.

Одночасно з цим відбувається збудження комірки 39 початкового стану. На катоді світлодіода 78 присутній "0", по ланцюгу шина 37 живлення - резистор 77 - світлодіод 78 тече струм, що збуджує світлодіод 78, останній у свою чергу оптично діє на фотоприймач 68 комірки 39. Під дією цього зв'язку і високого потенціалу на шині 43 опір фотоприймача 68 різко зменшується й в результаті транзистор 62 відкривається. По ланцюгу колектор - емітер транзистора 62 - джерело 63 світла тече струм, джерело 63 світла випромінює світло, по ланцюгу вихід 64 - фотоприймач 67 забезпечується позитивний зворотний зв'язок, комірка 39 запам'ятовує інформацію. З виходу 65 джерела 63 світла комірки 39 світловий сигнал впливає на фотоприймач 68 наступної комірки 3 81, підготовлюючи її до роботи.

При виконанні операції запису операндів необхідно на вхід 28 керування записом регістра 1 подати низький потенціал, який через елемент І 58 подається на інверсний S-вхід RS тригера 50 і встановлює його в "одичинний" стан. В результаті шини 42 і 43 підключені, а шини 44 і 45 відключені. Одночасно на перший вхід елемента І 57 через елемент АБО 60 зі входу 25 першого операнда надходять сигнали запису, а на другий вхід надходять тактові імпульси від генератора тактових імпульсів 59. D-тригер 40 починає працювати в режимі лічби.

З приходом сигналу зі входу 25 і при наявності тактового сигналу з виходу генератора тактових імпульсів 59 D-тригер 40 перейде в "одичинний" стан, тобто на прямому виході встановиться "1", а на інверсному виході встановиться "0". В результаті на виході елемента І 54 з'явиться низький потенціал, тому що на його другий вхід надходить "0" з інверсного виходу D-тригера 40, а на виході елемента І 53 з'явиться високий потенціал, тому що на його перший вхід надходить "1" з прямого виходу RS-тригера 50, а на другий вхід надходить "1" з прямого виходу D-тригера 40. Під впливом оптичного сигналу з виходу 65 джерела 63 світла комірки 39 початкового стану і високого потенціалу, що надходить з шини 42, опір фотоприймача 68 різко зменшується. В результаті транзистор 62 розрядної комірки 3 81 відкривається, по ланцюгу колектор - емітер транзистора 62 тече струм, джерело 63 світла випромінює світло і через вихід 64 впливає на фотоприймач 67, забезпечуючи позитивний зворотний зв'язок. Комірка 3 81 запам'ятовує сигнал запису.

Запирання розрядної комірки 39 відбувається завдяки наявності резистора 76 і нульового потенціалу на шинах 43 і 47, що приводить до запирання транзистора 62, причому подача нульового потенціалу з шини 47 через діод 72 і фотоприймач 67 (фотодіод) помітно скорочує час запирання транзистора 62.

З приходом наступного сигналу запису на вхід 25 D-тригер 40 перейде в нульовий стан, тобто на його прямому виході з'явиться "0", а на інверсному виході з'явиться "1". В результаті на шині 42 встановиться низький потенціал, а на шині

43 встановиться високий потенціал. Під дією оптичного зв'язку з виходу 65 комірки 38₁ на фотоприймач 68 комірки 38₂ і високого потенціалу шини 43 опір фотоприймача 68 різко зменшується, транзистор 62 відкривається, збуджується регенеративний оптрон комірки 38₂ і запирається регенеративний оптрон комірки 38₁ аналогічно описаному вище.

Аналогічним чином відбувається спрацювання наступних комірок 38₃,...,38_n регістра. Кількість комірок 38₁,...,38_n, що спрацювали, визначається тривалістю сигналу запису на вхід 25 першого операнда регістра зсуву 1. При переповненні розрядної сітки регістра одиниця перенесення з'являється на виході 65 останньої комірки 38_n регістра зсуву.

При виконанні операції зсуву на вхід 27 керування зсувом необхідно подати нульовий потенціал, який з'явиться на інверсному R-вході RS-тригера 50 і встановить його у "нульовий" стан. Отже, шини 42 і 43 відключені, тобто мають низькі потенціали, а шини 44 і 45 підключені, тобто мають високі потенціали поперемінно, в залежності від величини тривалості сигналу зсуву на вхід 36 пристрою. В результаті реалізовані зв'язки зворотної лічби, тобто при зсуві стан комірок 38₁,...,38_n змінюється у зворотному напрямку, переходячи з одичинного в нульовий стан, при цьому визначальними є сигнали на входах 74 керування розрядних комірок 38₁,...,38_n і задіяні світлодіоди 71, а також функціонує оптичний зв'язок з виходу 66 джерела 63 світла комірки 39 початкового стану на фотоприймач 69 комірки 38_n.

При зсуві інформації на один розряд на оптоелектронному регістрі зсуву необхідний час

$$T = \tau_B + \tau_3,$$

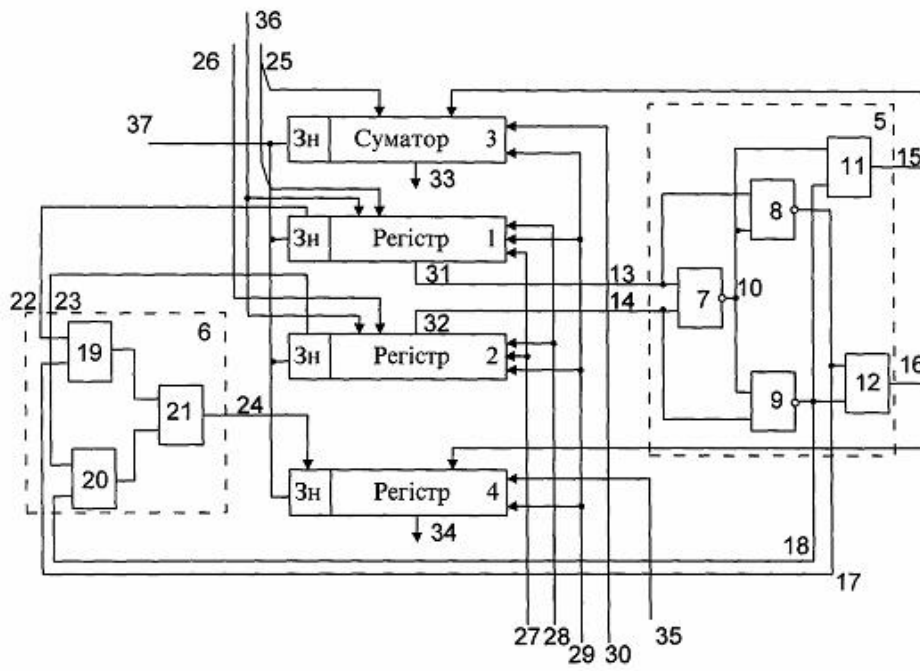
де τ_B - час збудження (вмикання) комірки;

τ_3 - час запирання комірки.

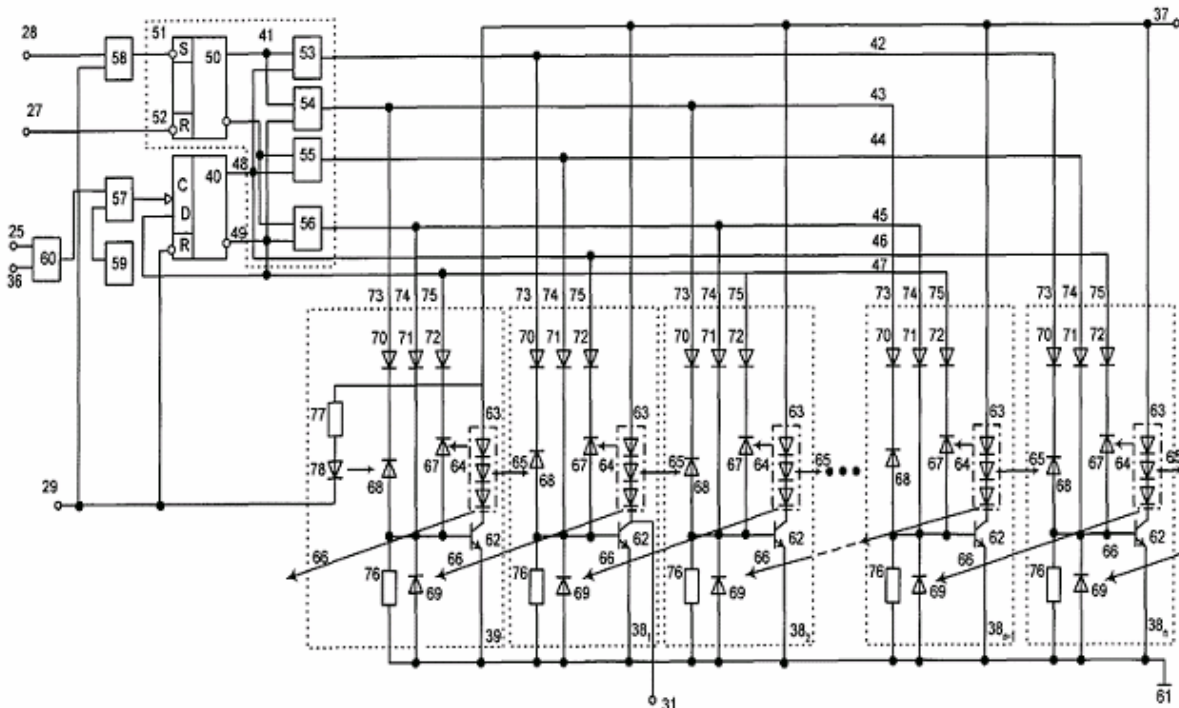
При $\tau_B = \tau_3$, $T = 2\tau$.

Перемикання комірок у даному регістрі зсуву має таку особливість: збудження наступної комірки і запирання попередньої комірки відбувається практично одночасно (збудження зі світлодіода 63 на фотоприймач 68 наступної комірки відбувається раніше, ніж запирання попередньої комірки по ланцюгу діод 72 - фотоприймач 67).

У запропонованому пристрої операція віднімання виконується одночасно з підсумовуванням за допомогою вузла підсумовування за модулем два при паралельному зсуві вмісту обох регістрів операндів, а результат фіксується в регістрі різниці. Використання оптоелектронних модулів з оптичними зв'язками між розрядними комірками в якості регістрів зсуву і суматора дозволяє прискорити процес оброблення операндів, поданих у вигляді одичинних нормальних кодів, за даним методом як за рахунок швидкодії оптичних елементів і оптичних зв'язків, так і завдяки прискоренню роботи вузла підсумовування за модулем два в результаті вилучення одного логічного рівня обробки.



Фиг. 1



Фиг.2