



УКРАЇНА

(19) **UA** (11) **69737** (13) **U**  
(51) МПК

**H03K 5/24** (2006.01)

**G05B 1/01** (2006.01)

ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

**(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ**

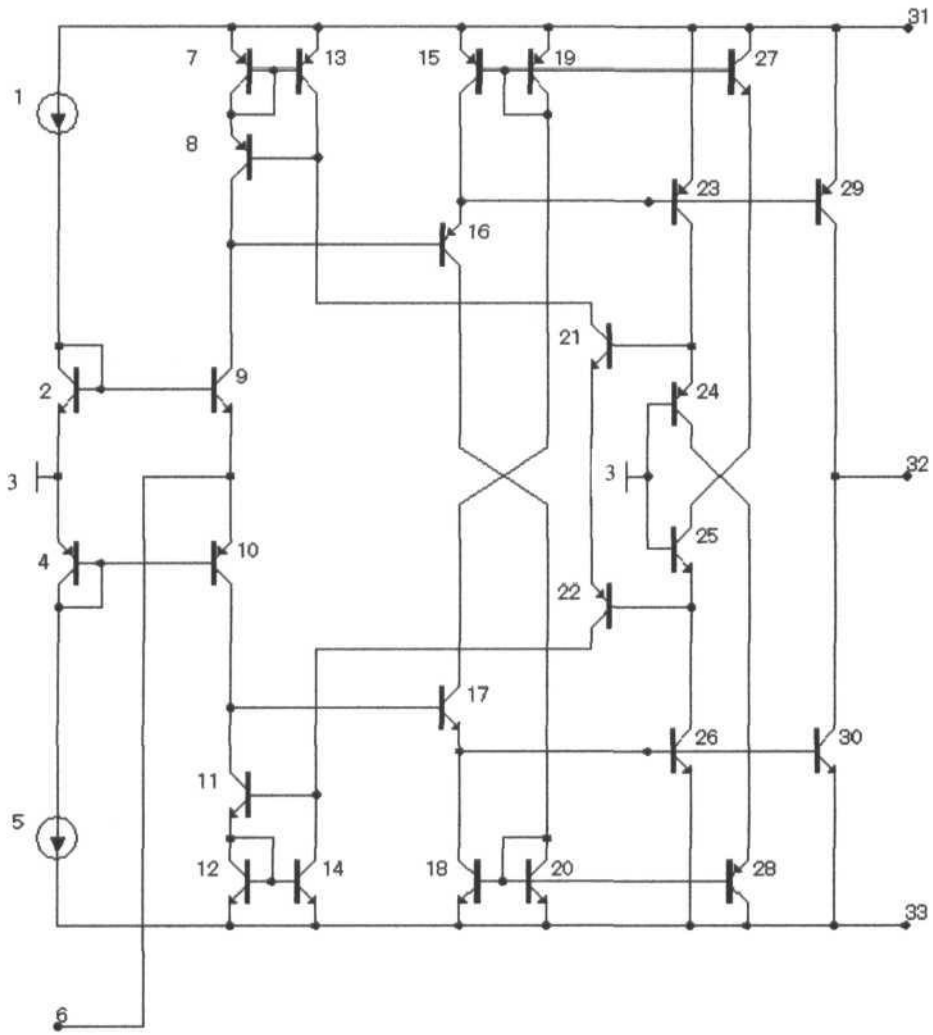
<p>(21) Номер заявки: <b>u 2011 12867</b></p> <p>(22) Дата подання заявки: <b>02.11.2011</b></p> <p>(24) Дата, з якої є чинними права на корисну модель: <b>10.05.2012</b></p> <p>(46) Публікація відомостей про видачу патенту: <b>10.05.2012, Бюл.№ 9</b></p>	<p>(72) Винахідник(и): <b>Азаров Олексій Дмитрович (UA), Девдюк Андрій Миколайович (UA), Павлов Сергій Володимирович (UA), Гарнага Володимир Анатолійович (UA)</b></p> <p>(73) Власник(и): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b></p>
---	---

**(54) ДВОТАКТНИЙ СИМЕТРИЧНИЙ ПІДСИЛЮВАЧ СТРУМУ**

**(57) Реферат:**

Двотактний симетричний підсилювач струму містить перше та друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, двадцять шість транзисторів.

**UA 69737 U**



Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо підсилювач постійного струму (А. с. СРСР №1548841, м. кл. Н03F3/26, опубл: 1989 р.), який містить перший і другий транзистори, які мають різну структуру. Емітери першого і другого транзисторів з'єднано, а точка з'єднання є входом підсилювача постійного струму. Третій і четвертий транзистори мають структуру відповідно другого і першого транзисторів, їх колектори є виходами підсилювача постійного струму, а бази третього і четвертого транзисторів з'єднано з колекторами першого і другого транзисторів відповідно. Бази першого і другого транзисторів з'єднано з шиною нульового потенціалу через перший і другий транзистори відповідно у діодному включенні та перше і друге джерела струмів, які включено між шинами додатного та від'ємного живлення та базами першого і другого транзисторів відповідно. Перший та другий транзистори в діодному включенні мають структуру відповідно до першого і другого транзисторів відповідно. Перший та другий струмозадавальні елементи виконано відповідно на першому і другому відбивачах струму та п'ятому і шостому транзисторах, які мають структуру відповідно до третього і четвертого транзисторів. Бази п'ятого і шостого транзисторів є виходами відповідно першого і другого струмозадавального елементів, їх колектори з'єднано з шиною нульового потенціалу, а емітери - з виходами відповідно першого і другого відбивачів струму. Входи відбивачів струму з'єднано через двополісний струмозадавальний елемент. Колектори третього і четвертого транзисторів з'єднано через коло зміщення. Коло зміщення виконано на третьому і четвертому транзисторах в діодному включенні. Виводи кола зміщення підключено до баз сьомого і восьмого транзисторів, які ввімкнено по схемі із загальним колектором. Емітери сьомого і восьмого транзисторів з'єднано, вони є виходом підсилювача.

Недоліком пристрою є низький коефіцієнт підсилення та низька швидкодія.

За найближчий аналог вибрано двотактний симетричний підсилювач струму (Push-pull amplifier with current mirrors for determining the quiescent operating point, United States Patent 3,852,678, Dec.3, 1974), який містить перше і друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього та четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другі виводи першого і другого джерел струму та емітери п'ятого і шостого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів з'єднано з вихідною шиною.

Недоліком найближчого аналога є низький коефіцієнт підсилення, що обмежує галузь використання пристрою.

В основу корисної моделі поставлено задачу створення двотактного симетричного підсилювача струму, в якому за рахунок введення нових елементів та зв'язків між ними збільшується коефіцієнт підсилення, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у двотактний симетричний підсилювач струму, який містить перше та друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, колектори третього і четвертого транзисторів з'єднано з колекторами одинадцятого та дванадцятого транзисторів відповідно, бази одинадцятого та дванадцятого транзисторів з'єднано з колекторами дев'ятого та десятого транзисторів відповідно, а також з колекторами сімнадцятого та вісімнадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів з'єднано з колекторами та базами сьомого та восьмого транзисторів, а також з базами дев'ятого та десятого транзисторів відповідно, емітери сімнадцятого та вісімнадцятого транзисторів об'єднано, бази сімнадцятого та вісімнадцятого транзисторів з'єднано з емітерами двадцять першого і двадцять другого транзисторів, а також з колекторами дев'ятнадцятого та двадцятого транзисторів відповідно, бази двадцять першого та двадцять другого транзисторів з'єднано з шиною нульового потенціалу, емітери двадцять третього та двадцять четвертого транзисторів

з'єднано з колекторами двадцять другого та двадцять першого транзисторів відповідно, бази двадцять третього та двадцять четвертого транзисторів з'єднано з базами тринадцятого і п'ятнадцятого та чотирнадцятого і шістнадцятого транзисторів, а також з колекторами п'ятнадцятого і шостого та шістнадцятого і п'ятого транзисторів відповідно, колектори двадцять  
 5 п'ятого та двадцять шостого транзисторів з'єднано з вихідною шиною, бази двадцять п'ятого та двадцять шостого транзисторів з'єднано з базами дев'ятнадцятого та двадцятого транзисторів, емітери сьомого, дев'ятого, тринадцятого, п'ятнадцятого, дев'ятнадцятого та двадцять п'ятого транзисторів, а також колектор двадцять третього транзистора підключено до шини додатного живлення, емітери восьмого, десятого, чотирнадцятого, шістнадцятого, двадцятого та двадцять  
 10 шостого транзисторів, а також колектор двадцять четвертого транзистора підключено до шини від'ємного живлення.

На кресленні представлено принципову схему підсилювача постійного струму.

Пристрій містить вхідну шину 6, яку з'єднано з емітерами третього 9 і четвертого 10 транзисторів, емітери першого 2 і другого 4 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 3<sub>1</sub>, колектори третього 9 і четвертого 10 транзисторів з'єднано з базами  
 15 п'ятого 16 і шостого 17 транзисторів відповідно, бази третього 9 і четвертого 10 транзисторів з'єднано з базами та колекторами першого 2 і другого 4 транзисторів відповідно, а також з першими виводами першого 1 і другого 5 джерел струму, другі виводи першого 1 і другого 5 джерел струму з'єднано з шинами додатного 31 і від'ємного 33 живлення відповідно, колектори  
 20 третього 9 і четвертого 10 транзисторів з'єднано з колекторами одинадцятого 8 та дванадцятого 11 транзисторів відповідно, бази одинадцятого 8 та дванадцятого 11 транзисторів з'єднано з колекторами дев'ятого 13 та десятого 14 транзисторів відповідно, а також з колекторами сімнадцятого 21 та вісімнадцятого 22 транзисторів відповідно, емітери одинадцятого 8 та дванадцятого 11 транзисторів з'єднано з колекторами та базами сьомого 7 та восьмого 12  
 25 транзисторів, а також з базами дев'ятого 13 та десятого 14 транзисторів відповідно, емітери сімнадцятого 21 та вісімнадцятого 22 транзисторів об'єднано, бази сімнадцятого 21 та вісімнадцятого 22 транзисторів з'єднано з емітерами двадцять першого 24 і двадцять другого 25 транзисторів, а також з колекторами дев'ятнадцятого 23 та двадцятого 26 транзисторів  
 30 відповідно, бази двадцять першого 24 та двадцять другого 25 транзисторів з'єднано з шиною нульового потенціалу 32, емітери двадцять третього 27 та двадцять четвертого 28 транзисторів з'єднано з колекторами двадцять другого 25 та двадцять першого 24 транзисторів відповідно, бази двадцять третього 27 та двадцять четвертого 28 транзисторів з'єднано з базами тринадцятого 15 і п'ятнадцятого 19 та чотирнадцятого 18 і шістнадцятого 20 транзисторів, а  
 35 також з колекторами п'ятнадцятого 19 і шостого 17 та шістнадцятого 20 і п'ятого 16 транзисторів відповідно, колектори двадцять п'ятого 29 та двадцять шостого 30 транзисторів з'єднано з вихідною шиною 32, бази двадцять п'ятого 29 та двадцять шостого 30 транзисторів з'єднано з базами дев'ятнадцятого 23 та двадцятого 26 транзисторів, емітери сьомого 7, дев'ятого 13, тринадцятого 15, п'ятнадцятого 19, дев'ятнадцятого 23 та двадцять п'ятого 29 транзисторів, а  
 40 також колектор двадцять третього 27 транзистора підключено до шини додатного живлення 31, емітери восьмого 12, десятого 14, чотирнадцятого 18, шістнадцятого 20, двадцятого 26 та двадцять шостого 30 транзисторів, а також колектор двадцять четвертого 28 транзистора підключено до шини від'ємного живлення 33.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 6. Якщо вхідний струм втікає у  
 45 схему, то четвертий 10 транзистор трохи відкривається, а третій 9 транзистор трохи закривається, відповідно шостий 17 транзистор трохи відкривається, а п'ятий 16 транзистор трохи закривається, відповідно двадцятий 26 та двадцять шостий 30 транзистори трохи відкриваються, а дев'ятнадцятий 23 та двадцять п'ятий 29 транзистори трохи закриваються. При цьому потенціал точки об'єднання колекторів двадцять п'ятого 29 та двадцять шостого 30  
 50 транзисторів зменшується і прямує до - E<sub>ж</sub>.

Якщо вхідний струм витікає зі схеми, то четвертий 10 транзистор трохи закривається, а третій 9 транзистор трохи відкривається, відповідно шостий 17 транзистор трохи закривається, а п'ятий 16 транзистор трохи відкривається, відповідно двадцятий 26 та двадцять шостий 30  
 55 транзистори трохи закриваються, а дев'ятнадцятий 23 та двадцять п'ятий 29 транзистори трохи відкриваються. При цьому потенціал точки об'єднання колекторів двадцять п'ятого 29 та двадцять шостого 30 транзисторів зростає і прямує до + E<sub>ж</sub>.

Перше 1 і друге 5 джерела струму та перший 2, другий 4, третій 9, четвертий 10 транзистори утворюють схему задання режиму по постійному струму.

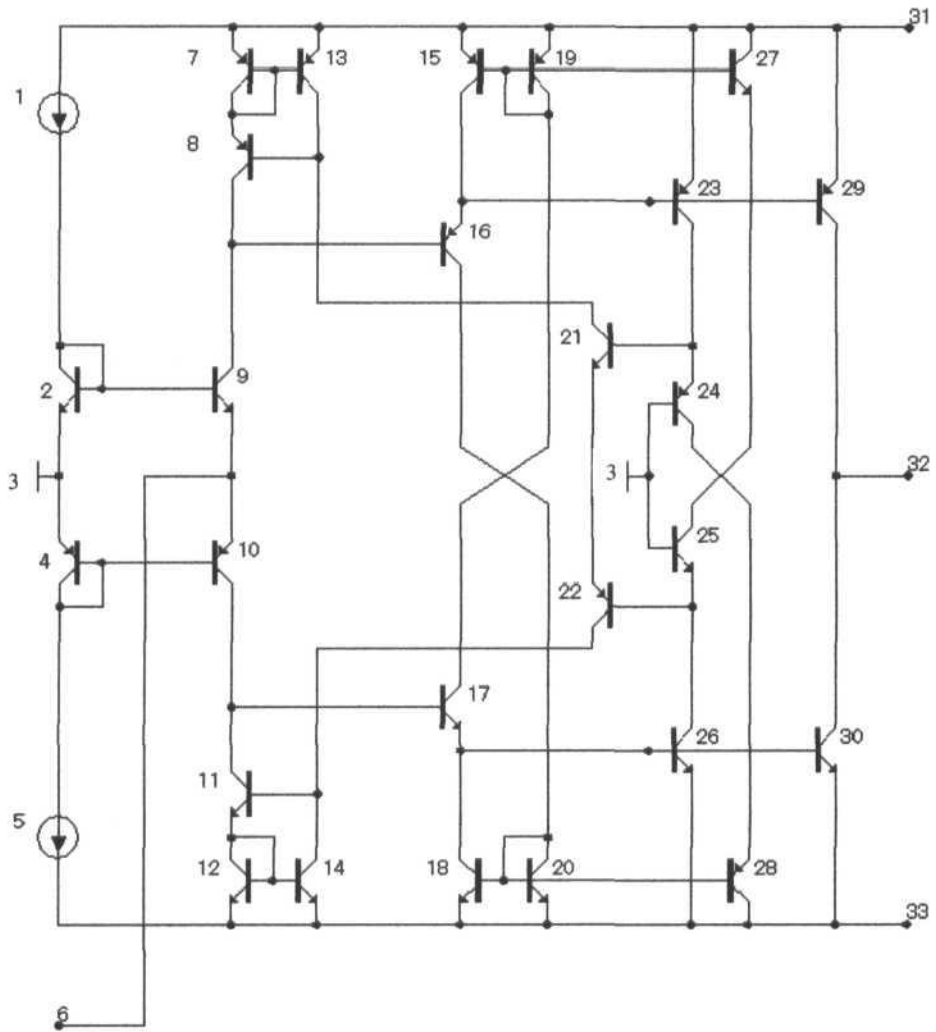
Сьомий 7, дев'ятий 13 і одинадцятий 8 та восьмий 12, десятий 14 і дванадцятий 11, а також  
 60 тринадцятий 15, п'ятнадцятий 19, двадцять третій 27 та чотирнадцятий 18, шістнадцятий 20,

двадцять четвертий 28, а також сімнадцятий 21, двадцять перший 24, вісімнадцятий 22 і двадцять другий 25 транзистори являють собою компенсатори струму та двонаправлений відбивач струму, які задають режим робочої точки для п'ятого 16, шостого 17, дев'ятнадцятого 23, двадцятого 26, двадцять п'ятого 29, двадцять шостого 30 транзисторів, які утворюють проміжний каскад з протифазним підсиленням.

Шини додатного 31 і від'ємного 33 живлення, а також шина нульового потенціалу 3 забезпечують потрібний рівень напруги для живлення схеми.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Двотактний симетричний підсилювач струму, що містить перше та друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, який **відрізняється** тим, що у нього введено двадцять транзисторів, причому колектори третього і четвертого транзисторів з'єднано з колекторами одинадцятого та дванадцятого транзисторів відповідно, бази одинадцятого та дванадцятого транзисторів з'єднано з колекторами дев'ятого та десятого транзисторів відповідно, а також з колекторами сімнадцятого та вісімнадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів з'єднано з колекторами та базами сьомого та восьмого транзисторів, а також з базами дев'ятого та десятого транзисторів відповідно, емітери сімнадцятого та вісімнадцятого транзисторів об'єднано, бази сімнадцятого та вісімнадцятого транзисторів з'єднано з емітерами двадцять першого і двадцять другого транзисторів, а також з колекторами дев'ятнадцятого та двадцятого транзисторів відповідно, бази двадцять першого та двадцять другого транзисторів з'єднано з шиною нульового потенціалу, емітери двадцять третього та двадцять четвертого транзисторів з'єднано з колекторами двадцять другого та двадцять першого транзисторів відповідно, бази двадцять третього та двадцять четвертого транзисторів з'єднано з базами тринадцятого і п'ятнадцятого та чотирнадцятого і шістнадцятого транзисторів, а також з колекторами п'ятнадцятого і шостого та шістнадцятого і п'ятого транзисторів відповідно, колектори двадцять п'ятого та двадцять шостого транзисторів з'єднано з вихідною шиною, бази двадцять п'ятого та двадцять шостого транзисторів з'єднано з базами дев'ятнадцятого та двадцятого транзисторів, емітери сьомого, дев'ятого, тринадцятого, п'ятнадцятого, дев'ятнадцятого та двадцять п'ятого транзисторів, а також колектор двадцять третього транзистора підключено до шини додатного живлення, емітери восьмого, десятого, чотирнадцятого, шістнадцятого, двадцятого та двадцять шостого транзисторів, а також колектор двадцять четвертого транзистора підключено до шини від'ємного живлення.




---

Комп'ютерна верстка І. Скворцова

---

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

---

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601