УКРАЇНА

(19) UA (11) 52771 (13) U

(51) МПК
G06G 7/60 (2006.01)

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ

ОПИС
ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під відповідальність власника патенту

(54) ПРИСТРІЙ ДЛЯ МОДЕЛЮВАННЯ НЕЙРОНА

(21) u201002058
(22) 25.02.2010
(24) 10.09.2010
(46) 10.09.2010, Бюл.№ 17, 2010 р.
(72) МАРТИНЮК ТЕТЯНА БОРИСІВНА, ХАЇМЗОН ІГОР ІЗЄВИЧ, КУПЕРШТЕЙН ЛЕОНІД МИХАЙЛОВИЧ, СИДОРУК ЛЕСЯ ВОЛОДИМИРІВНА
(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
(57) Пристрій для моделювання нейрона, який містить керовані резисторні елементи, блоки моделювання синапсів, які складаються з послідовно з'єднаних узгоджуючих підсилювачів, входи яких є входами блоків моделювання синапсів, накопичуючих елементів, елементів затримки, блоки моделювання дендритів, які складаються з суматорів, елементів затримки та інвертора, утворюючих прямий та зворотний ланцюги так, що елементи затримки і суматори по першому неінвертованому входу включені до них послідовно і чергуються між собою, причому зворотний ланцюг починається з суматора, а вихід його останнього елемента затримки з'єднаний через інвертор з входом першого елемента затримки прямого ланцюга, другі неінвертовані входи суматорів прямого ланцюга з'єднані з інвертованими входами суміжних з ними суматорів зворотного ланцюга і є входами блока моделювання дендриту, які з'єднані з виходами відповідної до нього групи блоків моделювання синапсів, вихід кожного елемента затримки прямого ланцюга з'єднаний з другим неінвертованим входом відповідного суматора зворотного ланцюга і є виходом блока моделювання дендриту і дендритним виходом пристрою, а вихід кожного елемента затримки зворотного ланцюга з'єднаний з третім неінвертованим входом відповідного суматора прямого ланцюга, прямий ланцюг закінчується елементом затримки, вихід якого є проксимальним виходом блока моделювання дендриту, формувач вихідних імпульсів, вихід якого є виходом пристрою, пристрій також містить блок синхронізації, входи якого з'єднані з виходом пристрою і його входами, а виходи за кількістю синапсів підключені до керуючих входів резисторних елементів, причому кожний блок моделювання дендриту містить додаткові елементи затримки за кількістю наявних у них елементів затримки без одного та двовхідні суматори, кожний додатковий елемент затримки підключений у розрив між наявним у прямому і зворотному ланцюгу послідовно підключеним з ним суматором, виходи двовхідних суматорів є дендритними виходами, перший вхід кожного суматора під'єднаний між виходом елемента затримки і входом додаткового елемента затримки прямого ланцюга, а другий вхід - між відповідними їм елементами затримки зворотного ланцюга, кількість двовхідних суматорів дорівнює кількості ділянок дендриту між синаптичними контактами, який **відрізняється** тим, що в нього введено перетворювачі напруги в код за кількістю блоків моделювання дендритів і адаптивний суматор, входи якого з'єднані з виходами перетворювачів напруги в код і який містить установний вхід та вхід керування пристрою, вихід адаптивного суматора з'єднаний з входом формувача вихідних імпульсів, крім того проксимальний вихід кожного блока моделювання дендриту з'єднаний з входом відповідного перетворювача напруги в код.

(19) UA (11) 52771 (13) U

Корисна модель відноситься до пристроїв моделювання нервової системи і може бути використана в експериментах при дослідженні процесів у нервових структурах, а також у нейрокібернетиці.

Відомий пристрій для моделювання нейрона (а.с. СРСР № 1691858, кл. G06G7/60, 1991р., Бюл. №42), який містить послідовні ланцюжки у вигляді формувачів вхідних сигналів, перетворювачів частоти у напругу і блоків завдання вагових коефіцієнтів, гальмівні і збуджуючі входи пристрою з'єднані з входами формувачів вхідних сигналів, перший суматор, входи якого підключені до виходів блоків завдання вагових коефіцієнтів, функціональний перетворювач, перетворювач напруги в частоту і керований формувач спайку з'єднані послідовно, вихід керованого формувача є виходом пристрою, другий суматор і пороговий елемент, вихід якого з'єднаний з першим входом суматора, другий вхід якого з'єднаний з виходом функціонального перетворювача, а вихід з'єднаний з другим входом ке-

рованого формувача, третій і четвертий суматори, п'ятий суматор з двома входами, групу нелінійних елементів за кількістю збуджуючих і гальмівних входів пристрою, які розділені і через відповідні послідовні ланцюжки з'єднані з входами першого і другого суматорів, виходи яких з'єднані з входами третього суматора, вихід якого з'єднаний з входами функціонального перетворювача і порогового елемента, збуджуючі входи пристрою через відповідні послідовні ланцюжки з'єднані з входами нелінійних елементів, виходи яких з'єднані з входами четвертого суматора, вихід якого з'єднаний з третім входом п'ятого суматора.

Недоліком даного пристрою є складність його структури.

Найбільш близьким за технічною суттю є пристрій для моделювання нейрона (а.с. СРСР № 1585811, кл. G06G7/60, 1990р., Бюл. №30), який містить керовані резисторні елементи, блоки моделювання синапсів, які складаються з послідовно з'єднаних узгоджуючих підсилювачів, входи яких є входами блоків моделювання синапсів, накопичуючих елементів, елементів затримки, блоки моделювання дендритів, які складаються з трьохвхідних суматорів, в подальшому суматорів, елементів затримки і інвертора, утворюючих прямий та зворотний ланцюги так, що елементи затримки і суматори по першому неінвертованому входу включені до них послідовно і чергуються між собою, причому зворотний ланцюг починається з суматора, а вихід його останнього елемента затримки з'єднаний через інвертор з входом першого елемента затримки прямого ланцюга, другі неінвертовані входи суматорів прямого ланцюга з'єднані з інвертованими входами суміжних з ними суматорів зворотного ланцюга і є входами блока моделювання дендриту, які з'єднані з виходами відповідної до нього групи блоків моделювання синапсів, вихід кожного елемента затримки прямого ланцюга з'єднаний з другим неінвертованими входом відповідного суматора зворотного ланцюга і є виходом блока моделювання дендриту і дендритним виходом пристрою, а вихід кожного елемента затримки зворотного ланцюга з'єднаний з третім неінвертованим входом відповідного суматора прямого ланцюга, прямий ланцюг закінчується елементом затримки, вихід якого є проксимальним виходом блока моделювання дендриту, адитивний суматор, входи якого підключені до проксимальних виходів блоків моделювання дендриту, пороговий блок, підключений на вихід адитивного суматора і який складається з елемента порівняння, вхід якого є входом порогового блока, блока формування порогу, вихід якого підключений на другий вхід елемента порівняння, формувача вихідних імпульсів, підключеного до виходу елемента порівняння, блока зворотного зв'язку, вихід якого підключений до входу блока формування порогу, а вхід з'єднаний з виходом пристрою, яким є вихід формувача вихідних імпульсів, пристрій також містить блок синхронізації, входи якого з'єднані з виходом пристрою і його входами, а виходи за кількістю синапсів підключені до керуючих входів резисторних елементів, причому кожний блок моделювання дендриту містить додаткові елементи затримки за кількістю наявних у них елементів затримки без одного та двовхідні суматори, кожний додатковий елемент затримки підключений у розрив між наявним у прямому та зворотному ланцюгу послідовно підключеним з ним суматором, виходи двовхідних суматорів є дендритними виходами, перший вхід кожного суматора під'єднаний між виходом елемента затримки і входом додаткового елемента затримки прямого ланцюга, а другий вхід - між відповідними йому елементами затримки зворотного ланцюга, кількість двовхідних суматорів дорівнює кількості ділянок дендриту між синаптичними контактами.

Недоліком даного пристрою є складність його структури, зокрема, порогового блока.

В основу корисної моделі поставлено задачу створення пристрою для моделювання нейрона, в якому за рахунок введення нового блока з розширеними функціональними можливостями та нових зв'язків досягається спрощення структури пристрою.

Поставлена задача досягається тим, що у пристрій для моделювання нейрона, який містить керовані резисторні елементи, блоки моделювання синапсів, які складаються з послідовно з'єднаних узгоджуючих підсилювачів, входи яких є входами блоків моделювання синапсів, накопичуючих елементів, елементів затримки, блоки моделювання дендритів, які складаються з суматорів, елементів затримки та інвертора, утворюючих прямий та зворотний ланцюги так, що елементи затримки і суматори по першому неінвертованому входу включені до них послідовно і чергуються між собою, причому зворотний ланцюг починається з суматора, а вихід його останнього елемента затримки з'єднаний через інвертор з входом першого елемента затримки прямого ланцюга, другі неінвертовані входи суматорів прямого ланцюга з'єднані з інвертованими входами суміжних з ними суматорів зворотного ланцюга і є входами блока моделювання дендриту, які з'єднані з виходами відповідної до нього групи блоків моделювання синапсів, вихід кожного елемента затримки прямого ланцюга з'єднаний з другим неінвертованими входом відповідного суматора зворотного ланцюга і є виходом блока моделювання дендриту і дендритним виходом пристрою, а вихід кожного елемента затримки зворотного ланцюга з'єднаний з третім неінвертованим входом відповідного суматора прямого ланцюга, прямий ланцюг закінчується елементом затримки, вихід якого є проксимальним виходом блока моделювання дендриту, формувач вихідних імпульсів, вихід якого є виходом пристрою, пристрій також містить блок синхронізації, входи якого з'єднані з виходом пристрою і його входами, а виходи за кількістю синапсів підключені до керуючих входів резисторних елементів, причому кожний блок моделювання дендриту містить додаткові елементи затримки за кількістю наявних у них елементів затримки без одного та двовхідні суматори, кожний додатковий елемент затримки підключений у розрив між наявним у прямому і зворотному ланцюгу послідовно підключеним з ним суматором, виходи двовхідних суматорів є дендритними виходами, перший вхід кожного суматора під'єднаний між виходом елемента затримки і входом додаткового елемента затримки пря-

мого ланцюга, а другий вхід - між відповідними їм елементами затримки зворотного ланцюга, кількість двовхідних суматорів дорівнює кількості ділянок дендриту між синаптичними контактами, введено перетворювачі напруги в код за кількістю блоків моделювання дендритів і адаптивний суматор, входи якого з'єднані з виходами перетворювачів напруги в код і який містить установний вхід та вхід керування пристрою, вихід адаптивного суматора з'єднаний з входом формувача вихідних імпульсів, крім того проксимальний вихід кожного блока моделювання дендриту з'єднаний з входом відповідного перетворювача напруги в код.

На фіг.1 представлена функціональна схема запропонованого пристрою для моделювання нейрона; на фіг.2 - функціональна схема блока моделювання дендриту, на фіг.3 - структурна схема адаптивного суматора, на фіг.4 - функціональна схема алгебраїчного суматора.

Пристрій для моделювання нейрона (фіг.1) містить керовані резисторні елементи 1, блоки 2 і 3 моделювання збуджуючих і гальмівних синапсів відповідно, кожен з яких складається з узгоджуючого підсилювача 4, накопичувального елемента 5 і елемента 6 синаптичної затримки, блоки 7 моделювання дендритів, перетворювачі 8 напруги в код, адаптивний суматор 9, формувач 10 вихідних імпульсів, а також блок 11 синхронізації. Збуджуючі та гальмівні входи 12 пристрою з'єднані з входами керованих резисторних елементів 1, кожний збуджуючий вихід яких з'єднаний з входом відповідного блока 2 моделювання збуджуючих синапсів, який є входом узгоджуючого підсилювача 4. Вихід узгоджуючого підсилювача 4 з'єднаний з входом накопичувального елемента 5, вихід якого з'єднаний з входом елемента 6 синаптичної затримки, вихід якого з'єднаний зі збуджуючим входом 13 відповідного блока 7 моделювання дендриту. Кожний гальмівний вихід керованих резисторних елементів 1 з'єднаний з входом відповідного блока 3 моделювання гальмівних синапсів, який є входом узгоджуючого підсилювача 4. Вихід узгоджуючого підсилювача 4 з'єднаний з входом накопичувального елемента 5, інверсний вихід якого з'єднаний з входом елемента 6 синаптичної затримки, вихід якого з'єднаний з гальмівним входом 14 відповідного блока 7 моделювання дендриту. Блоки 7 моделювання дендритів мають дендритні виходи 15 і проксимальний вихід 16, який з'єднаний з входом відповідного перетворювача 8 напруги в код, вихід якого з'єднаний з відповідним входом 17_i (i=1,..,n) адаптивного суматора 9. Вихід 18 адаптивного суматора 9 з'єднаний з входом формувача 10 вихідних імпульсів, вихід 19 якого є інформаційним виходом пристрою, а також з'єднаний з входом блока 11 синхронізації, виходи якого з'єднані з керуючими входами керованих резисторних елементів 1, а його входи з'єднані також з входами пристрою. Адаптивний суматор 9 має установний вхід 20 і вхід 21 керування пристрою.

Блок 7 моделювання дендриту (фіг. 2) містить першу групу суматорів 22, прямий ланцюг 23, другу групу суматорів 24, зворотний ланцюг 25, першу 26 і другу 27 групи елементів затримки, групу двовхідних суматорів 28, інвертор 29, третю 30 і четверту 31 групу елементів затримки. Суматори 22 першої групи, елементи 26 першої та елементи 27 другої груп елементів затримки складають прямий ланцюг 23, а суматори 24 другої групи, елементи 30 третьої та елементи 31 четвертої груп елементів затримки складають зворотний ланцюг 25 блока 7 моделювання дендриту.

Збуджуючі входи 13 з'єднані з першим входом непарних суматорів 22 першої групи, вихід яких з'єднаний з входом елементів 26 затримки першої групи. Вихід елементів 26 затримки першої групи з'єднаний з входом елементів 27 затримки другої групи, вихід яких з'єднаний з другим входом суматорів 22 першої групи, перший вхід парних суматорів 22 першої групи з'єднаний з гальмівними входами 14, а вихід останнього елемента 26 затримки першої групи є проксимальним виходом 16 блока 7 моделювання дендриту.

Гальмівні входи 14 з'єднані з першим входом непарних суматорів 24 другої групи, вихід яких з'єднаний з входом елементів 30 затримки третьої групи. Вихід елементів 30 затримки третьої групи з'єднаний з першим входом групи двовхідних суматорів 28, виходи яких є дендритними виходами 15 пристрою. Вихід елементів 30 затримки третьої групи з'єднаний з входом елементів 31 затримки четвертої групи, вихід яких з'єднаний з третім входом суматорів 24 другої групи, перший вхід парних суматорів 24 другої групи з'єднаний зі збуджуючим входом 13. Вихід суматорів 24 другої групи з'єднаний з входом елементів 30 затримки третьої групи, а вихід останнього елемента 30 затримки третьої групи з'єднаний з входом інвертора 29. Вихід інвертора 29 з'єднаний з входом елемента 27 затримки другої групи, вихід якого з'єднаний з другим входом суматора 22 першої групи. Вихід елементів 31 затримки четвертої групи з'єднаний з третім входом суматорів 22 першої групи. Вихід елементів 26 затримки першої групи з'єднаний з другим входом відповідного двовхідного суматора 28 групи.

Адаптивний суматор 9 (фіг.3) містить алгебраїчний суматор 32 і блок 33 формування порогу, причому алгебраїчний суматор 32 має інформаційні входи $17_1,..,17_n$, а його виходи 34 і 35 з'єднані з відповідними входами блока 33 формування порогу, вихід якого з'єднаний з входом 36 порогу алгебраїчного суматора 32. Вихід 35 алгебраїчного суматора 32 є виходом 18 адаптивного суматора 9, а установний вхід 20 і вхід 21 керування пристрою з'єднані з відповідними входами блока 33 формування порогу і алгебраїчного суматора 32.

Алгебраїчний суматор 32 (фіг. 4) містить n комірок 37, причому і - та комірка 37 містить мультиплексор 38, регістр 39, суматор - віднімач 40, суматор 41, D - тригер 42, мініматор 43, два регістри 44, 45, комутатор 46. Перший інформаційний вхід мультиплексора 38 з'єднаний з входом 17_i і-ої комірки 37, керувальний вхід з'єднаний з входом 21 керування пристрою, а його вихід підключено до входу 47 регістра 39, в якого вихід з'єднаний з прямим входом 48 суматора - віднімача 40 та інформаційним входом 49 мініматора43.

В і-й комірці 37 вихід регістра 45 з'єднаний з першим (інформаційним) входом комутатора 46 та інверсним входом 50 суматора - віднімача 40, ви-

хід 51 якого з'єднаний з другим інформаційним входом мультиплексора 38, а вихід 52 знака суматора - віднімача 40 з'єднаний зі знаковим входом 53 мі-німатора 43 і D - входом D - тригера 42, інверсний вихід якого з'єднаний з другим (керувальним) входом комутатора 46. Вихід комутатора 46 підключено до виходу 54 і-ої комірки 37, крім того, інформаційний вхід 55 мініматора 43 і-ої комірки 37 з'єднаний з виходом 56 (і-1) - ої комірки 37, вхід 57 суматора 41 і -ї комірки 37 з'єднаний з виходом 58 (і-1) - ої комірки 37, а вхід 59 підключено до виходу 54 (і+1) - ої комірки 37.

В і-й комірці 37 вхід регістра 45 підключено до входу 60 цієї комірки 37, вихід 61 мініматора 43 з'єднаний з входом регістра 44 цієї комірки, інформаційний вихід якого є виходом 56 і-ої комірки 37, а його вихід знака є виходом 62 і-ої комірки 37, який з'єднаний зі знаковим входом 63 мініматора 43 (і+1) - ої комірки 37, а вихід 61 мініматора 43 n-ої комірки 37 підключений до входів 60 всіх (n-1) молодших комірок 37.

У першій комірці 37 вихід регістра 39 є виходом 56 першої комірки 37, вихід 52 знака суматора - віднімача 40 є її виходом 62, а вхід 57 суматора 41 з'єднаний з виходом комутатора 46 цієї ж комірки 37. Вихід 61 мініматора 43 n-ої комірки 37 з'єднаний з входом регістра 45 цієї комірки, а його вихід ознаки нуля є виходом 64 n-ої комірки 37.

Блок 65 порогового оброблення містить мультиплексор 38, регістр 39, суматор - віднімач 40, D - тригер 42, регістр 45, елементи АБО 66 і І 67, комутатор 68. Перший інформаційний вхід мультиплексора 38 блока 65 порогового оброблення з'єднаний з входом 36 порогу, керувальний вхід з'єднаний з входом 21 керування пристрою, а його вихід підключено до входу 47 регістра 39, вихід якого з'єднаний з прямим входом 48 суматора - віднімача 40 блока 65 порогового оброблення, вихід 51 якого з'єднаний з другим інформаційним входом мультиплексора 38 блока 65 порогового оброблення. Вихід 58 (n-1) - ї комірки 37 з'єднаний з інформаційним входом регістра 45 блока 65 порогового оброблення, його вихід з'єднаний з інверсним входом 50 суматора - віднімача 40 блока 65 порогового оброблення, вихід 52 знака якого з'єднаний з першим входом елемента АБО 66, а вихід 69 ознаки нуля з'єднаний з другим входом елемента АБО 66. Вихід елемента АБО 66 з'єднаний 3D - входом D - тригера 42 блока 65 порогового оброблення, прямий вихід якого з'єднаний з першим входом елемента І 67 блока 65 порогового оброблення, другий вхід якого з'єднаний з виходом 64 n-ої комірки 37, а його вихід підключений до керувального входу комутатора 68. Інформаційний вхід комутатора 68 блока 65 порогового оброблення з'єднаний з виходом регістра 39 блока 65 порогового оброблення, його вихід є виходом 35 алгебраїчного суматора, а вихід 64 n-ої комірки 37 є виходом 34 алгебраїчного суматора.

Пристрій для моделювання нейрона (фіг.1) працює таким чином.

Вхідні сигнали у вигляді спайкової послідовності подаються зі входів 12 пристрою на входи керованих резисторних елементів 1, де масштабуються за амплітудою у відповідності з вагою синаптичного контакту, далі надходять на входи блоків 2 і блоків 3 моделювання збуджуючих і гальмівних синапсів відповідно, де через узгоджуючі підсилювачі 4 подаються на накопичуючі елементи 5, при цьому змінюють форму, тривалість і знак (збуджуючий або гальмівний синапс) і перетворюються в локальні постсинаптичні потенціали (ЛПСП). Далі вони затримуються на час синаптичної затримки в елементах 6 і надходять на збуджуючі 13 і гальмівні 14 входи відповідних блоків 7 моделювання дендритів у відповідності з розташуванням синапсів на кожному реальному дендриті. Сигнал з проксимального виходу 16 кожного блока 7 моделювання дендриту подається на перетворювач 8 напруги в код, з виходу якого далі подається на відповідний вхід 17_i (i=1,..,n) адаптивного суматора 9, де відбувається їх порогове підсумовування. Сумарний сигнал з виходу 18 адаптивного суматора 9 надходить на вхід формувача 10 вихідних імпульсів, вихідний сигнал якого надходить на вихід 19 пристрою, а також на вхід блока 11 синхронізації разом з вхідними сигналами пристрою, які надходять на відповідні входи цього блока. В залежності від співвідношення цих сигналів з блока 11 синхронізації надходять керуючі сигнали, які змінюють опір відповідних керованих резисторних елементів 1.

Блок 7 моделювання дендриту (фіг. 2) працює в такий спосіб.

Сигнали ЛПСП в кожному блоці 7 моделювання дендриту з його збуджуючих 13 і гальмівних 14 входів надходять на неінвертуючі входи першої групи 22 та інвертуючі входи другої групи 24 суматорів цього блока. В кожному суматорі при цьому відбувається підсумовування ЛПСП з хвилею потенціалу, який розповсюджується вздовж прямого ланцюга 23 до проксимального виходу 16. Через час т відносно ЛПСП кожного синапсу з виходу блоків 2 або 3 моделювання збуджуючих і гальмівних синапсів, які надходять з входів 13 і 14 на суматори 22 і 24 блока 7 моделювання дендриту, в кожному з них відбувається алгебраїчне підсумовування прямої та зворотної хвилі, причому вкладення цих хвиль у результуючий сигнал на виході кожного з суматорів 22 і 24 від найближчого до нього по обидві сторони вздовж дендриту синапсів визначаються відношенням постійних часових затримок τ_1 і τ_2 елементів 26, 27, 30, 31 затримки ($\tau_{26}=\tau_{31}=\tau_1$; $\tau_{27}=\tau_{30}=\tau_2$) і коефіцієнтів передачі K_1 і K_2 цих елементів ($K_{26}=K_{31}=K_1$; $K_{27}=K_{30}=K_2$).

Співвідношення цих величин визначає положення місця відведення внутрішньодендритного потенціалу в проміжку між сусідніми входами 13 і 14 синапсів і може розташовуватись у будь якому місці цієї ділянки, що дозволяє точно відобразити морфологію реальних міждендритних зв'язків нейронів з розвинутим дендритом. У результаті цього сигнали на дендритних виходах 15, враховуючи дію оберненої хвилі, запізнюються відносно ЛПСП на час відстані від входів 13 і 14 синапсів до дендритного виходу 15 і відрізняються амплітудою від ЛПСП в залежності від величини затухання при русі хвилі потенціалу до дендритного виходу 15.

Суть роботи адаптивного суматора 9 (фіг.3) полягає в тому, що порогове оброблення n чисел зводиться до обчислення і підсумовування N часткових сум S_j, де N - кількість різноманітних вхідних

величин $a_{i,0}$, порівняння цих сум з порогом Θ і формування вихідних даних вигляду:

$$Y = \begin{cases} |\Theta - S|, \text{якщо } S = \sum_{i=1}^{n} a_{i,0} = \sum_{j=1}^{N} S_j = \sum_{j=1}^{N} q_j d_j \geq \Theta, \\ 0 \text{ у протилежному випадку}, \end{cases} \quad (1)$$

де Y - результат оброблення пристрою; q_j - загальна значуща частина доданків (мінімальний елемент) j-го етапу; d_j - кратність загальної частини q_j на j-му етапі; Θ - значення порогу оброблення, j - етап оброблення.

Процес порогового оброблення в адаптивному суматорі 9 має такий вигляд.

Спочатку визначається загальна значуща частина q_j всіх доданків на j-му етапі оброблення, тобто:

$$q_j = \min \{a_{i,j-1}\}_{i=\overline{1,n}}, j = \overline{1,N}, \quad (2)$$

де $a_{i,0}$ - і-й доданок на вході 17_i адаптивного суматора 9, і перевіряється умова:

$q_j=0$. (3)

Якщо умова (3) виконується, то процес оброблення припиняється. У протилежному випадку виділяється різницевий зріз A_j, тобто сукупність величин різниці всіх доданків j-го етапу з їхньою загальною частиною q_j тобто:

$$A_j = \{a_{i,j}\}_{i=\overline{1,n}} = \{a_{i,j-1} - q_j\}_{i=\overline{1,n}}, \quad (4)$$

В подальшому отриманий різницевий зріз A_j є вхідною множиною доданків для наступного (j+1) - го етапу оброблення.

Далі формується часткова сума S_j як кратне загальної частини q_j, де кратність d_j визначається кількістю додатних доданків j-го етапу:

$S_j=q_jd_j$. (5)

Після сформування часткової суми S_1 за формулою (5) на першому етапі формується різниця між заданим порогом Θ та частковою сумою S_1, отриманою на цьому етапі, тобто:

$\Delta_1=\Theta-S_1$ (6)

перевіряється умова

$\Delta_1\leq 0$ (7)

і в разі її виконання перевіряється виконання умови (3). Якщо обидві умови виконуються, то формується відповідний результат Y пристрою (1) і порогове оброблення припиняється. Якщо умова (3) не виконується, то процес порогового оброблення продовжується і в подальшому поточна різниця Δ_{j-1} є поточним значенням порогу на наступному j-му етапі оброблення, тобто

$\Delta_j=\Delta_{j-1}-S_1$. (8)

На j-му етапі перевіряється умова

$\Delta_j\leq 0$. (9)

Процес порогового оброблення повторюється до визначення нульової величини q_j (3). Виконання умови (3) свідчить про закінчення процесу і про формування остаточного результату Y порогового оброблення (1) на виході 18 адаптивного суматора 9.

Адаптивний суматор 9 (фіг. 3) працює таким чином.

Вхідні сигнали у вигляді кодів подаються на відповідні входи $17_1,..,17_n$ алгебраїчного суматора 32, на вхід 36 якого з виходу блока 33 формування порогу подається поточний поріг. В алгебраїчному суматорі 32 здійснюється порогове підсумування з урахуванням сигналів на вході 21 керування пристрою. Сумарний сигнал з виходу 35 алгебраїчного суматора 32 надходить на відповідний вхід блока 33 формування порогу, на інший вхід якого надходить керуючий сигнал з виходу 34 алгебраїчного суматора 32. На установний вхід 20 блока 33 формування порогу подаються установні дані, що задають початкове значення порогу підсумовування в алгебраїчному суматорі 32, а сигнал з виходу 35 алгебраїчного суматора 32 є вихідним сигналом на виході 18 адаптивного суматора 9.

Алгебраїчний суматор 32 (фіг.4) працює таким чином.

На вхід 17_i і-ої комірки 37 надходить і-й операнд $a_{i,0}$ з групи операндів, кількість яких n. Запис операндів в комірки 37 виконується паралельно за наявністю одиничного сигналу на вході 21 керування пристрою. Через мультиплексор 38 і - й операнд $a_{i,0}$ надходить на вхід 47 регістра 39 і-ої комірки 37.

Одночасно на вхід 36 порогу подають зовнішній поріг Θ, який через мультиплексор 38 блока 65 порогового оброблення надходить по входу 47 в регістр 39 цього блока. Після цього виконується послідовне виділення загальної (мінімальної значущої) частини двох операндів - (i-1) - го та і-го - мініматором 43 і запис результату в регістр 44 і-ої комірки 37 з виходу 61 мініматора 43. Згідно з виразом (2) ця операція виконується послідовно, починаючи з другої комірки 37. Кінцевий результат q_1 виділення загальної частини всіх n операндів на першому етапі формується в n-ій комірці 37 і з виходу 61 мініматора 43 цієї комірки 37 записується в регістри 45 всіх n комірок 37 паралельно по їх входу 60.

Після цього в і-й комірці 37 відбувається порівняння в суматорі - віднімачі 40 і-го операнда $a_{i,0}$, що надходить з регістра 39 на його прямий вхід 48, та загальної частини q_1 всіх операндів, що надходить з регістра 45 на його інверсний вхід 50. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів згідно з виразом (4) і ця різниця записується з виходу 51 суматора - віднімача 40 через мультиплексор 38 в регістр 39 по його входу 47 за наявністю нульового сигналу на вході 21 керування пристрою. При цьому на виході 52 знака суматора - віднімача 40 формується знак різниці. Перед початком роботи регістри 39, 44, 45 і тригер 42 всіх комірок 37 і блока 65 порогового оброблення занулені.

При відсутності одиничного сигналу знака від'ємного результату одиничний сигнал з інверсного виходу D - тригера 42 подається на керувальний вхід комутатора 46 і дозволяє проходження в і-й комірці 37 через комутатор 46 загальної частини q_1 операндів з регістра 45 через вихід 54 цієї комірки 37 на вхід 59 суматора 41(i-1) - ої комірки 37, де відбувається накопичування загальної частини операндів. У випадку, якщо на виході 52 знака суматора - віднімача 40 і-ої комірки 37 з'явиться одиничний сигнал знака від'ємного результату, то наявність нульового сигналу на інверсному виході D - тригера 42, а отже, на керувальному вході комутатора 46 заборонить надходження загальної частини q_1 операндів на даному етапі оброблення

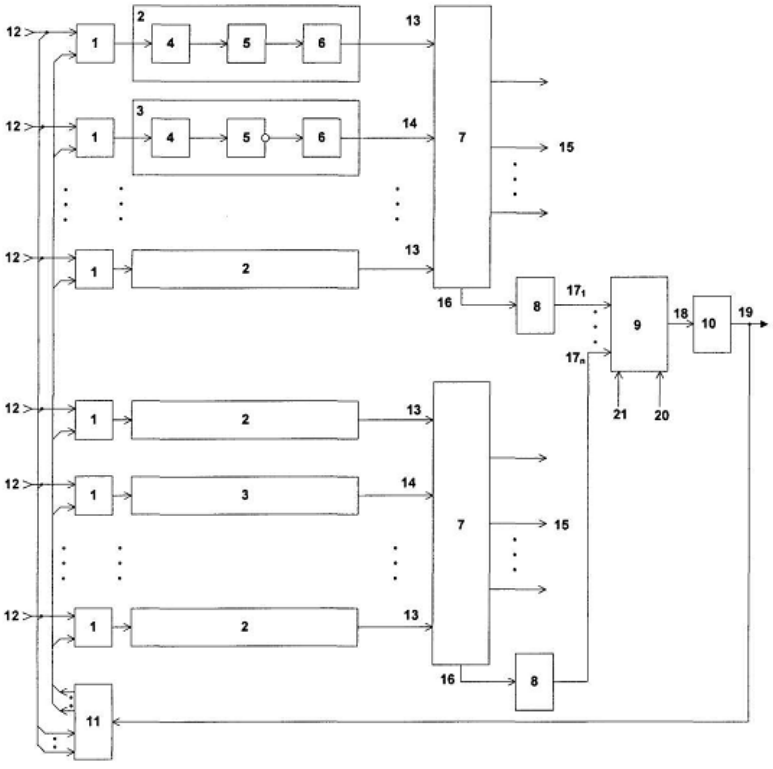
через комутатор 46 на вхід 59 суматора 41 (i-1) - ої комірки 37.

В суматорі 41 кожної комірки 37, крім n-ої, відбувається послідовне підсумовування загальних частин q_1 групи з n операндів, в результаті чого на виході суматора 41 (n-1) - ої комірки 37, тобто на виході 58 цієї комірки 37 формується часткова сума S_1 операндів згідно з виразом (5), яка записується в регістр 45 блока 65 порогового оброблення. Після цього відбувається порівняння в суматорі - віднімачі 40 блока 65 порогового оброблення зовнішнього порогу Θ, що надходить по його прямому входу 48 з регістра 39, та часткової суми S_1, що надходить по його інверсному входу 50 з виходу регістра 45. Порівняння відбувається в процесі віднімання на першому етапі оброблення від зовнішнього порогу Θ часткової суми S_1 згідно з виразом (6). Різниця Δ_1, записується з виходу 51 суматора - віднімача 40 блока 65 порогового оброблення через мультиплексор 38 у регістр 39 по його входу 49 за наявністю нульового сигналу на вході 21 керування пристрою.

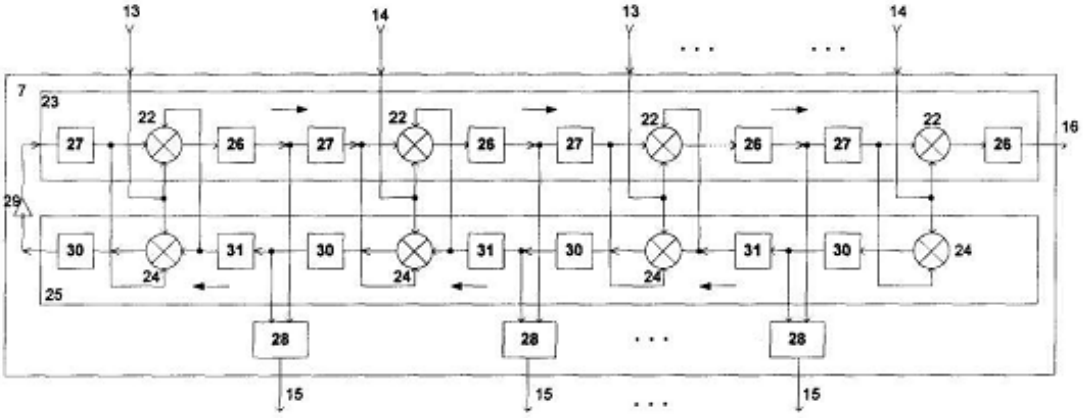
Сигнали з виходу 52 знака і виходу 69 ознаки нуля суматора - віднімача 40 блока 65 порогового оброблення подаються через елемент АБО 66 на D - вхід D - тригера 42 блока 65 порогового оброблення. При цьому при наявності одиничного сигналу на одному з виходів: виході 52 знака або виході 69 ознаки нуля суматора - віднімана 40 одиничний сигнал з прямого виходу D – тригера 42 подається на один з входів елемента І 67.

В подальшому процес порогового оброблення виконується аналогічно першому етапу оброблення згідно з формулами (2) - (5) та (8), (9) і припиняється тоді, коли загальна значуща частина всіх поточних доданків на j-му етапі дорівнює нулю за виразом (3), а саме, коли присутній одиничний сигнал на виході 64 n-ої комірки 37, тобто на виході ознаки нуля мініматора 43 цієї комірки 37. При виконанні умови (3) після виконання N етапів оброблення у регістрі 39 блока 67 порогового оброблення формується результат |Θ-S| оброблення, який з'являється на виході 35 алгебраїчного суматора, тільки коли на обидва входи елемента І 67 надходять одиничні сигнали, які формують одиничний сигнал на керувальному вході комутатора 68 блока 65 порогового оброблення. В іншому випадку на виході комутатора 68, тобто на вході 35 алгебраїчного суматора присутній нульовий сигнал, що відповідає виразу (1).

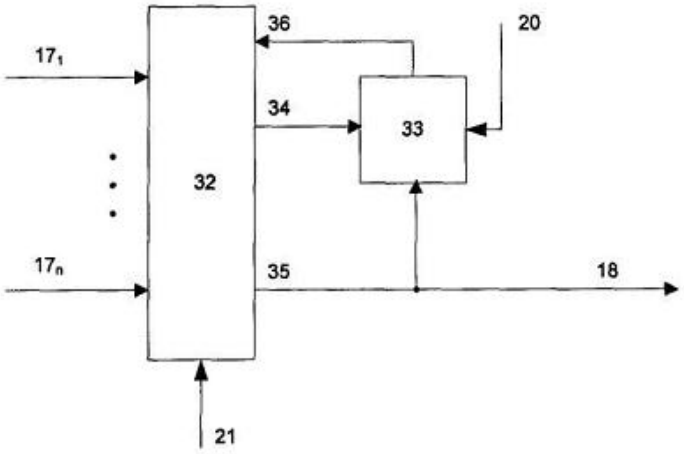
Запропонований пристрій для моделювання нейрона має спрощену структуру завдяки тому, що у нього введено адаптивний суматор, який має розширені функціональні можливості, а саме, можливість одночасно з підсумовуванням формувати результат порогового оброблення певної залежності, що дозволяє відмовитись від адитивного суматора і порогового блока.



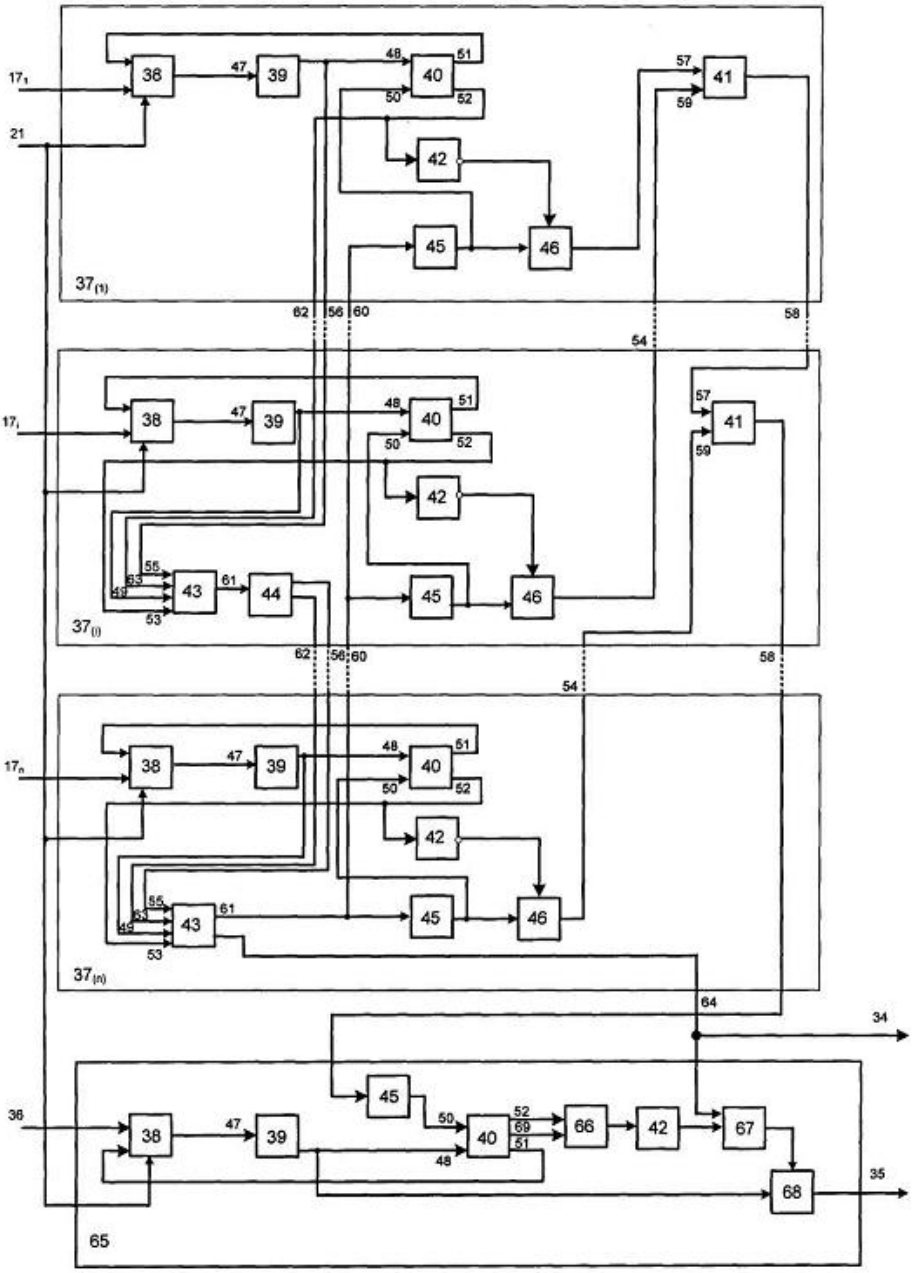
Фіг. 1


13
14
13
14
7
23
22
27
26
29
30
31
24
25
28
15
16

Фіг. 2


17_1
17_n
32
36
34
33
20
35
18
21

Фіг. 3



Фіг. 4

Комп'ютерна верстка М. Мацело Підписне Тираж 26 прим.

Міністерство освіти і науки України
Державний департамент інтелектуальної власності, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601