



СОЮЗ СОВЕТСКИХ,  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1272310 A1

(5D) 4 G 05 B 19/18, G 06 J 3/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3890861/24-24

(22) 29.04.85

(46) 23.11.86. Бюл. № 43

(71) Винницкий политехнический институт

(72) А. М. Петух, Д. Т. Ободник

и А. Н. Романюк

(53) 621.503.55 (088.8)

(56) Авторское свидетельство СССР

№ 920636, кл. G 05 B 19/18, 1982.

Авторское свидетельство СССР

№ 377822, кл. G 06 J 3/00, 1971.

(54) **ЛИНЕЙНЫЙ ИНТЕРПОЛЯТОР**

(57) Изобретение относится к области вычислительной техники и может быть использовано в устройствах вывода графической информации из ЭВМ. Целью изобретения является повышение быстродействия и точности интерполятора. Интерполятор содержит сумматор, регистр, формирователь импульсов, счетчик импульсов, триггер, элементы И и ИЛИ. При этом формирователь импульсов содержит RS-триггер, элемент И и задаю-

щий генератор. При этом сумматор выполнен как регистр и комбинационный сумматор. Начальная установка сумматора в состоянии, равное половине модуля суммирования, позволяет повысить точность интерполяции в два раза, т.к. при выполнении отдельных шагов максимальная погрешность шага приближается к шагу дискретизации, а в данном случае — к половине шага. Замена двух отдельных шагов одним совмещенным приводит к повышению быстродействия интерполятора. Т.к. количество совмещенных шагов равно малому приращению (МП), то уменьшение времени интерполяции составляет величину МП —  $\Delta t$ . Применение такого интерполятора наряду с простотой реализации позволяет повысить быстродействие устройств вывода графической информации из ЭВМ, повысить качество воспроизводимых отрезков или сократить разрядность устройств обработки графической информации с сохранением той же точности. 2 з.п. ф-лы, 4 ил. 1 табл.

(19) SU (11) 1272310 A1

Изобретение относится к вычислительной технике и может быть использовано в устройствах вывода графической информации из ЭВМ.

Цель изобретения — повышение быстродействия и точности интерполятора.

На фиг. 1 представлена блок-схема предлагаемого линейного интерполятора; на фиг. 2 — отрезок воспроизводимой прямой; на фиг. 3 — сумматор; на фиг. 4 — формирователь импульсов.

Интерполятор (фиг. 1) содержит сумматор 1, регистр 2, формирователь 3, импульсов, счетчик 4 импульсов, триггер 5, элементы И 6—9, элементы ИЛИ 10 и 11, входы 12—16 и выходы 17 и 18 интерполятора. Формирователь 3 импульсов содержит RS-триггер 19, генератор 20 задающих импульсов и элемент И 21. Сумматор 1 состоит из регистра 22 и комбинационного сумматора 23.

Линейный интерполятор работает следующим образом.

В основе работы интерполятора лежит работа цифрового интегратора параллельного переноса. При этом по координате с большим приращением импульсы поступают в каждый тактовый момент времени, а по координате с меньшим приращением — во время появления переполнения сумматора 1, представляющего собой цифровой интегратор параллельного переноса. Сумматор 1 формирует равномерную импульсную последовательность в случае, когда он предварительно устанавливается в состояние, равное половине модуля суммирования.

Пусть БП — большее приращение, МП — меньшее приращение. Так как по координате с БП импульсы поступают в каждый тактовый момент времени за время, равное в тактах БП, по координате с МП должно поступить количество импульсов, равное МП. Ввиду того, что за цикл работы цифрового интегратора  $\alpha$  на выходе интегратора сформировано  $N$  импульсов ( $N$  — управляющий код интегратора), необходимо подобрать такой управляющий код, который за количество тактов, равное БП, позволяет сформировать на выходе количество импульсов, равное МП. Такой управляющий код определяется из соотношений

$$N = \frac{МП}{БП} \quad (1)$$

Перед началом работы интерполятора управляющий код, определяемый соотношением (1), по входам 12 заносится в регистр 2. Сумматор 1 по входу 16 устанавливается в состояние, равное половине

модуля суммирования. В счетчик 4 по входам 14 заносится дополнительный код БП (БП<sub>доп</sub>). В триггер 5 по входу 15 заносится признак БП (1 при  $\Delta X = БП$  и 0 при  $\Delta Y = БП$ , где  $\Delta X$  и  $\Delta Y$  — приращения координат). В начальном состоянии формирователь 3 импульсов импульсы не формирует.

Работа интерполятора начинается с поступлением по входу 13 сигнала «Пуск» на вход формирователя 3 импульсов, который начинает формировать опорную импульсную последовательность.

С каждым тактовым импульсом, поступающим с выхода формирователя 3 импульсов на второй вход сумматора 1, управляющий код  $N$  из регистра 2 поступает в сумматор 1, где суммируется с содержимым сумматора 1. Если триггер 5 в единичном состоянии ( $\Delta X > \Delta Y$ ), на выход 17 интерполятора (по оси ОХ) приращения выдаются в каждый тактовый момент времени с выхода формирователя 3 импульсов через элемент И 6 и элемент ИЛИ 10. На выход 18 интерполятора (по оси ОУ) импульсы поступают с выхода переполнения сумматора 1 через элемент И 9 и элемент ИЛИ 11. Если же триггер 5 в нулевом состоянии ( $\Delta X < \Delta Y$ ), в каждый тактовый момент времени импульсы поступают с выхода формирователя импульсов через элемент И 8 и элемент ИЛИ 11 на выход 18 интерполятора (по оси ОУ). На выход 17 интерполятора (по оси ОХ) импульсы поступают с выхода переполнения сумматора 1 через элемент И 7 и элемент ИЛИ 10.

Импульсы с выхода формирователя 3 импульсов, поступающие на второй вход счетчика 4, с каждым импульсом увеличивают состояние счетчика 4 на единицу. Импульс переполнения счетчика 4, поступающий на второй вход формирователя 3 импульсов, останавливает формирование импульсов. Интерполяция отрезка прямой окончена.

В качестве примера рассматривают интерполяцию отрезка прямой при  $\Delta X = 11$ ,  $\Delta Y = 3$  и при работе в двоичной системе счисления:  $\alpha = 2^n$ , где  $n$  — разрядность сумматора. Пусть  $n = 4$ . В соответствии с равенством (—1) управляющий код  $N = 0100$ . Дополнительный код БП = 0101. В соответствии с описанной работой схемы состояния сумматора 1, счетчика 4, а также выходные сигналы интерполятора для рассматриваемого примера приведены в таблице. Каждой строчке, кроме начальной, соответствует один такт. Отрезок воспроизводимой прямой для этого примера приведен на фиг. 2.

	Сумматор	Счетчик	Выходные сигналы
Начальное состояние	1000	0101	
	1100	0110	OX
	10000	0111	OX, OY
	0100	1000	OX
	1000	1001	OX
	1100	1010	OX
	10000	1011	OX, OY
	0100	1100	OX
	1000	1101	OX
	1100	1110	OX
	10000	1111	OX, OY
	0100	10000	OX

Регистр 22 выполнен на основе синхронных D-триггеров. Перед началом работы интерполятора регистр, входящий в состав сумматора, устанавливается в состояние, равное половине модуля суммирования. Это обеспечивается подачей сигналов на установочные входы триггеров, причем значение сигналов на установочных входах является активными только во время установки.

В качестве комбинационного сумматора 23 могут быть использованы, например, микросхемы.

При поступлении по входу 13 сигнала «Пуск» RS-триггер 19 устанавливается в состояние логической единицы, что разрешает передачу импульсов от задающего генератора на выход блока. При возникновении импульса переполнения счетчика 4 триггер 19, входящий в состав формирователя 3 импульсов, устанавливается в состояние логического нуля и запрещает передачу импульсов на выход.

#### Формула изобретения

1. Линейный интерполятор, содержащий счетчик импульсов, первый элемент ИЛИ, регистр, входы которого являются первыми входами линейного интерполятора, а выходы соединены с первыми входами сумматора, первые входы счетчика импульсов соединены с вторыми входами линейного интерполятора, отличающийся тем, что, с целью повышения быстродействия и точности интер-

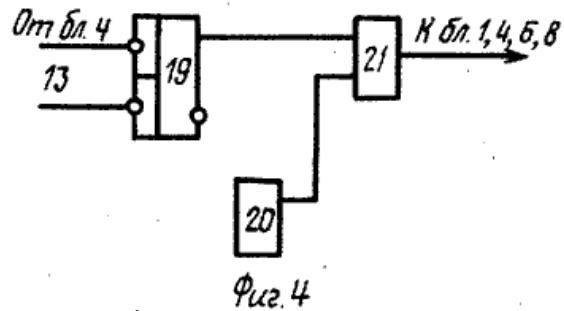
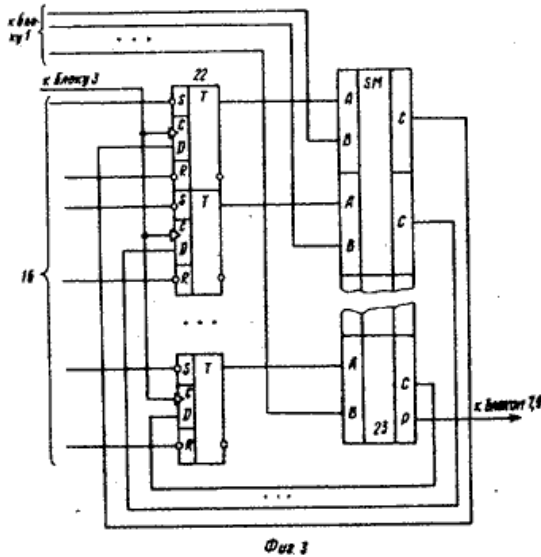
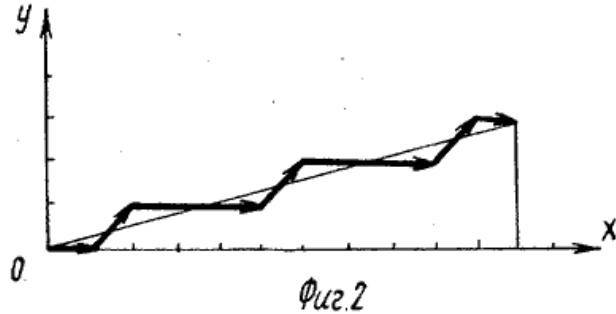
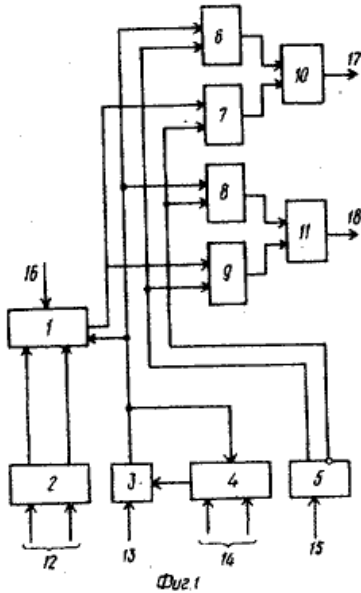
полятора, в него введены формирователь импульсов, второй элемент ИЛИ, триггер и четыре элемента И, выходы которых попарно через первый и второй элементы ИЛИ соответственно соединены с первым и вторым выходами линейного интерполятора, вход «Пуск» интерполятора соединен с первым входом формирователя импульсов, второй вход которого подключен к выходу счетчика импульсов, а выход — к второму входу счетчика импульсов, к второму входу сумматора и к первым входам первого и третьего элементов И, первые входы второго и четвертого элементов И соединены с выходом сумматора, второй вход первого элемента И соединен с вторым входом четвертого элемента И и с прямым выходом триггера, инверсный выход которого подключен к вторым входам второго и третьего элементов И, четвертый вход линейного интерполятора соединен с входом триггера, а пятый вход — с третьим входом сумматора.

2. Интерполятор по п. 1, отличающийся тем, что сумматор содержит комбинационный сумматор и регистр, выходы которого соединены с первыми входами комбинационного сумматора, подключенного вторыми входами к первым входам сумматора, вторые входы которого соединены с установочными входами регистра, подключенного управляющими входами к входу «Пуск» сумматора, выход переноса комбинационного

сумматора соединен с выходом блока, а С-выходы --- с D-входами регистра.

3. Интерpolator по п. 1, отличающийся тем, что формирователь импульсов содержит RS-триггер, элемент И и генератор задающих импульсов, выход которого соединен с

первым входом элемента И, выход которого является выходом формирователя, а второй вход соединен с выходом RS-триггера, первый установочный вход которого соединен с третьим входом интерполатора, а второй установочный вход --- с вторым входом блока.



Редактор Н. Бобкова  
Заказ 6338/47

Составитель И. Швец  
Техред И. Верес  
Тираж 836

Корректор М. Демчик  
Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5  
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4