



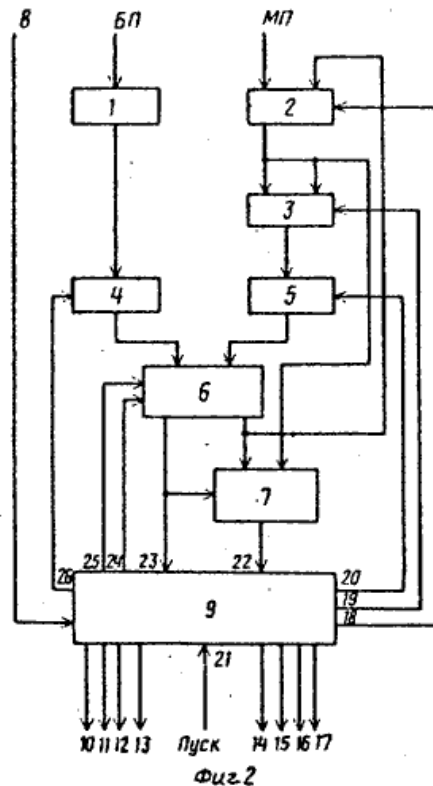
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3965119/24-24  
 (22) 14.10.85  
 (46) 23.03.87. Бюл. № 11  
 (71) Винницкий политехнический институт  
 (72) А. П. Стахов, А. М. Петух,  
 А. Н. Романюк и Д. Т. Ободник  
 (53) 621.503.55(088.8)  
 (56) Агурский Т. С. и др. Числовое программное управление станками. М.: Машиностроение, 1966, с. 176.  
 Майоров С. В. и Новиков Г. И. Структура электронных вычислительных машин. М.: Машиностроение, 1979.  
 Авторское свидетельство СССР № 551610, кл. G 05 B 19/18, 1975.

(54) ЛИНЕЙНЫЙ ИНТЕРПОЛЯТОР  
 (57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах программного управления станками и графических устройствах ввода - вывода цифровых вычислительных машин. Цель изобретения - повышение быстродействия интерполятора. Линейный интерполятор содержит регистры 1, 2, коммутатор 3, блоки совпадения 4, 5, сумматор 6, блок сравнения 7, блок управления 9. В данном линейном интерполяторе существенным отличием является определение по диску и модулю оценочной функции очередного



(19) **SU** (11) **1298714** **A1**

двойного комбинированного перемещения за два такта работы. Это достигается введением коммутатора, формирующего как одиночное (в цикле подготовки), так и удвоенное (в цикле интерполяции) значение меньшего приращения, и блока сравнения, обеспечивающего сравнение модуля оценочной функции с меньшим приращением. Значение оценочной функции определяют только

для первой четверти квадранта и в дальнейшем обеспечивается преобразование полученных перемещений для других областей посредством простых операций инверсии и коммутации, реализуемых в блоке управления в зависимости от соотношения приращений. Погрешность аппроксимации не превышает шага дискретизации. 1 з.п. ф-лы, 6 ил., 1 табл.

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах программного управления стенками и графических устройствах ввода-вывода цифровых вычислительных машин.

Цель изобретения - повышение быстродействия интерполятора.

На фиг. 1 показан отрезок аппроксимируемой прямой в первой четверти квадранта и полученный на основе инверсии перемещений данного отрезка - соответствующий отрезок во второй четверти квадранта; на фиг. 2 - структурная схема предлагаемого линейного интерполятора; на фиг. 3 - отрезок аппроксимируемой прямой; на фиг. 4 - функциональная схема реализации блока управления; на фиг. 5 - граф-схема алгоритма функционирования блока управления; на фиг. 6 - функциональная схема реализации сумматора.

В основе изобретения лежит возможность однозначного определения перемещений за два такта работы интерполятора по знаку и модулю оценочной функции.

Вывод функций для определения перемещений производится только для значений первой четверти первого квадранта. Трансформация полученных результатов на остальные четверти производится согласно следующим правилам.

Для получения отрезка прямой с углом наклона  $\frac{a}{b}$  необходимо проинвертировать последовательность приращений, соответствующих отрезку  $\frac{b-a}{b}$ . На-

2

фиг. 2 показан пример получения отрезка прямой с наклоном  $\frac{11}{15}$  на основе известных приращений для прямой с углом наклона  $\frac{4}{15}$  путем инвертирования последних. Отрезку прямой с углом наклона  $\frac{4}{15}$  по ведомой координате соответствует последовательность приращений 010001000100010, где 1 соответствует диагональному шагу. Инверсия приведенной последовательности (101110111011101) соответствует отрезку прямой с углом наклона  $\frac{11}{15}$ , причем погрешности аппроксимации указанных прямых совпадают.

Указанное свойство позволяет путем инверсии получать отрезки прямых во второй четверти квадранта по известным последовательностям приращений соответствующих прямых с первой четверти.

Взаимная перекоммутация последовательностей приращений, формируемых в первой половине квадранта с координаты X на Y и с Y на X, обеспечивает симметричное воспроизведение отрезка прямой во второй половине квадранта относительно биссектрисы угла по заданному отрезку в первой половине квадранта.

При интерполяции отрезка прямой единичными приращениями при  $|\Delta X| > |\Delta Y|$  используется оценочная функция: при  $U_{ij} \geq 0$ , перемещение по оси X и  $U_{i+1,j} = U_{i,j} - |\Delta Y|$ ; при  $U_{ij} < 0$ , перемещение по X и  $U_{i+1,j+1} = U_{ij} + (|\Delta X| - |\Delta Y|)$ , т.е. выполняется диагональный шаг по ведомой координате. В ис-

ходном состоянии значение оценочной функции равно БП (большое приращение).

Во время интерполяции прямой в первой четверти квадранта вслед за перемещением по направлению, характеризующему меньшей проекцией, т.е. выполнении диагонального шага, обязательно следует перемещение по направлению, характеризующему большей проекцией. Это объясняется тем, что после выполнения диагонального шага к значению оценочной функции прибавляется значение  $|\Delta X| - |\Delta Y|$ . Поскольку для рассматриваемого случая (первая четверть первого квадранта)  $|\Delta X| \geq 2|\Delta Y|$ , очередное значение оценочной функции после выполнения диагонального шага всегда будет больше 0, т.е. следующим выполняется шаг по ведущей координате при отсутствии перемещения по ведомой координате. Таким образом, по ведомой координате возможны следующие сочетания шагов: 01, 10, 00, где 1 соответствует наличию перемещения, а 0 отсутствию перемещения. Если очередное значение оценочной функции положительное и выполняется условие  $U_{ij} - 2\Delta Y > 0$ , то очередные два перемещения производятся только по оси X. Если же имеет место условие  $U_{ij} - 2\Delta Y \leq 0$ , то по ведомой координате возможно сочетание перемещений 10 или 01, причем при  $|U_{ij} - 2|\Delta Y|| \geq \Delta Y$  выполняется перемещение 10, а при  $|U_{ij} - 2|\Delta Y|| < \Delta Y$  - перемещение 01.

Линейный интерполятор (фиг. 2) содержит первый 1 и второй 2 регистры координатных перемещений, коммутатор 3, первый 4 и второй 5 блоки совпадения, накопительный сумматор 6, блок 7 сравнения, вход 8 линейного интерполятора, блок 9 управления с выходами 10-20, вход 21 "Пуск" линейного интерполятора, входы 22-26 блока управления.

Блок управления (фиг. 4) содержит триггер 27, узел 28 постоянной памяти, первый регистр 29, триггер 30, второй регистр 31, генератор 32 импульсов. Сумматор (фиг. 6) содержит первый 33 и второй 34 комбинационные сумматоры, регистр 35, блок элементов ИСКЛЮЧАЮЩЕЕ ИЛИ 36.

Регистры координатных приращений 1 и 2 служат соответственно для хранения большего и меньшего приращения

координат, определяющего обрабатываемый отрезок прямой.

Большее приращение (БП) записывается в регистр 1 по входам, являющимся первыми входами устройства. Выход регистра 1 соединен со входами первого блока 4 сравнения, выход которого соединен с первыми входами накопительного сумматора 6, а управляющий вход - с первым выходом блока 9 управления. Меньшее приращение (МП) записывается в регистр 2 по входам, являющимся вторыми входами устройства. Вторые входы регистра 2 приращения соединены с информационными выходами сумматора 6 приращения. Вход записи регистра 2 координатного приращения соединен с вторым выходом блока 9 управления. Вход регистра 2 соединен с первыми и вторыми входами коммутатора 3, управляющий вход которого соединен с первым выходом блока управления.

На первые входы коммутатора 3 подается значение, равное содержимому регистра 2 координатных приращений, а на вторые - удвоенное значение содержимого регистра 2. Последнее достигается монтажным соединением, для чего  $i$ -й выход регистра 2 координатных приращений соединяется с  $(i+1)$  входом коммутатора 3, а младший разряд коммутатора 3 заземляется.

Блок 7 сравнения обеспечивает сравнение модуля суммы, полученной в накопительном сумматоре 6, с содержимым второго регистра 2 координатных приращений, поступающих на входы блока 7 сравнения. При единичном значении знакового разряда сумматора 6 и содержимом регистра 2 координатных приращений, большем модуля суммы, формируемой сумматором 6, на выходе блока 7 сравнения появляется уровень логической единицы. В противном случае - на выходе блока 7 сравнения формируется уровень логического нуля.

Триггер 27 устанавливается в состояние лог. единицы при БП =  $\Delta Y$ , и в состояние лог. нуля при БП =  $\Delta X$ .

Выходы 10-13 блока 9 управления являются выходами X интерполятора, и выходы 14-17 - выходами Y.

Отсутствие перемещения по соответствующей координате за время интерполяционного тока обозначено через 0, а наличие - через 1. Уровень логической единицы на выходах

10-17 блока 9 управления обозначает двойные комбинированные перемещения:

По координате X	По координате Y
10-00	14-00
11-01	15-01
12-10	16-10
13-11	17-11

Блок 9 управления, анализируя значение знакового разряда сумматора 6 и выхода блока 7 сравнения, задает направление генерируемого двойного перемещения и характер следующей за ним арифметической операции по расчету очередного значения оценочной функции в соответствии с формулами: при  $U_{ij} > 0$  - перемещение 00 по оси Y и

$$U_{i+2,j} = U_{i,j} - 2 \cdot \Delta Y;$$

при  $U_{ij} \leq 0$  и  $|U_{ij}| < |\Delta Y|$  - перемещение 01 по оси Y и

$$U_{i+2,j+1} = U_{ij} - \Delta Y + (\Delta X - \Delta Y);$$

при  $U_{ij} < 0$  и  $|U_{ij}| \geq |\Delta Y|$  - перемещение 10 по оси Y и

$$U_{i+2,j+1} = U_{ij} - \Delta Y + (\Delta X - \Delta Y).$$

Перемещение по оси X производится в каждом интерполяционном такте.

Интерполятор работает следующим образом.

Модули проекций, задающих отрезок прямой, записываются в регистр 1 (большее приращение БП) и регистр 2 (меньшее приращение МП). При этом в триггер 27 записывается логическая единица при  $\Delta X = \text{БП}$  и ноль при  $\Delta Y = \text{МП}$ .

По сигналу "Пуск" начинается процесс воспроизведения отрезка прямой. Модули проекций через коммутаторы 3 и блоки совпадения 5 и 4 подаются в сумматор 6 для проведения операции БП-МП. В блоке 7 сравнения полученное значение БП-МП, хранящееся в накопительном сумматоре 6, сравнивается со значениями МП. При  $\text{БП} - \text{МП} \geq \text{МП}$ , что соответствует появлению логического нуля на выходе блока 7 сравнения, блок 9 управления на своем выходе 18 формирует сигнал логического нуля, который не является активным сигналом записи в регистр 2. При  $\text{БП} - \text{МП} < \text{МП}$  значение разности пере- записывается в регистр 2. Этому случаю соответствует формирование логических единиц на выходе блока 7 сравнения и выходе 18 блока 9 управления. Условие  $\text{БП} - \text{МП} < \text{МП}$  при  $\Delta X = \text{БП}$  оп-

ределяет принадлежность генерируемого отрезка прямой к второй четверти первого квадранта. Для обеспечения воспроизведения указанного вектора путем инверсии последовательности приращений по ведомой координате соответствующего вектора в первой четверти квадранта необходимо, чтобы последний имел следующие значения модулей проекций:  $\Delta X = \text{БП}$ ,  $\Delta Y = \text{БП-МП}$ , что и обеспечено на первом подготовительном такте работы интерполятора. При этом блок 9 управления должен обеспечить в дальнейшем инвертирование последовательности приращений по ведомой координате. На этом заканчивается подготовительный этап, предшествующий собственно процессу интерполяции. Причем сумматор 6 принимает значение содержимого регистра 1 после выполнения подготовительных операций, т.е.  $U_0 = \text{БП}$ .

Поскольку эквивалентными трансформациями с учетом соответствующих признаков интерполяция сводится к генерации отрезков прямых в первой четверти первого квадранта, то процесс получения выходных последовательностей интерполятора по значениям входных приращений рассматривается только для указанной области, для которой  $\Delta X = \text{БП}$ ,  $\Delta Y = \text{МП}$ ,  $2\Delta Y \leq \Delta X$ .

В цикле интерполяции в первом такте в сумматоре 6 производится вычисление разности  $U_0 - 2 \cdot \Delta Y$ , что обеспечивается формированием логических единиц на выходах 19 и 20 блока 9 управления, а также подачей логической единицы на вход сумматора 6. Блоком 7 сравнения проводится сопоставление полученного модуля оценочной функции, хранящегося в сумматоре 6, с модулем МП, хранящимся в регистре 2 координатных приращений. Блок 9 управления в зависимости от значения знакового разряда сумматора 6, формируемого на его выходе, уровней сигналов, поступающих с выхода блока 7 сравнения, и значения сигнала, поступающего с выхода триггера 27, формирует выходные сигналы, соответствующие двойным перемещениям по обоим направлениям. В зависимости от значения знакового разряда сумматора 6 формируется новое значение оценочной функции, определяющей очередные двойные перемещения. При положительном значении модуля оценочной функции ее новое значение оп-

ределяется согласно выражению  $U_{j+1} = U_j - 2\Delta Y$ , а при отрицательном - согласно выражению  $U_{j+1} = U_j - \Delta Y + (\Delta X - \Delta Y)$ .

На фиг. 3 изображен отрезок аппроксимируемой прямой с  $\Delta X=7$ ,  $\Delta Y=3$ . Вычисление оценочной функции и формирование комбинированных двойных перемещений производится следующим образом:

$U_0 = 7$  - перемещение отсутствует,  $2\Delta Y = 6$ ,  $ВП = \Delta X=7$ ;

$U_1 = 7-6 = 10$  - перемещение 00 по ведомой координате (вых. 14, вых. 13);

$U_2 = 1-6 = -5$ ,  $|U_2| > \Delta Y$  - перемещение 10 по ведомой координате (вых. 16, вых. 13);

$U_3 = -5-3 + (7-3) = -4$ ,  $|U_3| > \Delta Y$  - перемещение 10 по ведомой координате (вых. 16, вых. 13);

$U_4 = -4-3 + (7-3) = -3$ ,  $|U_4| = \Delta Y$  - перемещение 10 по ведомой координате (вых. 16, вых. 13).

Блок 9 управления может быть синтезирован различными известными методами.

В исходном состоянии регистры 29 и 30, а также триггер 30 обнулены. По сигналу "Пуск" начинает работу генератор 32 импульсов. Для обеспечения принципа единой временной организации синхронизация регистров 23 и 31 осуществляется от различных фронтов. С каждым тактовым импульсом из узла 28 постоянной памяти обеспечивается выборка управляющего сигнала по адресу, хранящемуся в регистре 31 и определяемому входными сигналами 22, 23, 27 блока и состоянием триггера 30. Управляющее слово записывается в регистр 29. Нулевой уровень сигнала "Пуск" определяет окончание процесса интерполяции и устанавливает в ноль триггер 30 и регистр 31.

Схема алгоритма функционирования блока 9 управления приведена на фиг. 4. Содержимое узла 28 постоянной памяти блока 9 управления, составленное в соответствии с алгоритмом функционирования, приведено в таблице. Таблица приведена только для случая  $\Delta X > \Delta Y$ , где  $\Delta X$ ,  $\Delta Y$  - проекции приращений аппроксимируемого отрезка соответственно на оси X и Y. Случаю  $\Delta X > \Delta Y$  соответствует значение 0 в колонке, определяющей старший разряд адреса адресного прост-

ранства ПЗУ, поскольку значение сигнала на входе 23 - нулевое. Случаю  $\Delta Y > \Delta X$  соответствует 1 в указанной колонке. Таблица, определяющая со-

5 держимое узла постоянной памяти для данного случая, совершенно аналогична приведенной, за исключением разрядов, определяющих выходные сигналы. Значение указанных разрядов получают путем взаимной перестановки колонок Q1 - Q4 и колонок Q5-Q8 в таблице, т.е. обеспечивается взаимная перекоммутация выходных сигналов с координат X на Y,

15 Накопительный сумматор 6 работает следующим образом.

В каждый момент времени на информационный вход регистра 35 подается значение, равное сумме операндов, поступающих от блоков 4 и 5, а также с выхода регистра 35. При появлении переднего фронта на входе 24 сумматора значение суммы подается на выход регистра и при нулевом значении знакового разряда - на выход блока. При единичном значении знакового разряда блок 36 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ обеспечивает инвертирование значения суммы, поступающей с выхода регистра 35, т.е. обеспечивается выдача модуля суммы.

Погрешность аппроксимации не превышает шага дискретизации.

Быстродействие приведенного линейного интерполятора превышает быстродействие известного устройства в 2 раза.

Это объясняется тем, что в последнем значении оценочной функции вычисляется только для одного единичного перемещения по обеим координатам. В предлагаемом линейном интерполяторе значение оценочной функции вычисляется сразу же для двойного перемещения по обеим координатам.

Кроме того, в нем достигается воспроизведение прямых с углом наклона  $45^\circ$  с максимальной точностью (погрешность аппроксимации равна 0), в то время как в известном устройстве этого достичь нельзя.

#### Ф о р м у л а и з о б р е т е н и я

55 1. Линейный интерполятор, содержащий первый и второй регистры, первый и второй блоки совпадения, выходы которых подключены к первому и второму входам сумматора соответственно,

выход первого регистра соединен с первым входом первого блока совпадения, вход первого регистра соединен с первым входом линейного интерполятора, второй вход которого 5 подключен к первому входу второго регистра, отличающийся тем, что, с целью повышения быстродействия интерполятора, в него введены блок управления, коммутатор и 10 блок сравнения, выход которого подключен к первому входу блока управления, второй вход которого соединен с первым выходом сумматора и с первым входом блока сравнения, второй вход которого подключен к второму выходу сумматора и к второму входу второго регистра, третий вход - к 15 выходу второго регистра и к информационным входам коммутатора, управляющий вход которого соединен с первым выходом блока управления, второй выход которого подключен к третьему входу второго регистра, третий выход - к первому входу второго блока сравнения, подключенного вторым входом к выходу коммутатора, четвертые 20 выходы блока управления соединены с третьими входами сумматора, пятый выход - с вторым входом первого блока совпадения, третий вход блока управления подключен к третьему входу линейного интерполятора, вход "Пуск" которого соединен с входом "Пуск" 30 блока управления, пятые и шестые выходы которого являются выходами линейного интерполятора.

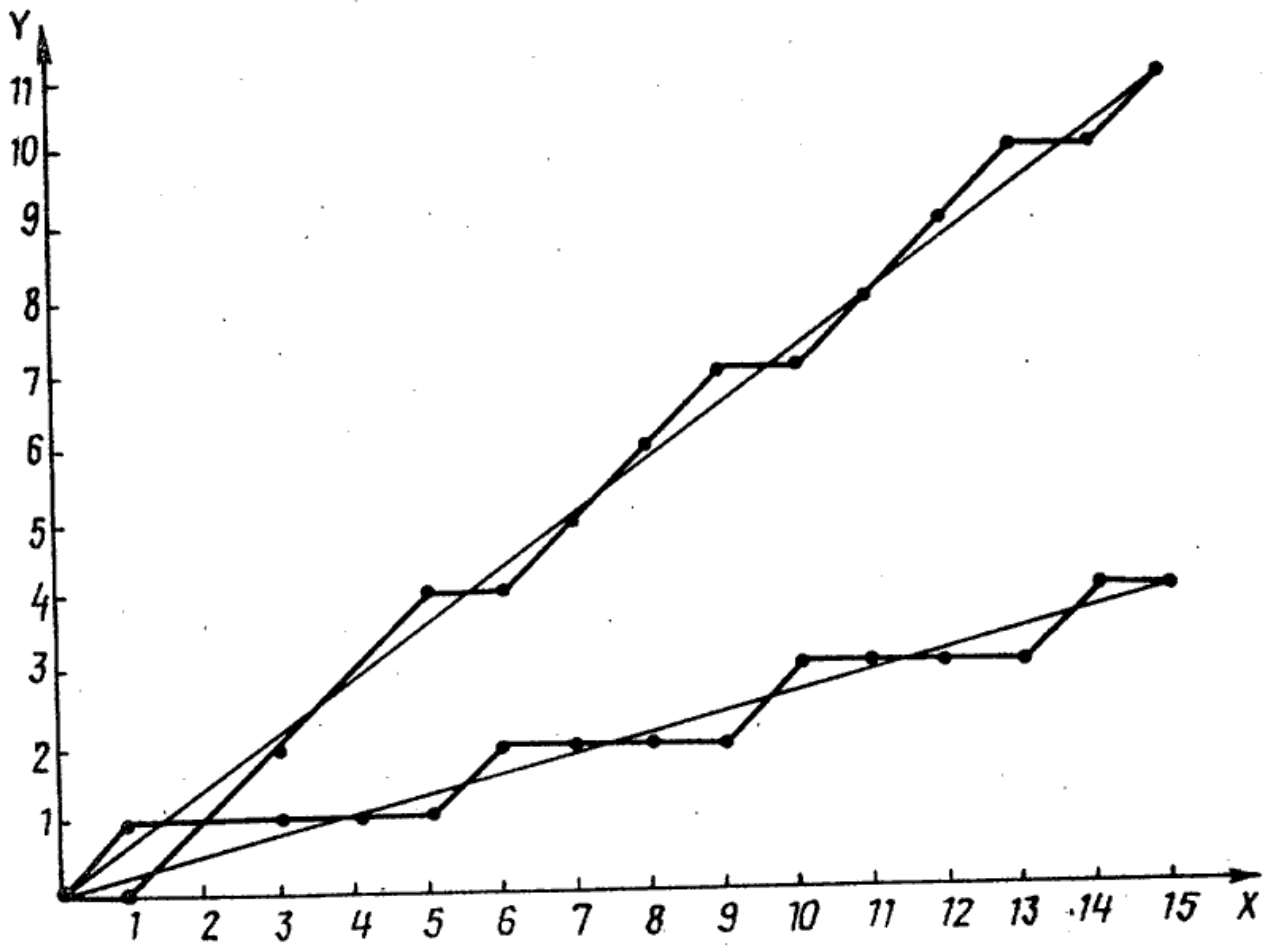
2. Интерполятор по п. 1, отличающийся тем, что блок управления содержит генератор импульсов, первый и второй регистры, два 5 триггера и узел постоянной памяти, первые выходы которого подключены к первым входам первого регистра, выходы которого являются пятыми и шестыми выходами блока управления, вторые 10 выходы узла постоянной памяти соединены с информационными входами второго регистра, управляющий вход которого соединен с инверсным выходом генератора импульсов, прямой выход которого подключен к управляющему входу первого регистра, а вход - к входу "Пуск" линейного интерполятора и к установочным входам первого 15 триггера и второго регистра, первый, второй, третий и четвертый выходы которого подключены к соответствующим первым входам узла постоянной памяти, второй вход которого соединен с выходом первого триггера, третий и четвертый входы - соответственно с первым и вторым входами блока 20 управления, пятый вход узла постоянной памяти соединен с выходом второго триггера, вход которого является третьим входом блока управления, вторые выходы первого регистра подключены к соответствующим выходам 25 блока управления, второй выход узла постоянной памяти соединен с управляющим входом первого триггера, D-вход которого соединен с третьим входом узла постоянной памяти.

Адрес ПЗУ (входной сигнал блока)		Содержимое ПЗУ (выходные сигналы блока)																	Выполняемая операция									
8	7	6	5	4	3	2	1	Q <sub>18</sub>	Q <sub>17</sub>	Q <sub>16</sub>	Q <sub>15</sub>	Q <sub>14</sub>	Q <sub>13</sub>	Q <sub>12</sub>	Q <sub>11</sub>	Q <sub>10</sub>	Q <sub>9</sub>	Q <sub>8</sub>	Q <sub>7</sub>	Q <sub>6</sub>	Q <sub>5</sub>	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>			
27		23	22								26	25	24	20	20	19	18	17	16	15	14	13	12	11	10			
0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	Сум: -RG1-RG2
0	0	0	0	0	0	0	1	0	0	1	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	Запись результата сложения
0	0	0	0	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Запись в тригер 30
0	0	0	0	0	1	1	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	Обнуление сумматора
0	0	0	0	0	1	0	0	0	1	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	Сум: -RG1-2*RG2
0	0	0	0	0	1	0	1	1	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	Запись результата сложения
0	0	0	0	1	0	0	0	1	0	0	1	0	0	0	1	1	0	0	0	0	0	1	1	0	0	0	0	X: = 11 Y: = 00 сум: = сум-2*RG2
0	0	0	0	1	0	0	1	1	0	0	0	0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	Запись значения оценочной функции
0	0	1	1	1	0	0	0	1	0	0	1	0	0	1	1	0	0	0	0	0	1	0	1	0	0	0	0	X: = 11 Y: = 01 сум: = сум+RG1-2*RG2
0	0	1	1	1	0	0	1	1	0	0	0	1	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	Запись значения оценочной функции
0	0	1	0	1	0	0	0	1	0	0	1	0	0	1	1	0	0	0	0	0	1	0	0	1	0	0	0	X: = 11 Y: = 10 сум: = сум+RG1-2*RG2

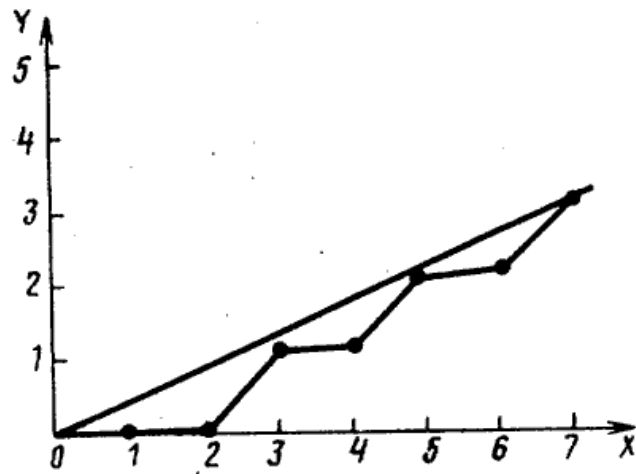
Продолжение таблицы

Адрес ПЗУ (входной сиг- нал блока)		Содержимое ПЗУ (выходные сигналы блока)																		Выполняемая операция								
8	7	6	5	4	3	2	1	Q <sub>19</sub>	Q <sub>18</sub>	Q <sub>17</sub>	Q <sub>16</sub>	Q <sub>15</sub>	Q <sub>14</sub>	Q <sub>13</sub>	Q <sub>12</sub>	Q <sub>11</sub>	Q <sub>10</sub>	Q <sub>9</sub>	Q <sub>8</sub>		Q <sub>7</sub>	Q <sub>6</sub>	Q <sub>5</sub>	Q <sub>4</sub>	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	
27		23	22									26	25	24	20	20	19	18	17	16	15	14	13	12	11	10		
0	0	1	0	1	0	0	1	1	0	0	1	0	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	Запись значе- ния оценочной функции
0	1	0	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	RG2: = СУМ	
0	1	0	0	0	1	0	0	0	1	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	СУМ: = 0	
0	1	0	0	0	1	0	1	0	1	1	0	0	1	0	0	1	1	0	0	0	0	0	0	0	0	0	СУМ: =RG1-2* xRG2	
0	1	0	0	0	1	1	0	1	0	0	0	1	0	1	1	1	1	0	0	0	0	0	0	0	0	0	Запись значе- ния оценочной функции	
0	1	0	0	1	0	0	0	1	0	0	1	0	0	0	1	1	1	0	1	0	0	0	1	0	0	0	X: = 11 Y: = 11 СУМ: =СУМ-2* xRG2	
0	1	0	0	1	0	0	1	1	0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0	0	Запись значе- ния оценочной функции	
0	1	0	1	1	0	0	0	1	0	0	1	0	1	0	0	1	1	0	0	1	0	0	1	0	0	0	X: = 11 Y: = 10 СУМ: =СУМ+RG1- -2.RG2	
0	1	0	1	1	0	0	1	1	0	0	0	1	0	1	1	1	1	0	0	0	0	0	0	0	0	0	Запись значе- ния оценочной функции	
0	1	1	1	1	0	0	0	1	0	0	1	0	1	0	0	1	1	0	0	0	1	0	1	0	0	0	X: = 11 Y: = 01 СУМ: =СУМ+RG1- -2.RG2	
0	1	1	1	1	0	0	1	1	0	0	0	1	0	1	1	1	1	0	0	0	0	0	0	0	0	0	Запись значе- ния оценочной функции	

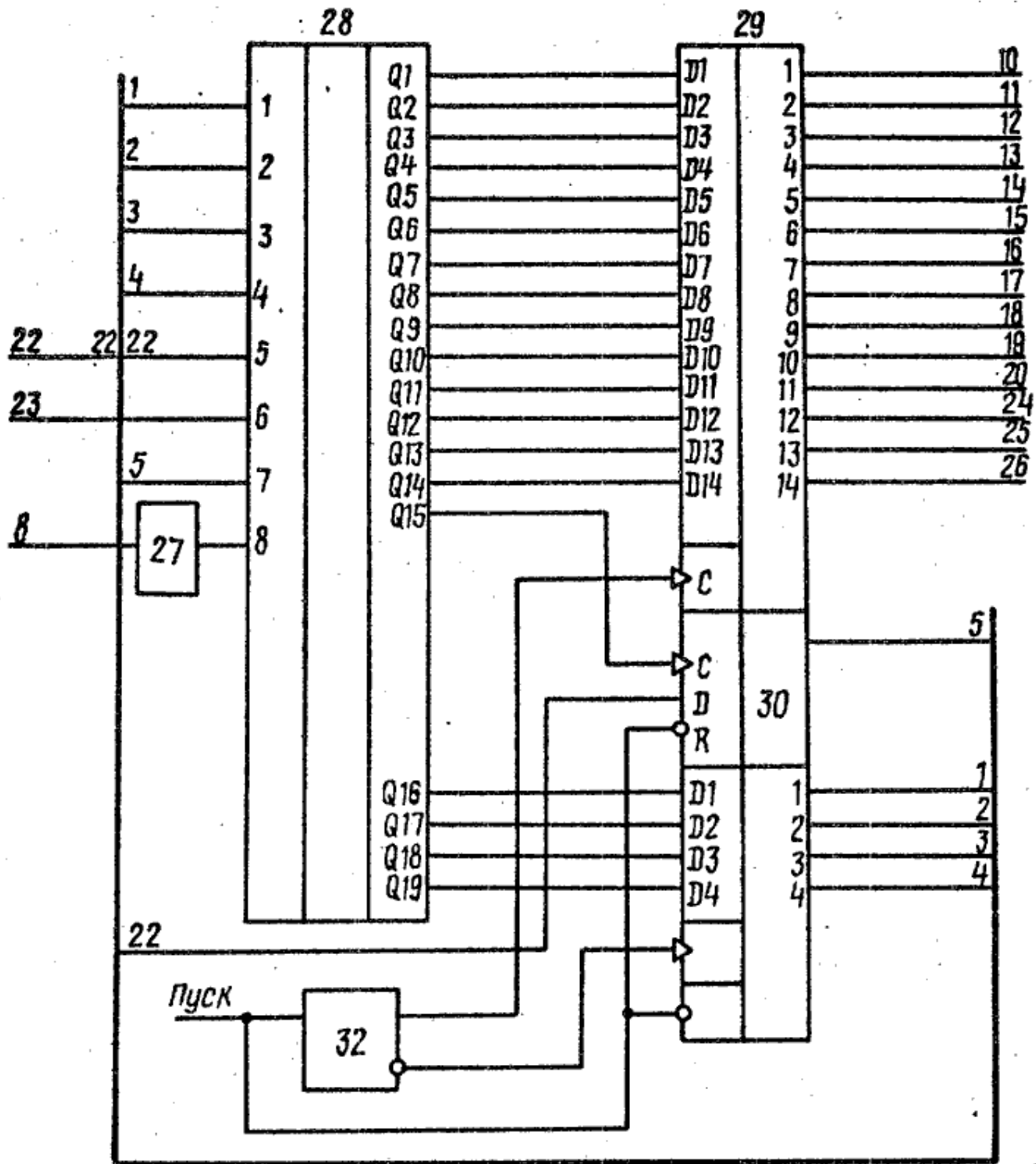




Фиг.1

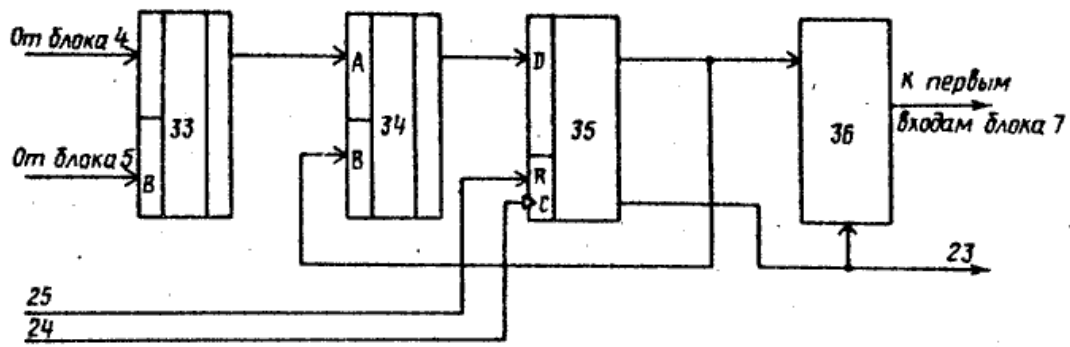


Фиг.3



Фиг4





Фиг. 6

Составитель И. Швец  
 Редактор Н. Егорова    Техред: А. Кравчук    Корректор Л. Пилипенко

Заказ 2246    Тираж 863    Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4