



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4188948/24-24

(22) 30.01.87.

(46) 23.11.88. Бюл. № 43

(71) Винницкий политехнический институт и Винницкое производственное объединение "Терминал"

(72) А.М.Петух, А.Н.Романюк,
Д.Л.Дрейзис, В.П.Майданюк
и Д.Т.Ободник

(53) 621.503.55 (088.8)

(56) Авторское свидетельство СССР
№ 551610, кл. G 05 B 19/18, 1977.

Авторское свидетельство СССР
№ 1298714, 17.03.86.

(54) ЛИНЕЙНЫЙ ИНТЕРПОЛЯТОР

(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах программного управления станками и графических устройствах ввода-вывода цифровых вычислительных машин. Целью

изобретения является повышение быстродействия и точности интерполятора. Линейный интерполятор содержит первый и второй регистры координатных преращений, блок совпадения, коммутатор, счетчик, первый и второй накапливающие сумматоры, элемент И, элемент ИЛИ и блок управления. Повышение быстродействия обеспечивается за счет формирования комбинированных двойных шагов, определяемых в результате одновременного и независимого вычисления двух значений оценочных функций посредством операции суммирования. Повышение точности интерполяции (воспроизведение прямой с максимальной погрешностью, не превышающей половины шага дискретизации) обеспечивается за счет начальной установки накапливающих сумматоров. 1 з.п. ф-лы, 7 ил., 1 табл.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в устройствах программного управления станками и графических устройствах ввода-вывода цифровых вычислительных машин. Цель изобретения - повышение быстродействия и точности интерполятора.

На фиг. 1 представлена структурная схема линейного интерполятора; на фиг. 2 - функциональная схема блока управления; на фиг. 3 - граф-схема алгоритма работы интерполятора в цикле подготовки; на фиг. 4 - граф-схема работы интерполятора в цикле интерполяции; на фиг. 5 - временные диаграммы работы устройства; на фиг. 6 - функциональная схема реализации первого и второго накапливающих сумматоров; на фиг. 7 - пример аппроксимации интерполятором отрезка прямой.

Линейный интерполятор содержит первый регистр 1 координатных приращений, блок 2 совпадения, второй регистр 3 координатных приращений, счетчик 4, первый элемент И 5, коммутатор 6, первый элемент ИЛИ 7, первый 8 и второй 9 накапливающие сумматоры, блок 10 управления, вход "Пуск" 11 интерполятора, входную информационную шину 12, шестой 13, пятый 14, второй 15, первый 16, четвертый 17, третий 18 и седьмой 19 входы интерполятора, первые 20 и вторые 21 выходы интерполятора, четвертый 22 и третий 23 выходы интерполятора, второй вход 24 блока 10 управления, второй выход 25 блока 10 управления, четвертый 26 и пятый 27 входы блока 10 управления, шестой выход 28 блока 10 управления, десятый вход 29 блока 10 управления, третий 30 и первый 31 выходы блока 10 управления.

Блок 10 управления (фиг. 2) содержит первый D-триггер 32, инвертор 33, формирователь 34 импульсов, второй элемент И 35, второй 36 и третий 37 D-триггеры, третий элемент И 38, четвертый 39, пятый 40, шестой 41 и седьмой 42 D-триггеры, второй элемент ИЛИ 43, блок 44 постоянной памяти, элемент ИЛИ-НЕ 45.

Первый 8 и второй 9 накапливающие сумматоры содержат сумматор 46 и триггеры 47.

Линейный интерполятор формирует комбинированные двойные шаги приращений, определяемые в результате одно-

временного и независимого вычисления двух значений сцепочных функций посредством выполнения операции суммирования.

Последнее технически достигается наличием двух накапливающих сумматоров, на информационные входы которых коммутируются требуемые для вычисления оценочных функций операнды.

Обоснуем математически возможность формирования в каждом интерполяционном такте сразу двух шаговых приращений.

Для обеспечения максимальной точности аппроксимации $[I]$, необходимо начальное значение оценочной функции $O\Phi_0$ принять равным $\left[\frac{BП}{2}\right]$ ц.ч., где $[]$ ц.ч. - оператор выделения целой части операнда, заключенного в скобки. В дальнейшем шаговые приращения формируются в соответствии со знаком оценочной функции, вычисляемой по следующим математическим зависимостям

$$\begin{aligned} O\Phi_{i+1} &= O\Phi - МП \text{ при } O\Phi \geq 0; \\ O\Phi_{i+1} &= O\Phi + (BП - МП) \text{ при } O\Phi < 0. \end{aligned} \quad (1)$$

В первом случае формируется только шаговое приращение по ведущей координате, а во втором - диагональный шаг, т.е. комбинированное перемещение по ведущей и ведомой координате.

В известном линейном интерполяторе, вычисление оценочной функции производится только для векторов с первой четверти первого квадранта. Трансформация полученных результатов на остальные четверти производится согласно следующих правил:

Для получения отрезка прямой с углом наклона $\frac{A}{B}$, принадлежащего второму полуоктанту, необходимо проинвертировать последовательность шаговых приращений, соответствующих отрезку $\frac{B-A}{B}$, принадлежащему первому полуоктанту. Указанное свойство позволяет путем инверсии получить отрезки прямых во второй четверти квадранта по известным последовательностям приращений соответствующих прямых с первой четверти. При этом достигается совершенно одинаковая точность аппроксимации.

Взаимная перекоммутация последовательностей приращений, формируемых в

первой половине квадранта с координаты X на Y и с Y на X, обеспечивает симметричное воспроизведение прямой во второй половине квадранта относительно биссектрисы угла по заданному отрезку в первой половине квадранта.

Координатные шаги формируются с учетом знаков исходных приращений, определяющих все выкладки, производимые только отрезками прямых с первого полуоктанта ($X=BP$, $Y=MP$, $BP \geq 2MP$).

В интерполяторе 13 каждом такте синхронно формируются две независимые оценочные функции OF_1 и OF_2 , причем оценочная функция OF_1 служит для определения шаговых приращений по ведомой координате в точках, соответствующих нечетным значениям абсцисс формируемого вектора, а оценочная функция OF_2 - четным, если начало формируемого вектора можно условно соотнести с началом координат.

Так, например, при $BP = 17$ оценочная функция OF_1 определяет шаговые приращения в точках 1, 3, 5, 7, 9, 11, 13, 15, 17, а оценочная функция OF_2 - в точках 2, 4, 6, 8, 10, 12, 14, 16.

Шаговые приращения по ведущей координате формируются в каждом интерполяционном такте, а по ведомой - в соответствии с значениями оценочных функций OF_1 и OF_2 .

В линейном интерполяторе начальные значения оценочных функций OF_1 и OF_2 принимают равными $\left[\frac{BP}{2} \right]_{ц.ч.}$.

Это позволяет симметризовать погрешность аппроксимации и достичь максимальной точности аппроксимации, равной половине шага дискретизации.

Для отрезков прямых (известный интерполятор), принадлежащих первой четверти первого квадранта, возможны следующие сочетания шагов по ведомой координате: 01, 10, 00, где 1 - наличие перемещения, 0 - отсутствие перемещения. Это следует из того, что поскольку $BP \geq 2MP$, то отношение $\left[\frac{BP - MP}{MP} \right]_{ц.ч.}$, определяющее число тактовых моментов времени, когда шаговые приращения по ведомой координате не формируются, к числу тактовых моментов времени, когда шаговые приращения по ведомой координате имеют место, больше или равно 1. Таким образом, последовательность приращений по ведомой координате для рассматриваемого случая харак-

теризуется преобладанием нулей. Сочетание шагов 11 невозможно.

Действительно, из (1) следует, что при $BP \geq 2MP$ и отрицательном значении оценочной функции OF ; значение OF_{i+1} всегда больше нуля, поскольку к отрицательному значению OF ; ($|OF| \leq MP$) добавляется значение $BP - MP \geq MP$, т.е. после выполнения диагонального шага обязательно. Следует перемещение, характеризующее большей проекцией. В линейном интерполяторе оценочные функции OF_1 и OF_2 вычисляются для точек, отстоящих одна от другой на две дискреты.

Поэтому при положительном значении оценочной функции OF_1 ; (OF_2 ;) при вычислении значения OF_{i+1} (OF_{i+1}) из значения OF_1 (OF_2) вычитается значение $2MP$.

При положительном значении функций OF_1 и OF_2 ; по ведомой координате шаговые приращения не формируются, т.е. равны 00. Это следует из того, что аппроксимируемая прямая находится ниже идеальной и отстоит от нее на расстоянии, меньшем половины шага дискретизации (оценочная функция определяет расстояние аппроксимируемой прямой от идеальной прямой). При отрицательном значении хотя бы одной из функций OF_1 ; или OF_2 ; в одной из двух рассматриваемых точек формируется единичное перемещение по ведомой координате, т.е. перемещение 01 или 10.

Очевидно, что если $OF_1 \geq 0$, а $OF_2 < 0$, то формируется шаговое перемещение 01. Если же $OF_1 < 0$ и $OF_2 < 0$, то формируется перемещение 10. В этом случае на единичное перемещение указывает отрицательный знак функции OF_1 ; формируемой для первой из двух рассматриваемых точек, а отрицательный знак функции OF_2 ; указывает только на то, что в одной из рассматриваемых точек имеет место единичное перемещение, поскольку для рассматриваемого случая (первый полуоктанта первого квадранта и максимальной точности аппроксимации) перемещение 11 не имеет смысла.

При отрицательном значении хотя бы одной из оценочных функций OF_1 ; или OF_2 ; их новое значение определяется по формуле

$$\begin{aligned} OF_{i+1} &= OF_i + BP - 2MP; \\ OF_{i+1} &= OF_i + BP - 2MP. \end{aligned}$$

Это следует из следующих соображений.

Поскольку в одной из двух рассматриваемых точек формируется диагональный шаг, то его выполнение согласно (1) учитывается слагаемым БП-МП. Поскольку для рассматриваемого случая (1 полуоктант) перед или после выполнения диагонального шага единичное приращение по ведомой координате не выполняется, то согласно (1) для указанных точек значение оценочной функции получают путем вычитания из нее величины МП.

$$\left. \begin{aligned} \text{ОФ1}_{i+1} &= \text{ОФ1}_i - 2\text{МП} \\ \text{ОФ2}_{i+1} &= \text{ОФ2}_i - 2\text{МП} \end{aligned} \right\} \text{при } \text{ОФ1}_i \geq 0 \text{ и } \text{ОФ2}_i \geq 0;$$

$$\left. \begin{aligned} \text{ОФ1}_{i+1} &= \text{ОФ1}_i + \text{БП} - 2\text{МП} \\ \text{ОФ2}_{i+1} &= \text{ОФ2}_i + \text{БП} - 2\text{МП} \end{aligned} \right\} \text{при } \text{ОФ1}_i < 0 \text{ или } \text{ОФ2}_i < 0.$$

Рассмотрим особый случай для рассматриваемого алгоритма работы устройства. Поскольку первая точка (точка 1) отстоит от начала вектора только на одну дискрету то, очевидно, значение оценочной функции для нее согласно (1) производится по формуле

$$\text{ОФ1}_1 = \left[\frac{\text{БП}}{2} \right]_{ц,ч} = \text{МП},$$

$$\left[\frac{\text{БП}}{2} \right]_{ц,ч} = \text{ОФ1}_0.$$

Для упрощения практической реализации (манипулирование только с величиной 2МП) начальное значение функции ОФ1_0 принимают в цикле подготовки равным

$$\text{ОФ1}_0 = \left[\frac{\text{БП}}{2} \right]_{ц,ч} + \text{МП}.$$

$$\text{Тогда } \text{ОФ1}_1 = \left(\left[\frac{\text{БП}}{2} \right] + \text{МП} \right)$$

$$- 2\text{МП} = \left[\frac{\text{БП}}{2} \right]_{ц,ч}.$$

В дальнейшем оценочные функции ОФ1_{i+1} и ОФ2_{i+1} формируются только для точек, отстоящих на две дискреты.

Начальное значение функции

$$\text{ОФ2}_0 = \left[\frac{\text{БП}}{2} \right]_{ц,ч}.$$

В интерполяторе работа блока 2 решается нулевым уровнем сигнала на его управляющем входе. При этом на выходах этого блока присутствует па-

Таким образом, для точек, отстоящих на две дискреты, новое значение оценочной функции при отрицательном значении хотя бы одной из функций ОФ1_i или ОФ2_i определяется путем прибавления к ее прежнему значению величины БП-МП и вычитания МП, т.е. прибавления величины $(\text{БП}-\text{МП})-\text{МП} = \text{БП} - 2\text{МП}$.

Таким образом, значение оценочных функций ОФ1_{i+1} и ОФ2_{i+1} вычисляются согласно выражений

15

рафазный код, соответствующий значению операции на его информационных входах.

При значении "Лог. 1" на управляющем входе блока 2 совпадения на его выходах присутствуют уровни логических единиц, не являющиеся активными по отношению к установочным входам первого 8 и второго 9 накапливающих сумматоров.

Счетчик 4 служит для определения конца интерполяции. Запись операнда в счетчик 4 осуществляется нулевым уровнем сигнала, поступающего на пятый вход 14 интерполятора. Активный уровень сигнала на вычитающем входе счетчика 4 - перепад уровня из нуля в единицу. Поскольку в интерполяторе формируется в каждом такте вдвое комбинированное приращение по ведомой координате, то число тактов работы интерполятора по выдаче шаговых

приращений равно $\left[\frac{\text{БП}}{2} \right]_{ц,ч}$ при четном БП и $\left[\frac{\text{БП}}{2} \right]_{ц,ч} + 1$ при нечетном БП, где

БП - значение большего приращения. Блок 10 управления формирует на шестом 28 выходе сигнал "+1" для счетчика 4 при нечетном значении большего приращения.

Первый 8 и второй 9 накапливающие сумматоры служат для определения знака и значения оценочных функций, определяющих положение аппроксимируемого участка из двух точек по отношению к идеальной прямой.

55

При значении логического нуля на сбросовых входах сумматоров обеспечивается установка их знаковых разрядов в нулевое состояние.

Запись полученной суммы во внутренних регистр первого 8 и второго 9 накапливающих сумматоров осуществляется передним фронтом сигнала, поступающего на их стробирующие входы. Единичное значение сигнала на знаковом выходе сумматоров указывает на отрицательное значение суммы, полученной в данном такте. Поскольку вычитание в первом 8 и втором 9 накапливающих сумматорах осуществляется в дополнительном коде, то при реализации операции вычитания на их входы переноса поступает значение "Лог.1".

Блок 10 управления осуществляет управление работой блоков, входящих в состав предлагаемого интерполятора.

Активный уровень сигнала "Пуск", поступающего на третий вход блока 10 управления - перепад уровня из нулевого в единичное состояние. На выходе 22 блока 10 управления формируется сигнал "Конец интерполяции". Нулевое значение сигнала на седьмом выходе 22 блока 10 управления указывает, что интерполятор завершил формирование вектора и готов к приему приращений и признаков, задающих новый отрезок прямой. Сигнал на третьем выходе 23 интерполятора является стробирующим. Нулевое значение сигнала на указанном выходе указывает, что на первые 20 и вторые 21 выходы интерполятора выставлены значения шаговых приращений. Указанный сигнал может служить сигналом записи шаговых приращений во внешнюю память (на фиг. 1 не показано). На седьмой вход 19 интерполятора, подключенный к одиннадцатому входу блока 10 управления, поступает сигнал установки интерполятора в исходное состояние по включению питания. По включению питания на указанный вход поступает кратковременный импульс отрицательной полярности. По окончании действия указанного импульса на указанном входе удерживается уровень логической единицы.

Передним фронтом сигнала, поступающего на третий вход 18 интерполятора, осуществляется запоминание в блоке 10 управления признаков, используемых при формировании шаговых

приращений. На первый вход 16 интерполятора поступает единичный уровень сигнала при $\Delta Y > \Delta X$, а на четвертый вход 17 интерполятора - при $2МП > БП$. В последнем случае значение МП принимается равным БП-МП, а блок 10 управления обеспечивает инвертирование шаговых приращений, полученных в результате интерполяции отрезка с углом наклона $\frac{БП-МП}{БП}$.

Блок 44 постоянной памяти, входящий в блок 10 управления, осуществляет хранение и выдачу шаговых приращений, соответствующих значению операнда на его адресных входах. Последний образован значениями признаков, хранящихся в четвертом 39, пятом 40 и седьмом 42 триггерах, а также значениями знаковых разрядов первого 8 и второго 9 накапливающих сумматоров, хранящих значение оценочных функций ОФ1, ОФ2. Первый и второй управляющие входы блока 44 постоянной памяти являются входами "Выборки кристалла". При неактивных уровнях на указанных входах на выходах блока 44 присутствуют уровни логической единицы.

Четвертый триггер 39 и пятый D-триггер 40 служат для хранения признаков, определяющих соотношения между приращениями, которыми задан исходный отрезок прямой. Четвертый D-триггер 39 устанавливается в состояние логической единицы при $\Delta Y > \Delta X$, а пятый D-триггер 40 при $БП < 2МП$. Шестой D-триггер 41 служит для хранения признака, определяющего четность или нечетность большего приращения БП, причем установка этого триггера в состояние логической единицы осуществляется при нечетном значении БП. Седьмой D-триггер 42 служит для выдачи признака, хранящегося в шестом D-триггере 41 в последнем интерполяционном такте. При нечетном БП в последнем интерполяционном такте осуществляется выдача только одного шагового приращения по ведущей и ведомой координатам.

Второй D-триггер 36, третий D-триггер 37 и третий элемент И 38 образуют запускающую цепь. При единичном значении указанных триггеров третий элемент И 38 обеспечивает выдачу на свой вход импульсов, поступающих на его первый вход от формирователя 34 импульсов.

Второй 36 и третий 37 D-триггеры обеспечивают присинхронизированное начало работы интерполятора к первому импульсу.

Линейный интерполятор работает следующим образом.

На входную информационную шину 12 устройства поступает значение большего приращения ВП. При этом на пятом входе 14 интерполятора появляется импульс отрицательной полярности, подтверждающий наличие на входной информационной шине 12 значения ВП. Под воздействием указанного импульса, поступающего на вход загрузки счетчика 4, последний принимает значение $\left[\frac{ВП}{2}\right]_{ц,ч}$. Это достигается за счет соединения информационных входов счетчика 4 поразрядно, кроме старшего, 2-го по n-й разрядами входной информационной шины 12 и подключением старшего разряда к выходу логического нуля.

Значение младшего разряда на входной информационной шине 12, указывающего на четность или нечетность ВП, записывается в шестой D-триггер 41 блока 10 управления.

Под воздействием импульса на пятом входе 14 интерполятора первый 8 и второй 9 накапливающие сумматоры также, как и счетчик 4, принимают значение $\left[\frac{ВП}{2}\right]_{ц,ч}$.

Это достигается подачей на их установочные входы парафазного кода, соответствующего значению $\left[\frac{ВП}{2}\right]_{ц,ч}$ от блока 2 совпадения. Информационные входы блока 2 совпадения подключены к входной информационной шине 12 аналогично как для счетчика 4.

Таким образом, при подаче на входную информационную шину 12 значения ВП и наличии управляющего импульса на пятом входе интерполятора счетчик 4, первый 8 и второй 9 накапливающие сумматоры принимают значение $\left[\frac{ВП}{2}\right]_{ц,ч}$, а в блоке 10 управления запоминается значение младшего разряда большего приращения. После выполнения указанных действий на входную информационную шину 12 интерполятора поступает значение меньшего приращения МП.

Под воздействием импульса отрицательной полярности на втором входе 15

интерполятора во второй 3 и в первый 1 регистры координатного приращения записываются соответственно значения 2МП и МП. Значение 2МП на информационных входах регистра 3 получают за счет соединения их поразрядно, кроме младшего, с второго по n-й разрядами входной информационной шины 12 и подключений младшего разряда к выходу "Лог.0". При нечетном значении большего приращения значение младшего разряда ВП хранится в блоке 10 управления и при действии импульса на втором входе 15 интерполятора на шестом выходе 28 блока 10 управления формируется импульс, под воздействием которого к содержимому счетчика 4 прибавляется единица, т.е. счетчик 4 принимает значение $\left[\frac{ВП}{2}\right]_{ц,ч} + 1$.

Таким образом, при значении МП на входной информационной шине 12 интерполятора и действии импульса записи на втором входе 15 регистр 3 принимает значение 2МП, регистр 1 - значение МП, счетчик 4 - значение $\left[\frac{ВП}{2}\right]_{ц,ч} + 1$ при нечетном значении ВП.

При третьей пересылке от внешнего устройства на первый 16 и четвертый 17 входы интерполятора поступают соответственно два признака, принимающих единичные значения при $\Delta Y = ВП$ и $ВП \geq 2МП$. При $X = ВП$ на первый вход 16 интерполятора поступает значение "Лог.0". При $2МП \leq ВП$ значение логического нуля поступает на четвертый вход 17 устройства. Запись указанных признаков осуществляется импульсом положительной полярности на третьем входе 18 устройства. Указанным сигналом обеспечивается также прием суммы вторым накапливающим сумматором 9. Поскольку в указанный момент времени на управляющий вход коммутатора 6 поступает значение "Лог.0", то на информационные входы второго 9 накапливающего сумматора 9 поступает значение с вторых входов коммутатора 6, соединенных с выходами регистра 1. Начальное значение, хранящееся во втором накапливающем сумматоре 9, равно $\left[\frac{ВП}{2}\right]_{ц,ч}$, а значение операнда, хранящегося в регистре 1, - МП.

Таким образом, под воздействием положительного фронта импульса на третьем входе 18 устройства во вто-

рой накапливающий сумматор 9 записывается значение $\left[\frac{БП}{2} \right]_{ц.ч} + МП$.

После выполнения указанных действий на входную информационную шину 12 устройства поступает значение БП-2МП, которое записывается в регистр 1. На этом заканчивается цикл подготовки, предшествующий циклу интерполяции.

По завершению цикла подготовки в первом 8 и втором 9 накапливающих сумматорах хранятся соответственно значения $\left[\frac{БП}{2} \right]_{ц.ч}$, и $\left[\frac{БП}{2} \right]_{ц.ч} + МП$, в счетчике 4 - значение $\left[\frac{БП}{2} \right]_{ц.ч}$, в

регистре 3 - значение 2МП, в регистре 1 - значение БП-2МП. При этом знаковые разряды первого 8 и второго 9 накапливающих сумматоров принимают значения логических нулей, поскольку в них хранятся положительные операнды. Начальные состояния первого 8 и второго 9 накапливающих сумматоров соответствуют начальным состояниям оценочных функций ОФ1; и ОФ2;. Значение оценочной функции ОФ1 формируется во втором накапливающем сумматоре 9, а оценочный функции ОФ2; - в первом накапливающем сумматоре 8.

В цикле интерполяции осуществляется формирование шаговых приращений по знакам оценочных функций ОФ1; и ОФ2; в соответствии с таблицей.

При положительных значениях оценочных функций ОФ1 и ОФ2 на первом выходе 31 блока 10 управления формируется уровень логической единицы, что обеспечивает передачу через коммутатор 6 обратного кода величины 2МП с выходов регистра 3.

Указанное значение прибавляется к содержимому первого 8 и второго 9 сумматоров. При этом сигнал логической единицы с первого выхода 31 блока 10 управления поступает также на вход переноса указанных сумматоров. Данные действия в математическом смысле обеспечивают операцию вычитания в дополнительном коде.

При единичном значении хотя бы одного знакового разряда первого 8 или второго 9 накапливающих сумматоров к содержимому этих сумматоров добавляется значение БП-2МП, хранящееся в регистре 1. При этом на пер-

вом выходе 31 блока 10 управления формируется уровень "Лог.0".

С каждым интерполяционным тактом содержимое счетчика 4 уменьшается на единицу.

По переднему фронту сигнала выполнения счетчика 4 обеспечивается установка устройства в исходное состояние, а на выходе 22 интерполятора формируется сигнал "Конец интерполирования".

При выдаче последних шаговых приращений при нечетном значении БП устанавливается седьмой D-триггер 42, на выходах блока 44 постоянной памяти формируется сигнал, соответствующий только одному шаговому приращению, т.е. сигнал по ведущей координате 10, а по ведомой X0, где X может принимать единичное или нулевое значение.

Блок 10 управления работает следующим образом.

По включению питания на седьмом входе 19 устройства формируется кратковременный импульс отрицательной полярности, устанавливающий второй 36 и третий 37 D-триггеры в нулевое состояние. На втором выходе 25 блока 10 управления формируется также кратковременный импульс отрицательной полярности, сбрасывающий триггеры знаков первого 8 и второго 9 накапливающих сумматоров в нулевое состояние.

Передним фронтом сигнала "Пуск" в единичное состояние устанавливается третий D-триггер 37, что, в свою очередь, устанавливает второй D-триггер 36 в единичное состояние передним фронтом импульсов, формируемых формирователем 34 импульсов. Указанными действиями обеспечивается синхронизированное начало цикла интерполяции по переднему фронту первого импульса, выдаваемого формирователем 34, после появления сигнала "Пуск".

Четвертый 39 и пятый 40 D-триггеры устанавливаются в состояние, соответствующие значениям, заданным соотношением между приращениями, определяющими исходный отрезок прямой. Четвертый D-триггер 39 устанавливается в состояние "Лог.1" при $\Delta Y > \Delta X$, а пятый D-триггер 40 при БП 2МП.

Шестой D-триггер 41 принимает состояние логической единицы при нечетном значении большего приращения. Ус-

тановка D-триггеров 39-41 осуществляется в цикле подготовки.

Блоком 44 постоянной памяти в каждом интерполяционном такте на основе признаков с четвертого 39 и пятого 40 D-триггеров, а также знаков оценочных функций ОФ1; и ОФ2; формируются в соответствии с таблицей значения шаговых приращений.

При появлении сигнала переноса (импульс отрицательной полярности) на выходе счетчика седьмой D-триггер 42 устанавливается в состояние логической единицы при нечетном значении большего приращения, поскольку в указанном случае на выходе шестого D-триггера 41 присутствует уровень логической единицы. Это, в свою очередь, приводит к изменению значения адресного входа блока 44 постоянной памяти.

В соответствии с таблицей прожига ПЗУ в этом случае по ведущей координате выдается значение 10, а по ведомой X0, где X может принимать значения "Лог.0" или "Лог.1". Последнее определяется значениями оценочных функций и значениями признаков.

Передним фронтом сигнала переноса с выхода счетчика 4 устанавливается в нулевое состояние первый D-триггер 32, обеспечивая сброс второго 36 и третьего 37 D-триггеров, что, в свою очередь, приводит к прекращению подачи импульсов на выход третьего элемента И.

Выход третьего элемента И соединен с входом выборки кристалла блока 44 постоянной памяти. При единичном значении на выходе второго D-триггера 36 и нулевом значении на выходе третьего элемента И 38 блок 44 постоянной памяти выбран и обеспечивает выдачу шаговых приращений.

В основу работы блока 10 управления положен принцип единой временной организации, что позволяет полностью исключить явление гонок и состязаний. При этом передним фронтом сигнала на выходе третьего элемента И 38 осуществляется прием суммы регистрами первого 8 и второго 9 накапливающих сумматоров, а также уменьшение на единицу содержимого счетчика 4. Выдача шаговых приращений производится в промежутке между импульсами на выходе третьего элемента И 38.

Формирование отрезка прямой предлагаемым линейным интерполятором представлено в таблице.

Первый накапливающий сумматор 8 содержит комбинационный сумматор 46 и регистр 47. Старший разряд регистра 47 является знаковым. Выполнение второго накапливающего сумматора 9 совершенно аналогично. Таким образом, линейный интерполятор обеспечивает воспроизведение отрезков прямых с максимальной точностью, равной половине шага дискретизации. Это достигается начальной установкой первого 8 и второго 9 накапливающих сумматоров, что, в свою очередь, обеспечивает симметрирование погрешности.

В известном интерполяторе погрешность аппроксимации равна шагу дискретизации, т.е. в два раза выше, и при определении шаговых приращений последовательно во времени выполнялись операции суммирования и сравнения. В предложенном линейном интерполяторе выполняется только операция суммирования, что обеспечивает выигрыш в быстродействии на значение

$$T_{\text{ср}} \left[\frac{BП}{2} \right]_{\text{ц.ч.}}$$

где $T_{\text{ср}}$ - время выполнения операции сравнения.

Линейный интерполятор отличается также расширенными функциональными возможностями за счет формирования сигнала "Конец интерполяции", а также стробирующего сигнала.

Ф о р м у л а и з о б р е т е н и я

1. Линейный интерполятор, содержащий первый и второй регистры координатных приращений, коммутатор, блок совпадения, первый накапливающий сумматор, блок управления, первый вход которого соединен с первым входом интерполятора, второй вход соединен со знаковым выходом первого накапливающего сумматора, третий вход соединен с входом "Пуск" интерполятора, первый выход подключен к управляющему входу коммутатора, а второй и третий выходы блока управления подключены соответственно к сбросовому и стробирующему входам первого накапливающего сумматора, выходы второго регистра координатных приращений подключены к первым информационным входам коммутатора, а четвертые и пятые