



УКРАЇНА

(19) **UA** (11) **119390** (13) **U**
(51) МПК

НЗМ 1/12 (2006.01)

НЗМ 1/18 (2006.01)

МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

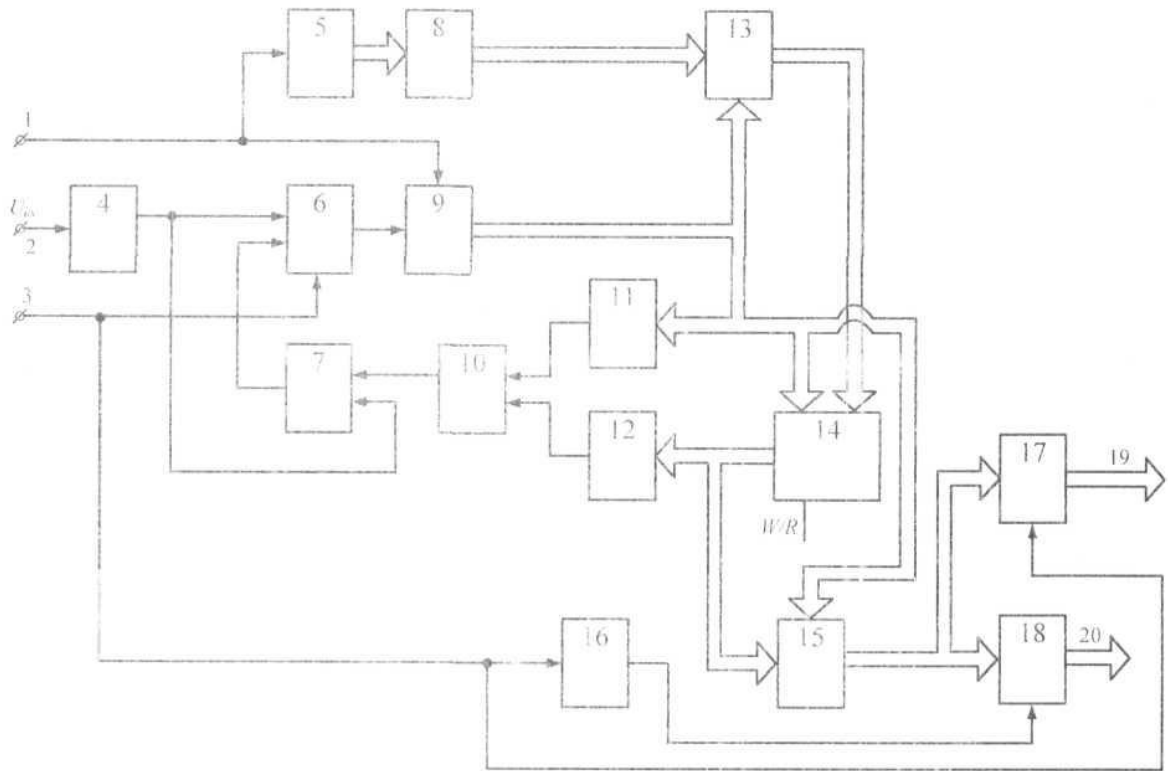
(21) Номер заявки: u 2017 03055	(72) Винахідник(и): Бортник Геннадій Григорович (UA), Бортник Олександр Геннадійович (UA), Васильківський Микола Володимирович (UA)
(22) Дата подання заявки: 31.03.2017	
(24) Дата, з якої є чинними права на корисну модель: 25.09.2017	
(46) Публікація відомостей про видачу патенту: 25.09.2017, Бюл.№ 18	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця 21021 (UA)

(54) ПРИСТРІЙ ДЛЯ АНАЛОГО-ЦИФРОВОГО ПЕРЕТВОРЕННЯ

(57) Реферат:

Пристрій для аналого-цифрового перетворення містить блок вибірки та зберігання, вхід якого під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню, малорозрядний аналого-цифровий перетворювач, тактовий вхід якого під'єднано до тактової шини пристрою, перший ЦАП, входи якого під'єднані до відповідних виходів малорозрядного АЦП, різницевий підсилювач, другий вхід якого під'єднано до виходу блока вибірки та зберігання, шину молодших розрядів та шину старших розрядів пристрою. До нього введено двійковий лічильник, лічильний вхід якого під'єднано до тактової шини пристрою, перший постійний запам'ятовуючий пристрій, адресні входи якого під'єднані до відповідних виходів двійкового лічильника, перший цифровий суматор, перші входи якого з'єднані з виходами першого постійного запам'ятовуючого пристрою, аналоговий комутатор, перший вхід якого під'єднано до виходу блока вибірки та зберігання, другий вхід аналогового комутатора під'єднано до виходу різницевого підсилювача, вихід аналогового комутатора під'єднано до аналогового входу малорозрядного АЦП, а керувальний вхід під'єднано до шини керування пристрою, аналоговий суматор, другий ЦАП, вихід якого під'єднано до другого входу аналогового суматора, перший вхід якого під'єднано до виходу першого ЦАП, а вихід аналогового суматора з'єднано з першим входом різницевого підсилювача.

UA 119390 U



Корисна модель належить до автоматики і обчислювальної техніки та призначена для перетворення швидкозмінних аналогових сигналів у цифровий код.

Відомий пристрій для аналого-цифрового перетворення, який містить групу компараторів старших розрядів і групу компараторів молодших розрядів, перші входи яких підключені до джерел опорних напруг, сигнальні входи групи компараторів старших розрядів підключені до джерела вхідного сигналу, який перетворюється, а виходи компараторів в кожній групі, крім компараторів старших розрядів, об'єднані попарно і підключені до керуючих входів елементів пам'яті, і резистивні підсилювачі, перші входи яких підключені до джерел струмів зміщення, другі через повторювач та інвертор підключені до джерела вхідного сигналу, який перетворюється, а виходи попарно зі зсувом на один підключені до входів елемента, виходи яких через елемент АБО з'єднані з сигнальними входами компараторів молодших розрядів, входи стробування елементів пам'яті підключені до джерела стробуючого сигналу (А.с. СРСР № 879771, МКИ Н03К 5/22, бюлетень № 41, 1981р.).

Недоліками даного перетворювача є низька точність.

Відомий пристрій для аналого-цифрового перетворення, який містить аналого-цифровий перетворювач (АЦП), тактові і опорні входи якого є відповідно тактовою і опорною шиною, а інформаційний вхід з'єднаний з виходом блока зміни координати положення, інформаційний вхід якого є вхідною шиною, група керуючих входів з'єднана відповідно з першими входами блока керування, постійний запам'ятовуючий пристрій (ПЗП), перші і другі входи якого під'єднані відповідно до відповідних виходів АЦП та до відповідних других виходів блока керування, а вихід є вихідною шиною, причому тактовий вхід блока керування з'єднаний з тактовою шиною, інформаційні входи з'єднані з відповідними виходами АЦП, опорний вхід блока зміни координати положення з'єднаний з шиною опорної напруги, а сам блок зміни координати положення виконаний на підсумовуючому підсилювачі і трьох ключах, виходи яких з'єднані відповідно з першим, другим і третім входами підсумовуючого підсилювача, четвертий вхід якого є інформаційним входом блока керування, групою керуючих входів якого є керуючі входи відповідно першого, другого і третього ключів, інформаційні входи яких об'єднані і є опорним входом блока, а його виходом є вихід підсумовуючого підсилювача, блок керування виконаний на двох ПЗП і регістрі пам'яті, перша і друга групи інформаційних входів якого з'єднані з відповідними виходами першої і другої групи виходів першого ПЗП, і перша група виходів є першими виходами блока керування, другими виходами якого є третя група виходів першого ПЗП, перша група входів якого з'єднана з відповідними виходами регістра пам'яті, а друга група входів з'єднана з відповідними виходами другого ПЗП, входи якого є інформаційними входами блока керування, тактовим входом якого є вхід синхронізації регістра пам'яті [А.с. СРСР №1425828, МПК Н03М 1/18, Бюл. № 35, 1988р.].

Недоліком даного пристрою для аналого-цифрового перетворення є низька точність.

Найбільш близьким є пристрій для аналого-цифрового перетворення, який містить блок вибірки та зберігання, аналоговий вхід якого під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню, малорозрядний АЦП, аналоговий вхід під'єднано до виходу блока вибірки та зберігання, а виходи малорозрядного АЦП підключені до шини старших розрядів пристрою, тактовий вхід малорозрядного АЦП під'єднано до тактової шини пристрою, цифро-аналоговий перетворювач (ЦАП), входи якого під'єднані до відповідних виходів малорозрядного АЦП, різницевий підсилювач, перший вхід якого з'єднаний з виходом ЦАП, другий вхід різницевого підсилювача під'єднано до виходу блока вибірки та зберігання, а до виходу різницевого підсилювача під'єднані компаратори, другі входи яких під'єднані до шин опорної напруги, виходи компараторів під'єднані до шин молодших розрядів пристрою [заявка ФРН № 274316, кл. Н03К 13/05].

Недоліками даного пристрою є низька точність, що обумовлена наявністю диференціальної нелінійності характеристики перетворення АЦП, що призводить до збільшення похибки пристрою аналого-цифрового перетворення.

В основу корисної моделі поставлено задачу створення пристрою для аналого-цифрового перетворення, в якому за рахунок введення нових блоків та зв'язків підвищується точність перетворення шляхом коригування результатів аналого-цифрового перетворення.

Поставлена задача вирішується тим, що в пристрій для аналого-цифрового перетворення, який містить блок вибірки та зберігання, вхід якого під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню, малорозрядний АЦП, тактовий вхід якого під'єднано до тактової шини пристрою, перший ЦАП, входи якого під'єднані до відповідних виходів малорозрядного АЦП, різницевий підсилювач, другий вхід якого під'єднано до виходу блока вибірки та зберігання, шину молодших розрядів та шину старших розрядів пристрою, введені двійковий лічильник, лічильний вхід якого під'єднано до тактової шини пристрою, перший ПЗП,

адресні входи, якого під'єднані до відповідних виходів двійкового лічильника, перший цифровий суматор, перші входи якого з'єднані з виходами першого ПЗП, аналоговий комутатор, перший вхід якого під'єднано до виходу блока вибірки та зберігання, а другий вхід під'єднано до виходу різницевого підсилювача, а вихід аналогового комутатора під'єднано до аналогового входу малорозрядного АЦП, а керувальний вхід під'єднано до шини керування пристрою, аналоговий суматор, другий ЦАП, вихід якого під'єднано до другого входу аналогового суматора, перший вхід якого під'єднано до виходу першого ЦАП, а вихід аналогового суматора з'єднано з першим входом різницевого підсилювача, другий цифровий суматор, другий ПЗП, адресні входи якого з'єднано з виходом малорозрядного АЦП, з входом першого ЦАП, другими входами першого цифрового суматора та першими входами другого цифрового суматора, інформаційні входи другого ПЗП під'єднано до вихідної шини першого цифрового суматора, а виходи другого ПЗП з'єднано з входом другого ЦАП та з другими входами другого цифрового суматора, інвертор, перший та другий буферні регістри, виходи другого цифрового суматора з'єднано з входами першого та другого буферних регістрів, виходи першого буферного регістра під'єднано до шини старших розрядів пристрою, вихід другого буферного регістра під'єднано до шини молодших розрядів пристрою, вхід інвертора з'єднано з шиною керування пристрою та керувальним входом першого буферного регістра, а вихід інвертора з'єднано з керувальним входом другого буферного регістра, що дає при однаковій кількості розрядів пристрою для аналого-цифрового перетворення, який пропонується, і найближчого аналога підвищення точності шляхом коригування результатів аналого-цифрового перетворення.

На кресленні наведена структурна електрична схема пристрою для аналого-цифрового перетворення.

Пристрій містить тактову шину 1 (Т1), шину джерела вхідного сигналу 2, $U_{ВХ}$, шину керування 3, блок вибірки та зберігання (БВЗ) 4, двійковий лічильник 5, аналоговий комутатор 6, різницевий підсилювач 7, перший ПЗП 8, малорозрядний АЦП 9, аналоговий суматор 10, перший ЦАП 11, другий ЦАП 12, перший цифровий суматор 13, другий ПЗП 14, другий цифровий суматор 15, інвертор 16, перший буферний регістр 17, другий буферний регістр 18, шину старших розрядів пристрою 19, шину молодших розрядів пристрою 20, причому вхід БВЗ 4 під'єднано до шини джерела вхідного сигналу 2, який підлягає перетворенню, тактовий вхід малорозрядного АЦП 9 під'єднано до тактової шини 1 пристрою, входи першого ЦАП 11 під'єднані до відповідних виходів малорозрядного АЦП 9, другий вхід різницевого підсилювача 7 під'єднано до виходу БВЗ 4, лічильний вхід двійкового лічильника 5 під'єднано до тактової шини 1 пристрою, адресні входи першого ПЗП 8 під'єднані до відповідних виходів двійкового лічильника 5, перші входи першого цифрового суматора 13 з'єднані з виходами першого ПЗП 8, перший вхід аналогового комутатора 6 під'єднано до виходу БВЗ 4, другий вхід під'єднано до виходу різницевого підсилювача 7, вихід аналогового комутатора 6 під'єднано до аналогового входу малорозрядного АЦП 9, керувальний вхід якого під'єднано до шини керування 3 пристрою, вихід другого ЦАП 12 під'єднано до другого входу аналогового суматора 10, перший вхід якого під'єднано до виходу першого ЦАП 11, а вихід аналогового суматора 10 з'єднано з першим входом різницевого підсилювача 7, адресні входи другого ПЗП 14 з'єднано з виходом малорозрядного АЦП 9, з входом першого ЦАП 11, другими входами першого цифрового суматора 13 та першими входами другого цифрового суматора 15, інформаційні входи другого ПЗП 14 під'єднано до вихідної шини першого цифрового суматора 13, а виходи другого ПЗП 14 з'єднано з входом другого ЦАП 12 та з другими входами другого цифрового суматора 15, виходи якого з'єднано з входами першого 17 та другого 18 буферних регістрів, виходи першого буферного регістра 17 під'єднано до шини старших розрядів 19 пристрою, виходи другого буферного регістра 18 під'єднано до шини молодших розрядів 20 пристрою, вхід інвертора 16 з'єднано з шиною керування пристрою 3 та керувальним входом першого буферного регістра 17, а вихід інвертора з'єднано з керувальним входом другого буферного регістра 18.

Пристрій для аналого-цифрового перетворення працює наступним чином.

В режимі калібрування встановлюється сигнал "запис" на керувальному вході другого ПЗП 14. На шину 2 джерела вхідного сигналу надходить синусоїдальний тестовий сигнал, малорозрядний АЦП 9 перетворює його в цифрову форму, використовуючи стробуючі імпульси, які надходять на тактовий вхід малорозрядного АЦП 9 з тактової шини 1. Отриманий сигнал надходить на другі входи першого цифрового суматора 13 та на адресні входи другого ПЗП 14. З тактової шини 1 стробуючі імпульси надходять також на лічильний вхід двійкового лічильника 5, який формує код адреси зразкового цифрового синусоїдального сигналу, записаного в першому ПЗП 8. Цифрові еквіваленти синусоїдального сигналу з виходу першого ПЗП 8 подаються на перші входи першого цифрового суматора 13, який формує на виході код коригувальної похибки $\Delta y(n)$, яка в свою чергу записується за адресою сформовану

цифровим сигналом з виходу малорозрядного АЦП 9. Калібрування виконується у всіх точках (дискретах) цифрового синусоїдального сигналу записаного в першому ПЗП 8.

Другий цифровий суматор 15 та другий ЦАП 12 в режимі калібрування не функціонують, тому що другий ПЗП 14 працює в режимі запису і на його вихідній шині встановлено третій високоімпедансний стан.

В робочому режимі встановлюється сигнал "читання" на керувальному вході другого ПЗП 14, тому вихідний сигнал з першого цифрового суматора 13 заблокований. На шину 1 джерела вхідного сигналу надходить аналоговий сигнал, який через БВЗ 4 у вигляді дискретної вибірки подається на вхід малорозрядного АЦП 9 і перетворюється в цифровий код. Вихідний код АЦП надходить на адресні входи ПЗП 14 та перші входи другого цифрового суматора 15. Цей вихідний код АЦП утворює адресу вибірки сигналу похибки $\Delta y(n)$, який надходить на другий вхід другого цифрового суматора 15 та на вхід другого ПДП. У результаті на виході другого цифрового суматора формується скоригований код $y_s(n) = y(n) - \Delta y(n)$, який є цифровим сигналом старших розрядів, що через перший буферний регістр 17 подається на шину старших розрядів 19 пристрою. Другий буферний регістр 18 заблокований вихідним сигналом інвертора 16.

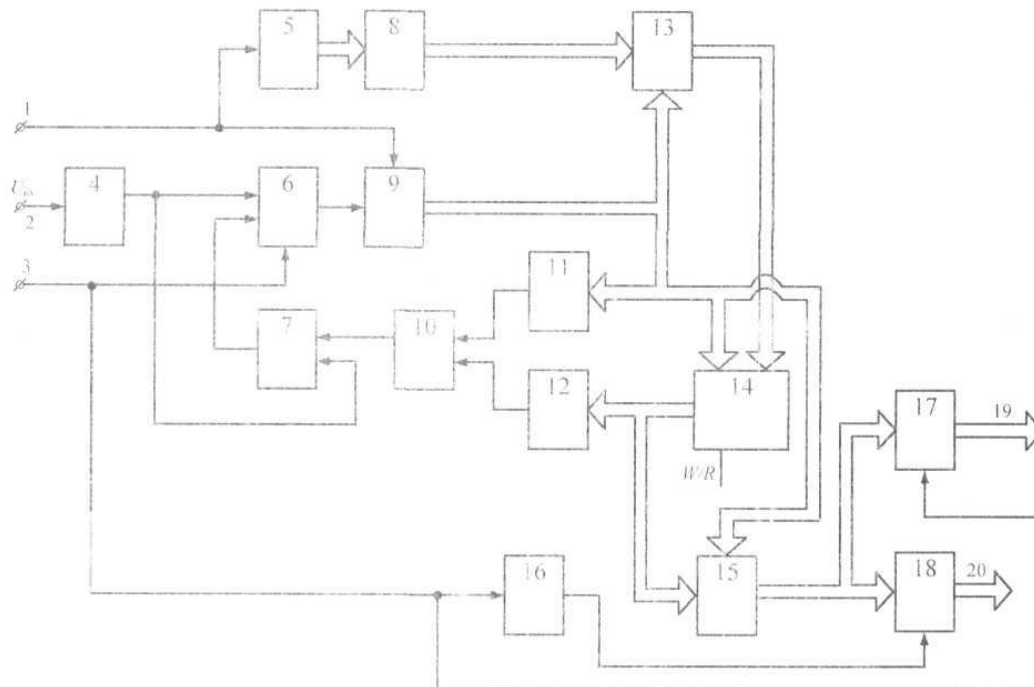
Вихідні сигнали першого ЦАП 11 та другого ЦАП 12 підсумовуються за допомогою аналогового суматора 10, на виході якого формується аналоговий скоригований еквівалент старших розрядів АЦП, що подається на перший вхід різницевого підсилювача 7. На другий вхід різницевого підсилювача 7 подається з виходу БВЗ 4 дискретна вибірка аналогового сигналу. У результаті на виході різницевого підсилювача 7 утворюється підсилений різницевий сигнал для формування молодших розрядів АЦП. Після встановлення на керувальній шині 3 одиничного імпульсу, вихідний сигнал з різницевого підсилювача 7 через аналоговий комутатор 6 подається на вхід малорозрядного АЦП 9. Потім після подачі з тактової шини 1 стробу вального імпульсу на тактовий вхід малорозрядного АЦП 9 відбувається перетворення різницевого сигналу у цифровий код молодших розрядів. За допомогою другого ПЗП 14 та другого цифрового суматора 15 відбувається коригування коду молодших розрядів: $y_l(n) = y(n) - \Delta y(n)$. Цей код через другий буферний регістр 18, що активізується керувальним сигналом з інвертора 16, подається на шину молодших розрядів 20. У результаті такого двоетапного перетворення формується повний скоригований цифровий код, що складається з групи старших і групи молодших розрядів.

Таким чином, пристрій для аналого-цифрового перетворення дає можливість збільшити точність за рахунок врахування диференціальної нелінійності малорозрядного АЦП та коригування його вихідного коду в процесі виконання кожного з двох етапів перетворення сигналу.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Пристрій для аналого-цифрового перетворення, який містить блок вибірки та зберігання, вхід якого під'єднано до шини джерела вхідного сигналу, який підлягає перетворенню, малорозрядний аналого-цифровий перетворювач, тактовий вхід якого під'єднано до тактової шини пристрою, перший ЦАП, входи якого під'єднані до відповідних виходів малорозрядного АЦП, різницевий підсилювач, другий вхід якого під'єднано до виходу блока вибірки та зберігання, шину молодших розрядів та шину старших розрядів пристрою, який **відрізняється** тим, що введено двійковий лічильник, лічильний вхід якого під'єднано до тактової шини пристрою, перший постійний запам'ятовуючий пристрій, адресні входи, якого під'єднані до відповідних виходів двійкового лічильника, перший цифровий суматор, перші входи якого з'єднані з виходами першого постійного запам'ятовуючого пристрою, аналоговий комутатор, перший вхід якого під'єднано до виходу блока вибірки та зберігання, другий вхід аналогового комутатора під'єднано до виходу різницевого підсилювача, вихід аналогового комутатора під'єднано до аналогового входу малорозрядного АЦП, а керувальний вхід під'єднано до шини керування пристрою, аналоговий суматор, другий ЦАП, вихід якого під'єднано до другого входу аналогового суматора, перший вхід якого під'єднано до виходу першого ЦАП, а вихід аналогового суматора з'єднано з першим входом різницевого підсилювача, другий цифровий суматор, другий постійний запам'ятовуючий пристрій, адресні входи якого з'єднані з виходом малорозрядного АЦП, з входом першого ЦАП, другими входами першого цифрового суматора та першими входами другого цифрового суматора, інформаційні входи другого постійного запам'ятовуючого пристрою під'єднані до вихідної шини першого цифрового суматора, а виходи другого постійного запам'ятовуючого пристрою з'єднані з входом другого ЦАП та з

- 5 даними входами другого цифрового суматора, інвертор, перший та другий буферні регістри, виходи другого цифрового суматора з'єднано з входами першого та другого буферних регістрів, виходи першого буферного регістра під'єднано до шини старших розрядів пристрою, виходи другого буферного регістра під'єднано до шини молодших розрядів пристрою, вхід інвертора з'єднано з шиною керування пристрою та керувальним входом першого буферного регістра, а вихід інвертора з'єднано з керувальним входом другого буферного регістра.



Комп'ютерна верстка О. Рябко

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601