

УДК 621.396

Д.В. Гаврілов, В.Л. Кофанов, М. Шоробура, М. Гончарук
(Україна, Вінниця, Вінницький національний технічний університет)

ПОДІЛЬНИКИ ЧАСТОТИ НА ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМАХ

Анотація. Об'єктом даного дослідження є подільники частоти на програмованих логічних інтегральних схемах.

Ключові слова: обробка інформації, подільники частоти, ПЛІС, FPGA.

Abstract. The object of this study is frequency divider design based on Field Programmable Gate Array.

Keywords: signal processing, frequency divider, CPLD, FPGA.

Цифрові пристрої володіють високими споживчими властивостями і призначені для обробки та збереження інформації. Типові елементи логічних пристроїв слугують основою для побудови цифрових обчислювальних машин та автоматів дискретної дії. На сьогоднішній день випускається обмежена кількість різновидів ІС подільників частоти з фіксованим коефіцієнтом поділу через зниження їх серійноздатності, тому доцільно перетворювати лічильники на подільники з довільним модулем. На основі двійкових лічильників будуються подільники частоти з програмованим коефіцієнтом поділу або цифрові таймери (задавачі цифрових інтервалів).

Безвентильні лічильники відрізняються простотою схеми, хоч і можуть містити кількість тригерів, більшу мінімальної. Через штучний порядок лічби застосовуються вони як подільники частоти. Такі подільники дозволяють економити ресурс мікросхеми.

Важливим чинником, який впливає на якість розробленого пристрою, являються принципи його побудови. Тому однією з найважливіших задач розробника є вибір найоптимальнішого по швидкодії, вартості, кількості використаних елементів тощо варіанту.

Будь-які лічильники можуть використовуватися як подільники частоти, коефіцієнт поділу якої на виході лічильника дорівнює його модулю лічби. Проте додаткові елементи (вентилі) у міжрозрядних зв'язках або потреба дубльованих входів у тригерів ускладнюють лічильники з довільним модулем і природним порядком лічби. З огляду на те, що в подільниках частоти порядок лічби не має значення, без його дотримання схему гранично спрощують [1].

Безвентильні лічильники на JK-тригерах без дубльованих входів будуються шляхом збільшення модуля лічби на одиницю. Для цього

лічильник з довільним модулем M_0 охоплюють зворотним зв'язком за допомогою двох тригерів (варіанти схеми на тригерах з інверсним і прямим динамічним керуванням подано на рисунку 1,а,б) [1]. При цьому перший тригер збільшує модуль вдвічі, а останній додає одиницю (через це для стислості його називають „одиничним”), тому в цілому модуль такого лічильника становить $M = 2M_0 + 1$. Наприклад, охоплюючи таким зв'язком чотирирозрядний двійковий лічильник, дістанемо модуль $M = 33$ (рис. 1,в).

Так само утворюються лічильники з будь-яким непарним модулем, а при $M_0 = 1$ дістанемо модуль $M = 3$ безпосереднім з'єднанням першого і одиничного тригерів (виокремлена частина на рисунку 1,г). Для отримання парного модуля лічби досить послідовно ввімкнути лічильний тригер на вході або на виході. В останньому випадку (див. рисунок 1,г) вихідні імпульси Q матимуть форму меандру.

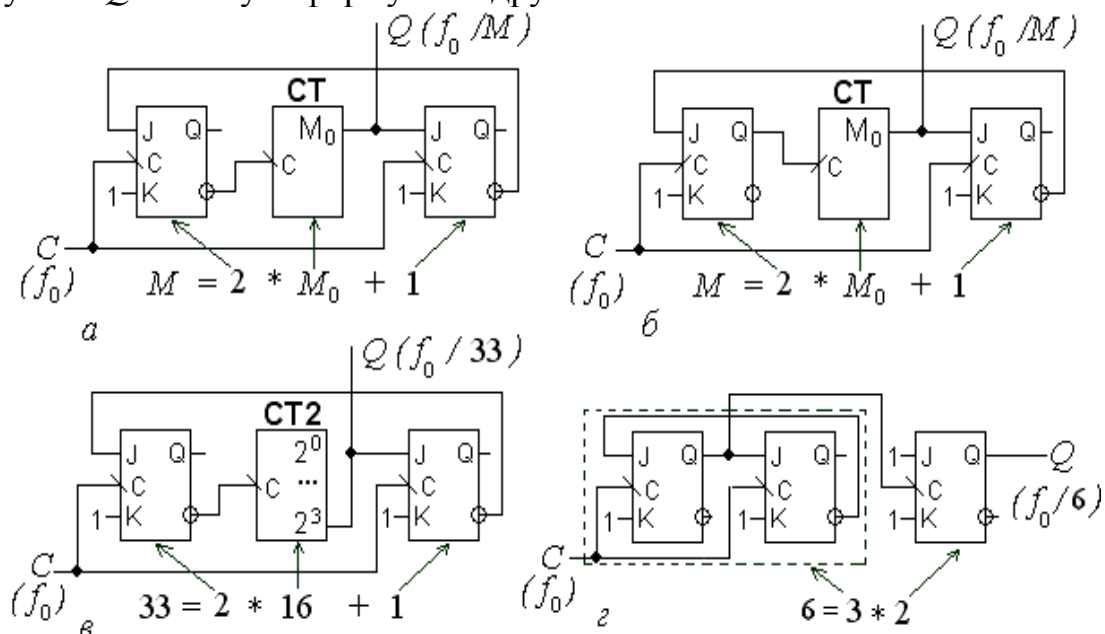


Рисунок 1 – Схеми лічильників

Таким чином, безвентильні лічильники відрізняються простотою схеми, хоч і можуть містити кількість тригерів, більшу мінімальної. Через штучний порядок лічби застосовуються вони як подільники частоти.

Література

1. Кофанов В. Л. Математичні та схемотехнічні основи цифрових пристроїв: Навч. посібник. – Вінниця: УНІВЕРСУМ-Вінниця, 2005. – 165 с.
2. Кофанов В. Л., Осадчук О.В., Гаврілов Д.В. Проектування цифрових пристроїв на основі САПР Quartus II: Практикум. – Вінниця: УНІВЕРСУМ-Вінниця, 2009. – 164 с.
3. Кофанов В. Л., Осадчук О.В., Гаврілов Д.В. Лабораторний практикум з дослідження цифрових пристроїв на основі САПР Max+PLUS II: Лабораторний практикум. – Вінниця: УНІВЕРСУМ-Вінниця, 2008. – 200 с.