



УКРАЇНА

(19) **UA** (11) **120008** (13) **U**
(51) МПК
H03F 3/26 (2006.01)
H03K 5/24 (2006.01)
G05B 1/01 (2006.01)

МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

<p>(21) Номер заявки: u 2017 00759</p> <p>(22) Дата подання заявки: 27.01.2017</p> <p>(24) Дата, з якої є чинними права на корисну модель: 25.10.2017</p> <p>(46) Публікація відомостей про видачу патенту: 25.10.2017, Бюл.№ 20</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Гарнага Володимир Анатолійович (UA), Чернишова Вікторія Миколаївна (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
--	--

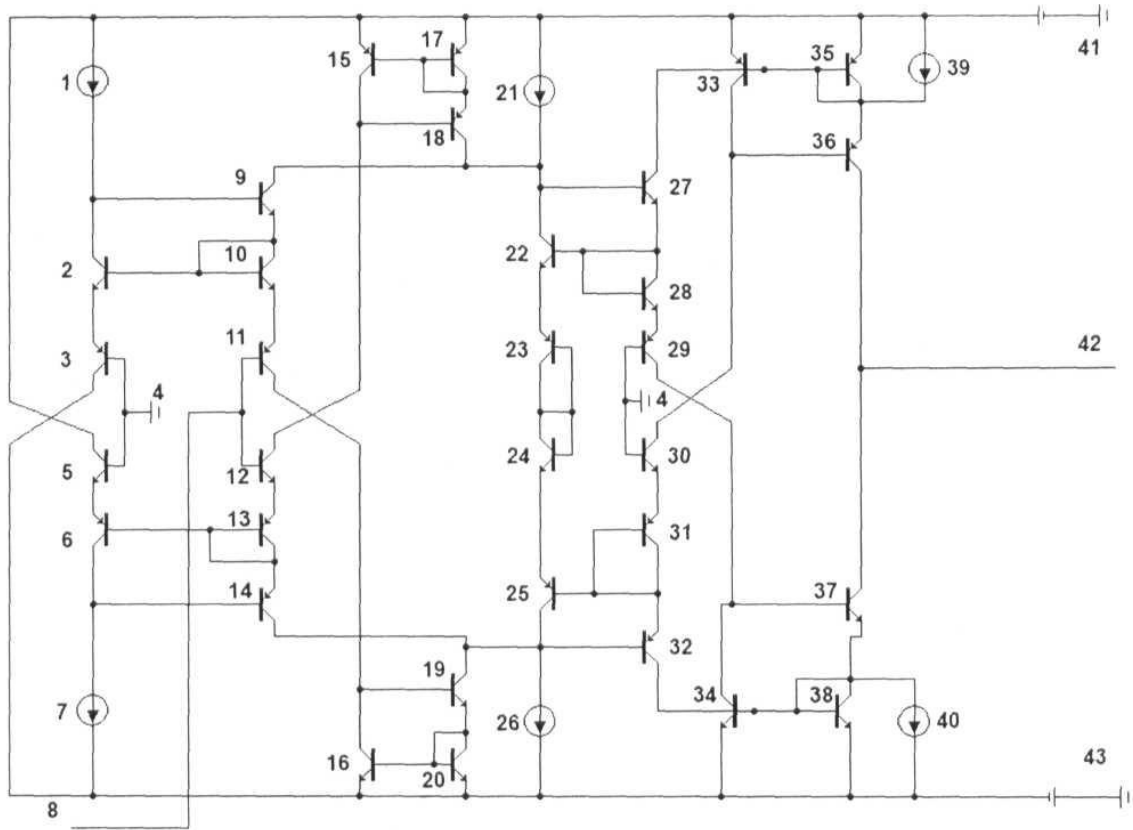
(54) ДВОТАКТНИЙ СИМЕТРИЧНИЙ ПІДСИЛЮВАЧ СТРУМУ

(57) Реферат:

Двотактний симетричний підсилювач струму, в якому перше джерело струму і перший, третій, дев'ятнадцятий транзистори та друге джерело струму і другий, четвертий, двадцятий транзистори утворюють схему завдання режиму постійного струму. Третє джерело струму і дев'ятий, тринадцятий, двадцять перший транзистори та четверте джерело струму і десятий, чотирнадцятий, двадцять другий транзистори утворюють компенсатори, призначені для збору надлишкового струму з баз транзисторів двадцять п'ятого і двадцять шостого відповідно. Транзистори п'ятнадцятий, шістнадцятий, сімнадцятий, вісімнадцятий, двадцять третій, двадцять четвертий, двадцять сьомий і двадцять восьмий утворюють двонаправлений відбивач струму, який служить для забезпечення робочої точки проміжних колекторів, побудованих на транзисторах двадцять п'ятому і двадцять шостому. П'яте джерело струму і п'ятий, двадцять дев'ятий, тридцять перший транзистори та шосте джерело струму і шостий, тридцятий, тридцять другий транзистори утворюють вихідні відбивачі струму, які задають базовий струм підсилювальних каскадів на тридцять першому та тридцять другому транзисторах відповідно.

UA 120008 U

UA 120008 U



Корисна модель належить до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомий підсилювач постійного струму (Push-pull amplifier with current mirrors for determining the quiescent operating point. United States Patent 3,852,678, Dec. 3, 1974), який містить перше і друге джерела струму, резистор зворотного зв'язку, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього четвертого транзисторів відповідно, а також з першим виводам резистора зворотного зв'язку, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими выводами першого і другого джерел струму, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другі виводи першого і другого джерел струму та емітери п'ятого і шостого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів з'єднано з вихідною шиною та другим виводом резистора зворотного зв'язку.

Недоліком аналога є низький коефіцієнт підсилення, що обмежує галузь використання пристрою.

Як найближчий аналог вибрано двотактний симетричний підсилювач струму (патент України № 41361, м.кл. Н03F 3/26, 2009), який містить вхідну шину, з'єднану з першим виводом резистора зворотного зв'язку, а також з базами одинадцятого і дванадцятого транзисторів, колектори одинадцятого і дванадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, емітери одинадцятого і дванадцятого транзисторів з'єднано з емітерами третього і четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, а також з колекторами дев'ятого і десятого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими выводами першого і другого джерел струму, емітери першого і другого транзисторів з'єднано з емітерами сьомого і восьмого транзисторів відповідно, бази і колектори сьомого і восьмого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другі виводи першого і другого джерел струму, а також емітери п'ятого, шостого, дев'ятого, десятого, тринадцятого, чотирнадцятого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, бази дев'ятого і десятого транзисторів з'єднано з базами і колекторами тринадцятого і чотирнадцятого транзисторів відповідно, а також з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів об'єднано, бази п'ятнадцятого і шістнадцятого транзисторів з'єднано з базами і колекторами сімнадцятого і вісімнадцятого транзисторів відповідно, а також з колекторами п'ятого і шостого транзисторів відповідно, емітери сімнадцятого і вісімнадцятого транзисторів об'єднано та з'єднано з другим виводом резистора зворотного зв'язку, а також з вихідною шиною.

Недоліком найближчого аналога є недостатньо висока точність, оскільки коефіцієнт підсилення, що призводить до збільшення похибок при роботі пристрою.

В основу корисної моделі поставлено задачу створення двотактного симетричного підсилювача струму, в якому за рахунок введення нових елементів та зв'язків між ними підвищується точність роботи завдяки збільшенню коефіцієнта підсилення, що сприяє розширенню галузі використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у двотактний симетричний підсилювач струму, який містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, вісімнадцять транзисторів, причому вхідну шину, яку з'єднано з базами одинадцятого і дванадцятого транзисторів, емітери одинадцятого і дванадцятого транзисторів з'єднано з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами першого і другого транзисторів відповідно, емітери першого і другого транзисторів з'єднано з емітерами сьомого і восьмого транзисторів відповідно, бази і колектори сьомого і восьмого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другий вивід першого джерела струму та емітери п'ятого, дев'ятого, тринадцятого транзисторів з'єднано з шиною додатного живлення, другий вивід другого джерела струму, а також емітери шостого, десятого, чотирнадцятого транзисторів з'єднано з шинами від'ємного живлення, бази дев'ятого і десятого транзисторів з'єднано з базами і колекторами тринадцятого і чотирнадцятого транзисторів відповідно, згідно з корисною моделлю, введено чотирнадцять транзисторів та чотири джерела струму, причому колектори сьомого та восьмого транзисторів з'єднано з шинами від'ємного та додатного живлення відповідно, колектори першого та другого

транзисторів, а також бази дев'ятого та двадцятого транзисторів з'єднано з першими виходами першого та другого джерел струму, базу третього транзистора з'єднано з емітером дев'ятого та колектором третього транзисторів, базу четвертого транзистора з'єднано з колектором четвертого та емітером двадцятого транзисторів, колектори третього та четвертого транзистора з'єднано з емітерами дев'ятого та двадцятого транзисторів відповідно, колектор дев'ятого транзистора з'єднано з колектором двадцять першого та п'ятнадцятого та базою двадцять п'ятого транзисторів, а також першим виводом третього джерела струму, колектор двадцятого транзистора з'єднано з колектором двадцять другого та шістнадцятого та базою двадцять шостого транзисторів, а також першим виводом четвертого джерела струму, базу двадцять першого та колектор дев'ятого транзисторів об'єднано та з'єднано з колектором дванадцятого транзистора, базу двадцять другого та колектор десятого транзисторів об'єднано та з'єднано з колектором дванадцятого транзистора, емітери п'ятнадцятого та шістнадцятого транзисторів з'єднано з емітерами двадцять третього та двадцять четвертого транзисторів відповідно, базу п'ятнадцятого транзистора з'єднано з емітером двадцять п'ятого та колектором і емітером двадцять шостого та колектором і емітером двадцять восьмого транзисторів, колектори двадцять третього та двадцять четвертого транзисторів об'єднано та з'єднано з базами двадцять третього та двадцять четвертого транзисторів, емітер двадцять сьомого та двадцять восьмого транзисторів з'єднано з емітерами сімнадцятого та вісімнадцятого транзисторів відповідно, бази сімнадцятого та вісімнадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори сімнадцятого та вісімнадцятого транзисторів з'єднано з колектором шостого і базою тридцять другого та колектором п'ятого і базою тридцять першого транзисторів відповідно, бази п'ятого і двадцять дев'ятого транзисторів об'єднано та з'єднано з колектором двадцять п'ятого і двадцять дев'ятого та емітером тридцять першого транзисторів, а також з першим виводом п'ятого джерела струму, бази шостого і тридцятого транзисторів об'єднано та з'єднано з колектором двадцять шостого і тридцятого та емітером тридцять другого транзисторів, а також з першим виводом шостого джерела струму, емітери двадцять дев'ятого та тридцятого транзисторів та другі виводи п'ятого та шостого джерел струму з'єднано з шиною додатного та від'ємного живлення відповідно, колектори тридцять першого та тридцять другого транзисторів об'єднано та з'єднано з вихідною шиною.

На кресленні представлено принципову схему двотактного симетричного підсилювача струму.

Пристрій містить вхідну тину 8, яку з'єднано з емітерами одинадцятого 11 і дванадцятого 12 транзисторів, емітери одинадцятого 11 і дванадцятого 12 транзисторів з'єднано з емітерами третього 10 і четвертого 13 транзисторів відповідно, бази третього 10 і четвертого 13 транзисторів з'єднано з базами першого 2 і другого 6 транзисторів відповідно, емітери першого 2 і другого 6 транзисторів з'єднано з емітерами сьомого 3 і восьмого 5 транзисторів відповідно, бази і колектори сьомого 3 і восьмого 5 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 4, другий вивід першого джерела струму 1 та емітери п'ятого 33, дев'ятого 15, тринадцятого 17 транзисторів з'єднано з шиною додатного живлення 41, другий вивід другого джерела струму 2, а також емітери шостого 34, десятого 16, чотирнадцятого 20 транзисторів з'єднано з шинами від'ємного живлення 43, бази дев'ятого 15 і десятого 16 транзисторів з'єднано з базами і колекторами тринадцятого 17 і чотирнадцятого 20 транзисторів відповідно, колектори сьомого 3 та восьмого 5 транзисторів з'єднано з шинами від'ємного 43 та додатного 41 живлення відповідно, колектори першого 2 та другого 6 транзисторів, а також бази дев'ятого 9 та двадцятого 14 транзисторів з'єднано з першими виходами першого 1 та другого 2 джерел струму, базу третього 10 транзистора з'єднано з емітером дев'ятого 9 та колектором третього 10 транзисторів, базу четвертого 13 транзистора з'єднано з колектором четвертого 13 та емітером двадцятого 14 транзисторів, колектори третього 10 та четвертого 13 транзистора з'єднано з емітерами дев'ятого 9 та двадцятого 14 транзисторів відповідно, колектор дев'ятого 9 транзистора з'єднано з колектором двадцять першого 18 та п'ятнадцятого 22 та базою двадцять п'ятого 27 транзисторів, а також першим виводом третього джерела струму 21, колектор двадцятого транзистора 14 з'єднано з колектором двадцять другого 19 та шістнадцятого 25 та базою двадцять шостого 32 транзисторів, а також першим виводом четвертого джерела струму 26, базу двадцять першого 18 та колектор дев'ятого 15 транзисторів об'єднано та з'єднано з колектором дванадцятого 12 транзистора, базу двадцять другого 19 та колектор десятого 16 транзисторів об'єднано та з'єднано з колектором дванадцятого транзистора 12, емітери п'ятнадцятого 22 та шістнадцятого 25 транзисторів з'єднано з емітерами двадцять третього 23 та двадцять четвертого 24 транзисторів відповідно,

базу п'ятнадцятого транзистора 22 з'єднано з емітером двадцять п'ятого 27 та колектором і емітером двадцять сьомого 28 транзисторів, базу шістнадцятого транзистора 25 з'єднано з емітером двадцять шостого 32 та колектором і емітером двадцять восьмого 31 транзисторів, колектори двадцять третього 23 та двадцять четвертого 24 транзисторів об'єднано та з'єднано з базами двадцять третього 23 та двадцять четвертого 24 транзисторів, емітер двадцять сьомого 28 та двадцять восьмого 31 транзисторів з'єднано з емітерами сімнадцятого 29 та вісімнадцятого 30 транзисторів відповідно, бази сімнадцятого 29 та вісімнадцятого 30 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 4, колектори сімнадцятого 29 та вісімнадцятого 30 транзисторів з'єднано з колектором шостого 34 і базою тридцять другого 37 та колектором п'ятого 33 і базою тридцять першого 36 транзисторів відповідно, бази п'ятого 33 і двадцять дев'ятого 35 транзисторів об'єднано та з'єднано з колектором двадцять п'ятого 27 і двадцять дев'ятого 35 та емітером тридцять першого 36 транзисторів, а також з першим виводом п'ятого джерела струму 39, бази шостого 34 і тридцять другого 38 транзисторів об'єднано та з'єднано з колектором двадцять шостого 32 і тридцять другого 38 та емітером тридцять другого 37 транзисторів, а також з першим виводом шостого джерела струму 40, емітери двадцять дев'ятого 35 та тридцять другого 38 транзисторів та другі виводи п'ятого 39 та шостого 40 джерел струму з'єднано з шиною додатного 41 та від'ємного 43 живлення відповідно, колектори тридцять першого 36 та тридцять другого 37 транзисторів об'єднано та з'єднано з вихідною шиною 42.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 8. Якщо вхідний струм втікає у схему, то дванадцятий 12 транзистор привідкривається, а одинадцятий 11 транзистор прикривається, відповідно шостий 34 транзистор при відкривається, а п'ятий 33 транзистор прикривається. При цьому потенціал точки об'єднання емітерів тридцять першого 36 і тридцять другого 37 транзисторів зменшується і прямує до шини від'ємного живлення. При цьому вихід пристрою відслідковує потенціал об'єднання емітерів тридцять першого 36 і тридцять другого 37 біполярних транзисторів і також зменшується та наближається до шини від'ємного живлення.

Якщо вхідний струм витікає із схеми, то дванадцятий 12 транзистор прикривається, а одинадцятий 11 транзистор привідкривається, відповідно шостий 34 транзистор прикривається, а п'ятий 33 транзистор привідкривається. При цьому потенціал точки об'єднання емітерів тридцять першого 36 і тридцять другого 37 транзисторів збільшується і прямує до шини додатного живлення. При цьому вихід пристрою відслідковує потенціал об'єднання емітерів тридцять першого 36 і тридцять другого 37 біполярних транзисторів і також збільшується та наближається до шини додатного живлення.

Перше 1 джерело струму і перший 2, третій 10, дев'ятнадцятий 9 транзистори та друге джерело струму 7 і другий 6, четвертий 13, двадцятий 14 транзистори утворюють схему завдання режиму постійного струму.

Третє джерело струму 21 і дев'ятий 15, тринадцятий 17, двадцять перший 18 транзистори та четверте джерело струму 26 і десятий 16, чотирнадцятий 20, двадцять другий 19 транзистори утворюють компенсатори, призначені для збору надлишкового струму з баз транзисторів двадцять п'ятого 27 і двадцять шостого 32 відповідно.

Транзистори п'ятнадцятий 22, шістнадцятий 25, сімнадцятий 29, вісімнадцятий 30, двадцять третій 23, двадцять четвертий 24, двадцять сьомий 28 і двадцять восьмий 31 утворюють двонаправлений відбивач струму, який служить для забезпечення робочої точки проміжних колекторів побудованих на транзисторах двадцять п'ятому 27 і двадцять шостому 32.

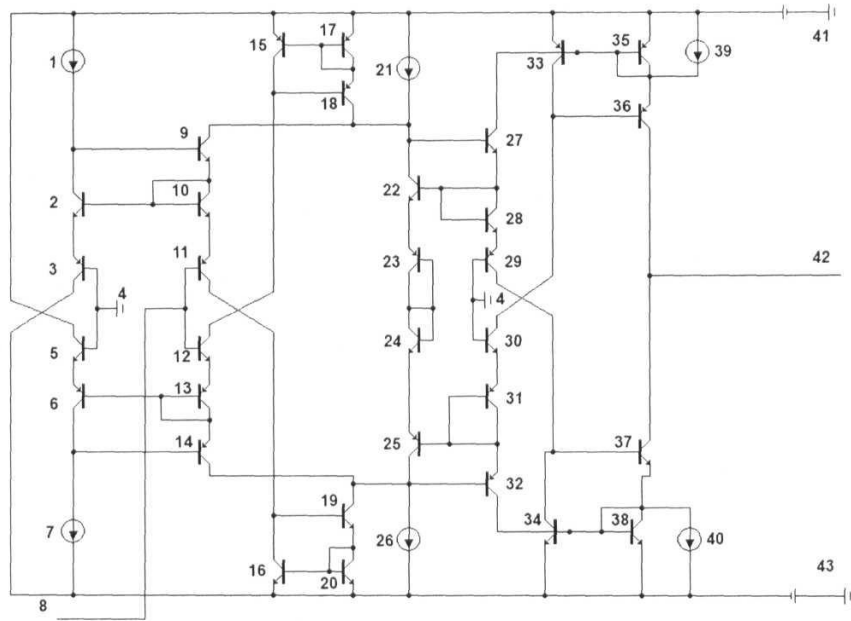
П'яте джерело струму 39 і п'ятий 33, двадцять дев'ятого 35, тридцять перший 36 транзистори та шосте джерело струму 40 і шостий 34, тридцять 38, тридцять другий 37 транзистори утворюють вихідні відбивачі струму, які задають базовий струм підсилювальних каскадів на тридцять першому 36 та тридцять другому 37 транзисторах відповідно.

Шини додатного 41 і від'ємного 43 живлення, а також шина нульового потенціалу 4 забезпечують потрібний рівень напруги для живлення схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Двотактний симетричний підсилювач струму, який містить два джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, вісімнадцять транзисторів та резистор зворотного зв'язку, причому вхідну шину з'єднано з базами одинадцятого і дванадцятого транзисторів, емітери яких з'єднано з емітерами третього і четвертого транзисторів відповідно, бази яких з'єднано з базами першого і другого транзисторів

відповідно, емітери яких транзисторів з'єднано з емітерами сьомого і восьмого транзисторів відповідно, бази і колектори сьомого і восьмого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другий вивід першого джерела струму та емітери п'ятого, дев'ятого, тринадцятого транзисторів з'єднано з шиною додатного живлення, другий вивід другого джерела струму, а також емітери шостого, десятого, чотирнадцятого транзисторів з'єднано з шинами від'ємного живлення, бази дев'ятого і десятого транзисторів з'єднано з базами і колекторами тринадцятого і чотирнадцятого транзисторів відповідно, який **відрізняється** тим, що у нього введено чотирнадцять транзисторів та чотири джерела струму, причому колектори сьомого та восьмого транзисторів з'єднано з шинами від'ємного та додатного живлення відповідно, колектори першого та другого транзисторів, а також бази дев'ятнадцятого та двадцятого транзисторів з'єднано з першими виходами першого та другого джерел струму, базу третього транзистора з'єднано з емітером дев'ятнадцятого та колектором третього транзисторів, базу четвертого транзистора з'єднано з колектором четвертого та емітером дев'ятнадцятого транзисторів, колектори третього та четвертого транзистора з'єднано з емітерами двадцятого та двадцятого транзисторів відповідно, колектор дев'ятнадцятого транзистора з'єднано з колектором двадцять першого та п'ятнадцятого та базою двадцять п'ятого транзисторів, а також першим виводом третього джерела струму, колектор двадцятого транзистора з'єднано з колектором двадцять другого та шістнадцятого та базою двадцять шостого транзисторів, а також першим виводом четвертого джерела струму, базу двадцять першого та колектор дев'ятого транзисторів об'єднано та з'єднано з колектором дванадцятого транзистора, базу двадцять другого та колектор десятого транзисторів об'єднано та з'єднано з колектором дванадцятого транзистора, емітери п'ятнадцятого та шістнадцятого транзисторів з'єднано з емітерами двадцять третього та двадцять четвертого транзисторів відповідно, базу п'ятнадцятого транзистора з'єднано з емітером двадцять п'ятого та колектором і емітером двадцять сьомого транзисторів, базу шістнадцятого транзистора з'єднано з емітером двадцять шостого та колектором і емітером двадцять восьмого транзисторів, колектори двадцять третього та двадцять четвертого транзисторів об'єднано та з'єднано з базами двадцять третього та двадцять четвертого транзисторів, емітер двадцять сьомого та двадцять восьмого транзисторів з'єднано з емітерами сімнадцятого та вісімнадцятого транзисторів відповідно, бази сімнадцятого та вісімнадцятого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори сімнадцятого та вісімнадцятого транзисторів з'єднано з колектором шостого і базою тридцять другого та колектором п'ятого і базою тридцять першого транзисторів відповідно, бази п'ятого і двадцять дев'ятого транзисторів об'єднано та з'єднано з колектором двадцять п'ятого і двадцять дев'ятого та емітером тридцять першого транзисторів, а також з першим виводом п'ятого джерела струму, бази шостого і тридцятого транзисторів об'єднано та з'єднано з колектором двадцять шостого і тридцятого та емітером тридцять другого транзисторів, а також з першим виводом шостого джерела струму, емітери двадцять дев'ятого та тридцятого транзисторів та другі виводи п'ятого та шостого джерел струму з'єднано з шиною додатного та від'ємного живлення відповідно, колектори тридцять першого та тридцять другого транзисторів об'єднано та з'єднано з вихідною шиною.



Комп'ютерна верстка В. Мацело

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601