



УКРАЇНА

(19) UA (11) 19379 (13) U
(51) МПК (2006)
H03K 5/22
G05B 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ВХІДНИЙ ПРИСТРІЙ СХЕМИ ПОРІВНЯННЯ СТРУМІВ

1

2

(21) u200606595

(22) 13.06.2006

(24) 15.12.2006

(46) 15.12.2006, Бюл. № 12, 2006 р.

(72) Азаров Олексій Дмитрович, Лукашук Олександр Олександрович, Захарченко Сергій Михайлович, Богомолов Сергій Віталійович, Тарасова Ольга Миколаївна

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Вхідний пристрій схеми порівняння струмів, що містить два вхідні транзистори, шину додатного живлення, шину від'ємного живлення, шину нульового потенціалу, двадцять вісім транзисторів, перший та другий вихідні транзистори, три резистори, шину входу, шину виходу, причому емітери першого і другого транзисторів з'єднано з шиною нульового потенціалу, їх колектори з'єднано з колекторами тринадцятого і чотирнадцятого транзисторів відповідно, а їх бази з'єднано з базами першого і другого вхідних транзисторів відповідно, бази тринадцятого і чотирнадцятого транзисторів з'єднано з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, їх емітери - з базами п'ятнадцятого і шістнадцятого транзисторів відповідно, а також з колекторами сімнадцятого і вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднано з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами і колекторами п'ятого і шостого транзисторів відповідно, а також з базами сімнадцятого і вісімнадцятого транзисторів відповідно, а також з базами сьомого і восьмого транзисторів відповідно, колектор третього, емітер п'ятого, емітер сімнадцятого, емітер сьомого транзисторів з'єднані з шиною додатного живлення, колектор четвертого, емітер шостого, емітер вісімнадцятого, емітер восьмого транзисторів з'єднані з шиною від'ємного живлення, емітери першого і другого вхідних транзисторів з'єднані з першим виводом першого резистора, а також з емітером двадцять шостого та з базою і колектором двадцять сьомого транзисторів, колектори першого і другого вхідних транзисторів з'єднані з колекторами сьомого і восьмого транзисторів відповідно, а також базами дев'ятого і десятого транзисторів відповідно, коле-

ктори дев'ятого і десятого транзисторів з'єднано з шиною нульового потенціалу, їх емітери з'єднано з колекторами дев'ятнадцятого і двадцятого транзисторів відповідно, а також з базами двадцять третього і двадцять четвертого транзисторів відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднано з базами та колекторами двадцять першого і двадцять другого транзисторів відповідно, а також з емітерами двадцять третього і двадцять четвертого транзисторів відповідно, емітери дев'ятнадцятого і двадцять першого транзисторів з'єднано з шиною додатного живлення, емітери двадцятого і двадцять другого з'єднано з шиною від'ємного живлення, колектори двадцять третього і двадцять четвертого транзисторів з'єднано з колекторами та базами одинадцятого і дванадцятого транзисторів відповідно, а також з колектором і базою двадцять п'ятого та з емітером двадцять восьмого транзисторів відповідно, а також з базами першого і другого вихідних транзисторів відповідно, емітер двадцять п'ятого транзистора з'єднано з колектором і базою двадцять шостого транзистора, емітер двадцять сьомого транзистора з'єднано з колектором і базою двадцять восьмого транзистора, емітери одинадцятого і дванадцятого транзисторів об'єднано, колектори першого і другого вихідних транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, емітери першого і другого вихідних транзисторів об'єднано та з'єднано з другим виводом першого резистора, а також з вихідною шиною, а також першим виводом третього резистора, другий вивід третього резистора з'єднано з шиною нульового потенціалу, який **відрізняється** тим, що в нього введено шість транзисторів та два джерела струму, причому перший і другий виводи першого джерела струму з'єднані з базами тринадцятого і чотирнадцятого транзисторів відповідно та з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, бази двадцять дев'ятого і тридцятого транзисторів з'єднані з колекторами тринадцятого і чотирнадцятого транзисторів відповідно та з колекторами першого і другого транзисторів відповідно, а їх колектори приєднані до шин додатного та від'ємного живлення відповідно, емітери цих транзисторів з'єднані з першим і другим виводами другого джерела струму, а також

(19) UA (11) 19379 (13) U

з базами і колекторами тридцять першого і тридцять четвертого транзисторів відповідно, бази першого і другого транзисторів з'єднано з базами першого і другого вхідних транзисторів відповідно, а також з емітерами тридцять першого і тридцять четвертого транзисторів відповідно, а також з базами і колекторами тридцять другого і тридцять третього транзисторів відповідно, емітери три-

дцять другого і тридцять третього транзисторів об'єднано та з'єднано з шиною вхідного сигналу та з першим виводом другого резистора, другий вивід другого резистора з'єднаний з емітерами першого та другого вхідних транзисторів, а також з базою і колектором двадцять сьомого транзистора, а також з емітером двадцять шостого транзистора, а також з другим виводом першого резистора.

Корисна модель відноситься до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо вхідний пристрій схеми порівняння струмів [А.с. №1529434 ССРС, Н03К5/24, G05B1/01, 1987], який містить чотири резистора, два вхідних транзистора, двадцять два транзистора, два вихідних транзистора, шину додатного живлення, шину від'ємного живлення, вхідну та вихідну шини, шину нульового потенціалу, два діоди, які ввімкнено зустрічно та паралельно. До вхідної шини підключені перші виводи першого резистора і двох зустрічно включених діодів а також емітер першого вхідного транзистора, емітер другого вхідного транзистора, база якого з'єднана з базою і колектором першого транзистора і з базою другого транзистора, емітер якого з'єднаний з колектором третього транзистора, а колектор - з першими виводами другого і третього резисторів, шиною нульового потенціалу, емітерами першого і четвертого транзисторів і з колектором п'ятого транзистора, емітер якого з'єднаний з колектором шостого транзистора, а база - з колектором і базою четвертого транзистора і базою першого вхідного транзистора, колектор якого з'єднаний з базою дванадцятого транзистора, колектор якого з'єднаний з колектором і базою восьмого транзистора і базами п перших вихідних транзисторів, колектори яких з'єднані з шиною додатного живлення, емітерами сьомого і шостого транзисторів, емітером дев'ятого транзистора, колектор і база якого з'єднані між собою, базою шостого транзистора і першим виводом четвертого резистора, другий вивід якого з'єднаний з колектором і базою десятого транзистора і базою третього транзистора, емітер якого з'єднаний з шиною від'ємного живлення, емітером десятого транзистора, колекторами п других вихідних транзисторів і емітером одинадцятого транзистора, база якого з'єднана з колектором другого вхідного транзистора, а колектор - з колектором і базою дванадцятого транзистора і базами п других вихідних транзисторів, емітери яких з'єднані з другим виводом третього резистора, вихідною шиною, емітерами п перших вихідних транзисторів і другими виводами першого резистора і двох ввімкнених зустрічно та паралельно діодів, емітери восьмого і дванадцятого транзисторів з'єднані між собою і другим виводом другого резистора, а база третього транзистора - з базою тринадцятого транзистора, колектор якого з'єднаний з емітером чотирнадцятого транзистора, база якого з'єднана з базою п'ятнадцятого транзи-

стора, з колектором і базою шістнадцятого транзистора, емітер якого з'єднаний з шиною додатного живлення, емітерами сімнадцятого і вісімнадцятого, колектором чотирнадцятого і емітером п'ятнадцятого транзисторів, колектор п'ятнадцятого транзистора з'єднаний з колектором першого вхідного транзистора, колектор сімнадцятого транзистора з'єднаний з колектором шостого транзистора, а база - з базою шостого і вісімнадцятого транзисторів, колектор вісімнадцятого транзистора з'єднаний з емітером дев'ятнадцятого транзистора, база якого з'єднана з базою двадцятого транзистора, колектором і базою двадцять першого транзистора, емітер якого з'єднаний з шиною від'ємного живлення, емітерами тринадцятого і двадцять другого транзисторів, з колектором дев'ятнадцятого транзистора і з емітером двадцятого транзистора, колектор якого з'єднаний з колектором другого вхідного транзистора, колектор двадцять другого транзистора з'єднаний з колектором третього транзистора, база двадцять другого транзистора - з базою третього транзистора.

До недоліків слід віднести велику статичну адитивну похибку, яка обумовлена великим вхідним струмом зміщення нуля і великою вхідною напругою зміщення нуля. Що стосується швидкодії прототипу то вона потенційно буде нижчою ніж у схеми, яка заявляється, за умови реалізації пристрою на однакових транзисторах.

За прототип обрано вхідний пристрій схеми порівняння струмів [А.С. №13110 Н03К5/24, G05B1/01, 2006] який містить вхідну шину яка з'єднана з емітерами першого та другого вхідних транзисторів, їх бази - з колекторами та базами першого і другого транзисторів, та з колекторами тринадцятого і чотирнадцятого транзисторів, колектори першого і другого вхідних транзисторів з'єднані з колекторами сьомого і восьмого транзисторів і базами дев'ятого і десятого транзисторів, емітери першого і другого транзисторів з'єднані з шиною нульового потенціалу, бази тринадцятого і чотирнадцятого транзисторів з'єднані з колекторами п'ятнадцятого і шістнадцятого та з першим і другим виводами другого резистора відповідно, а емітери тринадцятого і чотирнадцятого транзисторів з'єднані з базами п'ятнадцятого і шістнадцятого та колекторами сімнадцятого та вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднані з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднані з базами і колекторами п'ятого 6 і шостого, базами сімнадцятого та вісімнадцятого, базами сьомого і

восьмого транзисторів відповідно, колектори третього і четвертого, емітери п'ятого і шостого, емітери сімнадцятого та вісімнадцятого, емітери сьомого і восьмого транзисторів з'єднані з шинами додатного і від'ємного потенціалів відповідно, колектори дев'ятого та десятого транзисторів з'єднані з шиною нульового потенціалу, а їх емітери - з колекторами дев'ятнадцятого і двадцятого та базами двадцять третього і двадцять четвертого транзисторів відповідно, тоді як бази дев'ятнадцятого і двадцятого транзисторів з'єднані з базами і колекторами двадцять першого і двадцять другого та емітерами двадцять третього і двадцять четвертого транзисторів відповідно, емітери дев'ятнадцятого і двадцятого та двадцять першого і двадцять другого транзисторів з'єднані з шинами додатного і від'ємного живлення відповідно, колектори двадцять третього і двадцять четвертого транзисторів з'єднані з колекторами і базами одинадцятого і дванадцятого транзисторів, а також з базами першого і другого вихідних транзисторів відповідно, крім того колектор двадцять третього транзистора підключений до колектора і бази двадцять п'ятого транзистора, а колектор двадцять четвертого з'єднаний з емітером двадцять восьмого транзистора, емітери одинадцятого і дванадцятого транзисторів об'єднані між собою, колектори першого та другого вихідних транзисторів приєднані до шин додатного та від'ємного живлення відповідно, а їх емітери об'єднані між собою та є виходом пристрою, чотири транзистори, з двадцять п'ятого по двадцять восьмий, включені у діодному режимі, тобто з'єднано їх бази та колектори, і ці транзистори з'єднані послідовно: емітер двадцять п'ятого з'єднано з базою і колектором двадцять шостого, емітер двадцять шостого з'єднано з базою і колектором двадцять сьомого, емітер двадцять сьомого з'єднано з базою і колектором двадцять восьмого, а точка об'єднання емітера двадцять шостого транзистора та бази і колектора двадцять сьомого транзистора з'єднана з шиною вхідного сигналу, вихідна шина з'єднана з вхідною шиною через перший резистор та з шиною нульового потенціалу через третій резистор.

Недоліком прототипу є виникнення значних динамічних похибок за умови збільшення рівня вхідного сигналу, що погіршує швидкодію схеми, а також обмежує динамічний діапазон вхідного сигналу.

В основу корисної моделі поставлено задачу створення вхідного пристрою схеми порівняння струмів, в якому за рахунок введення нових елементів та зв'язків між ними збільшується динамічний діапазон вхідного сигналу, а також покращуються перехідні процеси схеми в режимі великих струмів на вході, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача досягається тим, що у вхідний пристрій схеми порівняння струмів, який містить два вхідні транзистори, шину додатного живлення, шину від'ємного живлення, шину нульового потенціалу, двадцять вісім транзисторів, перший та другий вихідні транзистори, три резистори, шину входу, шину виходу, причому емітери першого і

другого транзисторів з'єднано з шиною нульового потенціалу, їх колектори з'єднані з колекторами тринадцятого і чотирнадцятого транзисторів відповідно, а їх бази з'єднані з базами першого і другого вхідних транзисторів відповідно, бази тринадцятого і чотирнадцятого транзисторів з'єднані з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, їх емітери - з базами п'ятнадцятого і шістнадцятого транзисторів відповідно, а також з колекторами сімнадцятого і вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднані з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднані з базами і колекторами п'ятого і шостого транзисторів відповідно, а також з базами сімнадцятого і вісімнадцятого транзисторів відповідно, а також з базами сьомого і восьмого транзисторів відповідно, колектор третього, емітер п'ятого, емітер сімнадцятого, емітер сьомого транзисторів з'єднані з шиною додатного живлення, колектор четвертого, емітер шостого, емітер вісімнадцятого, емітер восьмого транзисторів з'єднані з шиною від'ємного живлення, емітери першого і другого вхідних транзисторів з'єднані з першим виводом першого резистора, а також з емітером двадцять шостого та з базою і колектором двадцять сьомого транзисторів, колектори першого і другого вхідних транзисторів з'єднані з колекторами сьомого і восьмого транзисторів відповідно, а також базами дев'ятого і десятого транзисторів відповідно, колектори дев'ятого і десятого транзисторів з'єднані з шиною нульового потенціалу, їх емітери з'єднані з колекторами дев'ятнадцятого і двадцятого транзисторів відповідно, а також з базами двадцять третього і двадцять четвертого транзисторів відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднані з базами та колекторами двадцять першого і двадцять другого транзисторів відповідно, а також з емітерами двадцять третього і двадцять четвертого транзисторів відповідно, емітери дев'ятнадцятого і двадцять першого транзисторів з'єднані з шиною додатного живлення, емітери двадцятого і двадцять другого з'єднані з шиною від'ємного живлення, колектори двадцять третього і двадцять четвертого транзисторів з'єднані з колекторами та базами одинадцятого і дванадцятого транзисторів відповідно, а також з колектором і базою двадцять п'ятого та з емітером двадцять восьмого транзисторів відповідно, а також з базами першого і другого вихідних транзисторів відповідно, емітер двадцять п'ятого транзистора з'єднано з колектором і базою двадцять шостого транзистора, емітер двадцять сьомого транзистора з'єднано з колектором і базою двадцять восьмого транзистора, емітери одинадцятого і дванадцятого транзисторів об'єднані, колектори першого і другого вихідних транзисторів з'єднані з шинами додатного і від'ємного живлення відповідно, емітери першого і другого вихідних транзисторів об'єднані та з'єднані з другим виводом першого резистора, а також з вихідною шиною, а також першим виводом третього резистора, другий вивід третього резистора з'єднано з шиною нульового потенціалу, введено шість транзисторів та два джерела струму, причому перший і другий виводи першого джерела

струму з'єднані з базами тринадцятого і чотирнадцятого транзисторів відповідно, та з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, бази двадцять дев'ятого і тридцятого транзисторів з'єднані з колекторами тринадцятого і чотирнадцятого транзисторів відповідно, та з колекторами першого і другого транзисторів відповідно, а їх колектори приєднані до шин додатного та від'ємного живлення відповідно, емітери цих транзисторів з'єднані з першим і другим виводами другого джерела струму, а також з базами і колекторами тридцять першого і тридцять четвертого транзисторів відповідно, бази першого і другого транзисторів з'єднані з базами першого і другого вхідних транзисторів відповідно, а також з емітерами тридцять першого і тридцять четвертого транзисторів відповідно, а також з базами і колекторами тридцять другого і тридцять третього транзисторів відповідно, емітери тридцять другого і тридцять третього транзисторів об'єднані та з'єднані з шиною вхідного сигналу та з першим виводом другого резистора, другий вивід другого резистора з'єднаний з емітерами першого та другого вхідних транзисторів, а також з базою і колектором двадцять сьомого транзистора, а також з емітером двадцять шостого транзистора, а також з другим виводом першого резистора.

На кресленні представлено принципову схему вхідного пристрою схеми порівняння струмів.

Пристрій містить перше джерело струму 3, яке своїми виводами з'єднані з колекторами п'ятнадцятого 2 і шістнадцятого 4 транзисторів відповідно та базами тринадцятого 9 і чотирнадцятого 12 транзисторів відповідно, бази п'ятнадцятого 2 і шістнадцятого 4 транзисторів з'єднані з емітерами тринадцятого 9 і чотирнадцятого 12 відповідно та з колекторами сімнадцятого 8 і вісімнадцятого 13 транзисторів відповідно, емітери п'ятнадцятого 2 і шістнадцятого 4 транзисторів з'єднані з емітерами третього 1 і четвертого 5 транзисторів відповідно, бази третього 1 і четвертого 5 транзисторів з'єднані з колекторами і базами п'ятого 6 і шостого 7 транзисторів відповідно, а також з базами сімнадцятого 8 і вісімнадцятого 13 транзисторів відповідно, а також з базами сьомого 22 і восьмого 25 транзисторів відповідно, колектори тринадцятого 9 і чотирнадцятого 12 транзисторів з'єднані з базами двадцять дев'ятого 14 і тридцятого 16 транзисторів відповідно, а також з колекторами першого 10 і другого 11 транзисторів відповідно, колектор третього 1, емітер п'ятого 6, емітер сімнадцятого 8, колектор двадцять дев'ятого 14, емітер сьомого 22 транзисторів з'єднані з шиною додатного живлення 46, колектор четвертого 5, емітер шостого 7, емітер вісімнадцятого 13, колектор тридцятого 16, емітер восьмого 25 транзистора з'єднані з шиною від'ємного живлення 47, емітер першого 10 транзистора з'єднаний з емітером другого 11 транзистора та шиною нульового потенціалу 44, емітери двадцять дев'ятого 14 і тридцятого 16 транзисторів з'єднані з виводами другого джерела струму 15, а також з базами і колекторами тридцять першого 17 і тридцять четвертого 20 транзисторів відповідно, бази першого 10 та другого 11 транзисторів з'єднані з колекторами та базами тридцять другого 18 і тридцять третього 19 транзисторів

відповідно, а також з емітерами тридцять першого 17 та тридцять четвертого 20 транзисторів відповідно, а також з базами першого 23 та другого 24 вхідних транзисторів відповідно, емітери тридцять другого 18 і тридцять третього 19 транзисторів з'єднані з вхідною шиною 45, а також першим виводом другого резистора 21, колектори першого 23 та другого 24 вхідних транзисторів з'єднані з базами дев'ятого 27 і десятого 28 транзисторів відповідно, а також з колекторами сьомого 22 і восьмого 25 транзисторів відповідно, емітери першого 23 і другого 24 вхідних транзисторів об'єднані між собою і з'єднані з другим виводом другого резистора 21, а також з колектором і базою двадцять сьомого 32 транзистора, а також з емітером двадцять шостого 31 транзистора, а також з першим виводом першого резистора 43, колектори дев'ятого 27 і десятого 28 транзисторів з'єднані з шиною нульового потенціалу 44, емітери дев'ятого 27 і десятого 28 транзисторів з'єднані з колекторами дев'ятнадцятого 26 і двадцятого 29 транзисторів відповідно, а також з базами двадцять третього 35 і двадцять четвертого 38 транзисторів відповідно, бази дев'ятнадцятого 26 двадцятого 29 транзисторів з'єднані з колекторами і базами двадцять першого 34 і двадцять другого 39 транзисторів відповідно, а також з емітерами двадцять третього 35 і двадцять четвертого 38 транзисторів відповідно, колектори двадцять третього 35 і двадцять четвертого 38 транзисторів з'єднані з базою і колектором двадцять п'ятого 30 і емітером двадцять восьмого 33 транзисторів відповідно, а також з базами і колекторами одинадцятого 36 і дванадцятого 37 транзисторів відповідно, а також з базами першого 40 і другого 41 вихідних транзисторів відповідно, емітери двадцять п'ятого 30 і двадцять сьомого 32 транзисторів з'єднані з базами і колекторами двадцять шостого 31 і двадцять восьмого 33 транзисторів відповідно, емітери одинадцятого 36 і дванадцятого 37 транзисторів об'єднані між собою, емітери дев'ятнадцятого 26 і двадцять першого 34 транзисторів, колектор першого вихідного транзистора 40 з'єднані з шиною додатного живлення, емітери двадцятого 29 і двадцять другого 39 транзисторів, колектор другого вихідного транзистора 41 з'єднані з шиною від'ємного живлення 47, емітери першого 40 і другого 41 вихідних транзисторів об'єднані між собою і з'єднані з першим виводом третього резистора 42 і другим виводом першого резистора 43, а також з вихідною шиною 48, другий вивід третього резистора 42 з'єднаний з шиною нульового потенціалу 44.

Пристрій працює таким чином. Вхідний струм спочатку надходить до обмежувача струмів, який побудовано на другому джерелі струму 15, двадцять дев'ятому 14, тридцятому 16, тридцять першому 17, тридцять другому 18, тридцять третьому 19, тридцять четвертому 20 та другому резисторі 21. Струм робочої точки визначається колекторними струмами тринадцятого транзистора 9 та чотирнадцятого транзистора 12. При цьому

$$I_{k9} \approx I_{k12} \approx I_{k10} \approx I_{k11} = \frac{I_{зм}}{\beta_{сер}},$$

де $I_{эм}$ - струм першого джерела струму 3,

$$\beta_{сер} = \frac{\beta_{npn} + \beta_{pnp}}{2}$$

Друге джерело струму 15 призначено для задання робочої точки емітерних переходів двадцять дев'ятого 14 та тридцятого 16 транзисторів. Наскрізний струм, який протікає через тридцять перший 17, тридцять другий 18, тридцять третій 19, тридцять четвертий 20 транзистори у діодному вмиканні, а також наскрізний струм вхідного каскаду схеми, побудованого на першому вхідному 23 та другому вхідному транзисторах 24, також дорівнюють струму робочої точки. При цьому опір на вхідному обмежувачі струмів дорівнює

$$r_{обм} = 2 \cdot r_{p-n(npn)} \parallel 2 \cdot r_{p-n(pnp)} \approx r_{pn},$$

де

$$r_{pn} = \frac{\varphi_T}{I_T},$$

де $\varphi_T = 25\text{мВ}$ - термопотенціал, I_T - струм робочої точки. Вхідний опір схеми при цьому дорівнює

$$r_{вх} = r_{pn}/2.$$

Напруга на вході обмежувача дорівнює

$$U_{обм} = I_{вх} \cdot (r_{обм} \parallel R_2 + r_{вх}),$$

де $I_{вх}$ - вхідний струм на шині 45, R_2 - опір другого резистора 21.

Тоді струм, що втікає на емітери вхідних транзисторів дорівнює

$$I_{вх} = \frac{U_{обм}}{R_2 + r_{вх}} = \frac{I_{вх} \cdot \frac{r_{обм} \cdot (R_2 + r_{вх})}{r_{обм} + R_2 + r_{вх}}}{R_2 + r_{вх}} = I_{вх} \cdot \frac{r_{обм}}{r_{обм} + R_2 + r_{вх}}.$$

Таким чином коефіцієнт передачі вхідного струму на вхід підсилювача дорівнює

$$K_{П} = \frac{I_{вх}}{I_{вх}} = \frac{r_{обм}}{r_{обм} + R_2 + r_{вх}}.$$

Враховуючи, що $r_{обм} = r_{pn}$, $r_{вх} = r_{pn}/2$ отримаємо кінцевий вираз для коефіцієнту передачі вхідного струму на вхід підсилювача

$$K_{П} = \frac{r_{pn}}{r_{pn} + R_2 + r_{pn}/2}.$$

Якщо $I_{вх}$, що подається на вхідну шину 45 менший за струм робочої точки, то опір обмежувача змінюється незначно, і значна частина вхідного струму через другий резистор 21 потрапляє на вхід підсилювача. Якщо $I_{вх}$, що подається на вхідну шину 45 більший за струм робочої точки, то це значно зменшує опір обмежувача, і менша частина струму через другий резистор 21 потрапляє на вхід підсилювача. При цьому якщо вхідний струм, що є більшим за струм робочої точки, втікає в обмежувач, то надлишковий струм відтікає на шину від'ємного живлення 47 через тридцять третій 19, тридцять четвертий 20 та тридцять п'ятий 16 транзистори. Якщо вхідний струм, що є більшим за струм робочої точки, втікає з обмежувача, то струм, якого не вистачає, береться з шини додатного живлення 46 через двадцять дев'ятий 14, тридцять перший 17 та тридцять другий 18 транзистори.

Якщо струм втікає з обмежувача у схему, то другий вхідний транзистор 24 привідкривається, а перший вхідний транзистор 23 прикривається, колекторний струм другого вхідного транзистора

24 збільшується, і десятий транзистор 28 привідкривається. Водночас колекторний струм першого вхідного транзистора 23 зменшується і дев'ятий транзистор 27 прикривається. Емітерний струм десятого транзистора 28 подається на вхід відбивача струму побудованого на двадцятomu 29, двадцять четвертому 38, двадцять другому 39 транзисторах. Відбитий струм з колектора двадцять четвертого транзистора 38 протікає через коло одинадцятого 36 і дванадцятого 37 транзисторів. Емітерний струм дев'ятого транзистора 27 витікає з відбивача струму побудованого на дев'ятнадцьому 26, двадцять першому 34, двадцять третьому 35 транзисторах, відбитий струм з колектора двадцять третього транзистора 35 протікає через коло одинадцятого 36 і дванадцятого 37 транзисторів. Оскільки $I_{к38}$ більше $I_{к35}$ то потенціал точки об'єднання емітерів одинадцятого 36 і дванадцятого 37 транзисторів зменшується, наближаючись до потенціалу шини від'ємного живлення. Водночас, одинадцять 36 та дванадцять 37 транзистори задають не тільки струм спокою вихідного каскаду, побудованого на першому та другому вихідних транзисторах 40, 41, а і визначають потенціал вихідної шини схеми. Таким чином напруга $U_{вих}$ повторює потенціал точки об'єднання емітерів одинадцятого 36 і дванадцятого 37 транзисторів, тобто зменшується і наближається до $-U_{живл}$.

Якщо вхідний струм витікає із схеми в обмежувач, то другий вхідний транзистор 24 прикривається, а перший вхідний транзистор 23 привідкривається, колекторний струм другого вхідного транзистора 24 зменшується, і десятий транзистор 28 прикривається. Водночас колекторний струм першого вхідного транзистора 23 збільшується і дев'ятий транзистор 27 привідкривається. Емітерний струм десятого транзистора 28 подається на вхід відбивача струму побудованого на двадцятomu 29, двадцять четвертому 38, двадцять другому 39 транзисторах. Відбитий струм з колектора двадцять четвертого транзистора 38 протікає через коло одинадцятого 36 і дванадцятого 37 транзисторів. Емітерний струм дев'ятого транзистора 27 витікає з відбивача струму побудованого на дев'ятнадцьому 26, двадцять першому 34, двадцять третьому 35 транзисторах, відбитий струм з колектора двадцять третього транзистора 35 протікає через коло одинадцятого 36 і дванадцятого 37 транзисторів. Оскільки $I_{к38}$ менше $I_{к35}$ то потенціал точки об'єднання емітерів одинадцятого 36 і дванадцятого 37 транзисторів збільшується, наближаючись до потенціалу шини додатного живлення. Напруга $U_{вих}$ повторює потенціал точки об'єднання емітерів одинадцятого 36 і дванадцятого 37 транзисторів, тобто збільшується і наближається до $+U_{живл}$.

Ланцюг транзисторів з двадцять п'ятого по двадцять восьмий у діодному вмиканні 30-33 утворюють коло нелінійного від'ємного зворотного зв'язку, мета введення якого - обмежити амплітуду змінення напруги на виході схеми. При цьому якщо струм що втікає у схему збільшується, то потенціал вихідної шини зменшується. Транзистори двадцять сьомий 32 та двадцять восьмий 33 привідкриваються, а транзистори двадцять п'ятий 30 та двадцять шостий 31 прикриваються. При цьому

через двадцять сьомий 32 та двадцять восьмий 33 транзистори в коло колектора двадцять четвертого транзистора 38 втікає струм який компенсує вхідний струм схеми. По мірі збільшення $I_{вх}$ двадцять сьомий 32 та двадцять восьмий 33 транзистори привідкриваються сильніше, опори переходів колектор-емітер зменшуються, а глибина зворотного зв'язку збільшується. Опір вказаного кола транзисторів починає істотно шунтувати загальний опір зворотного зв'язку, який визначається з формули $r_{p-n} = \frac{\phi t}{i_e}$, де ϕ - термопотенціал, i_e - зна-

чення струму емітера, і зменшує змінення амплітуди на виході схеми.

Якщо струм, що витікає із схеми, збільшується, то потенціал вихідної шини збільшується. Транзистори двадцять сьомий 32 та двадцять восьмий 33 призакриваються, а транзистори двадцять п'ятий 30 та двадцять шостий 31 привідкриваються. При цьому через двадцять п'ятий 30 та двадцять шостий 31 транзистори з кола колектора двадцять третього транзистора 35 витікає струм який компенсує вхідний струм схеми. По мірі збільшення $I_{вх}$ який витікає із схеми двадцять п'ятий 30 та двадцять шостий 31 транзистори привідкриваються сильніше, опори переходів колектор-емітер зменшуються, а глибина зворотного зв'язку знову ж таки збільшується. Опір кола двадцять п'ятий 30 та двадцять шостий 31 транзисторів починає істотно шунтувати загальний опір зворотного зв'язку і зменшує змінення амплітуди на виході схеми.

Оскільки коло транзисторів з двадцять п'ятого по двадцять восьмий у діодному вмиканні 30-33 підключені паралельно колу одинадцятого 36 та дванадцятого 37 транзисторів, то в стані спокою, тобто коли $I_{вх}=0$ транзистори кола 30-33 знаходяться на порозі відпирання. Якщо вхідний струм приймає максимальне значення, то залежно від напрямку вхідного струму або група з двадцять п'ятого 30 та двадцять шостого 31 відпираться, а група з двадцять сьомого 32 та двадцять восьмого

33 транзисторів закривається, або група з двадцять сьомого 32 та двадцять восьмого 33 транзисторів відкривається, а група з двадцять п'ятого 30 та двадцять шостого 31 транзисторів закривається.

Таким чином на виході схеми виникає перепад напруг $\pm U_{p-n}: U_{вих}(I_{вх}) = [R_M | | 2r_{p-n}] \cdot I_{вх}$, де $U_{вих}$ - вихідна напруга, $I_{вх}$ - вхідний струм, R_M - опір першого резистора 43, r_{p-n} - опір p-n переходу. При малих вхідних струмах опір r_{p-n} різко зростає і значно перевищує R_M , при цьому чутливість схеми є максимальною. При великих $I_{вх}$ опір r_{p-n} значно зменшується, шунтує R_M і чутливість зменшується пропорційно збільшенню $I_{вх}$.

Мінімізація похибки зміщення нуля по входу підсилювача у вигляді або $\Delta I_{вх0}$ або $\Delta U_{вх0}$ досягається таким чином. За допомогою двоярусних схем відбивачів струму, а саме побудованих на третьому 1, п'ятому 6, сімнадцятому 8, п'ятнадцятому 2, тринадцятому 9 транзисторах а також шостому 7, четвертому 5, вісімнадцятому 13, шістнадцятому 4, чотирнадцятому 12 транзисторах, на перший 10 та другий 11 транзистори, які з двадцять дев'ятим 14 та тридцятим 16 транзисторами є давачами струму, подаються струми відповідно I':

$$I' = I_{к9} \approx I_{зМ} \left(\frac{1}{\beta_{p-n-p}} + \frac{1}{\beta_{n-p-n}} \right),$$

а також I'':

$$I'' = I_{к12} \approx I_{зМ} \left(\frac{1}{\beta_{n-p-n}} + \frac{1}{\beta_{p-n-p}} \right),$$

де $I_{к9}$, $I_{к12}$ - колекторні струми транзисторів 9 та 12 відповідно, $I_{зМ}$ - струм зміщення першого джерела струму 3.

Тобто

$$I_{к9} \approx I_{к12}.$$

Позначимо

$$I_{к9} \approx I_{к12} \approx I_{зМ}^* = I_{зМ} \left(\frac{1}{\beta_{n-p-n}} + \frac{1}{\beta_{p-n-p}} \right). \quad \text{Тоді}$$

струм спокою вхідного каскаду, побудованого на вхідних транзисторах 23, 24 буде дорівнювати $I_{спокою} \approx I_{зМ}^*$. Визначимо колекторні струми $I_{к27}$ та $I_{к28}$:

$$I_{б27} = I_{спокою} - I_{к22} = I_{зМ}^* - I_{б1} = I_{зМ}^* - I_{зМ} / \beta_1 = I_{зМ} \left(\frac{1}{\beta_{n-p-n}} + \frac{1}{\beta_{p-n-p}} \right) - \frac{I_{зМ}}{\beta_{n-p-n}} = \frac{I_{зМ}}{\beta_{p-n-p}},$$

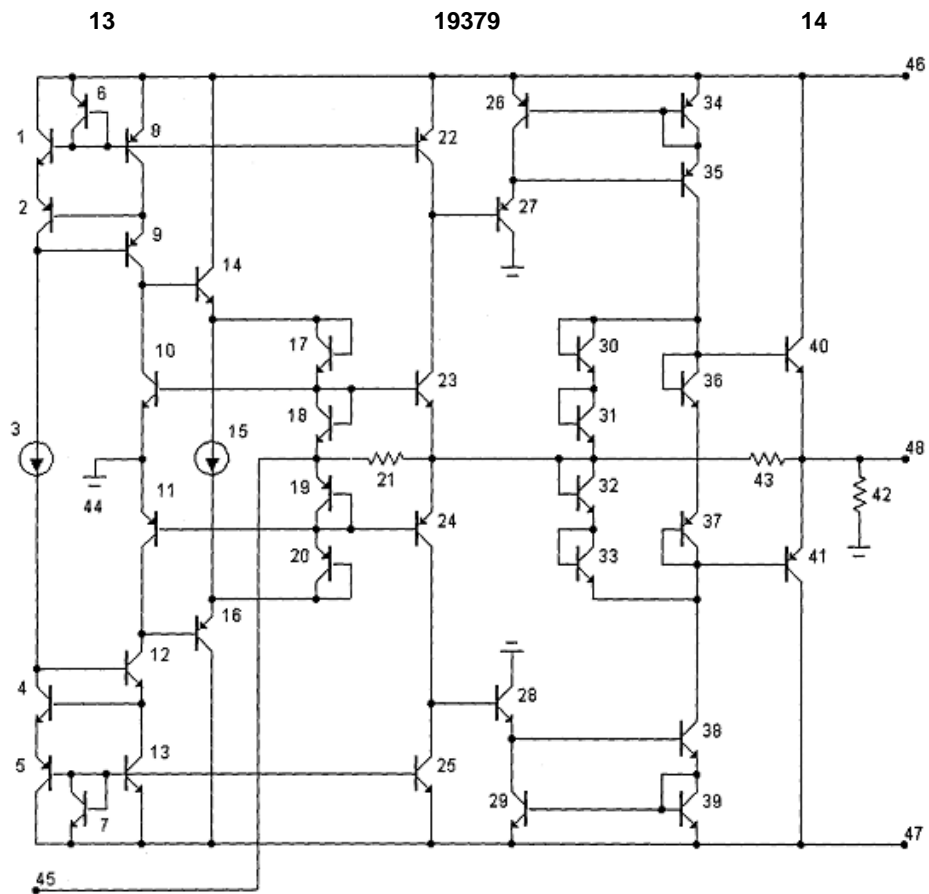
$$I_{б28} = I_{спокою} - I_{к25} = I_{зМ}^* - I_{б5} = I_{зМ}^* - I_{зМ} / \beta_5 = I_{зМ} \left(\frac{1}{\beta_{n-p-n}} + \frac{1}{\beta_{p-n-p}} \right) - \frac{I_{зМ}}{\beta_{p-n-p}} = \frac{I_{зМ}}{\beta_{n-p-n}},$$

$$I_{к27} = I_{б27} \cdot \beta_{27} = I_{б27} \cdot \beta_{p-n-p} = I_{зМ} / \beta_{p-n-p} \cdot \beta_{p-n-p} = I_{зМ},$$

$$I_{к28} = I_{б28} \cdot \beta_{28} = I_{б28} \cdot \beta_{n-p-n} = I_{зМ} / \beta_{n-p-n} \cdot \beta_{n-p-n} = I_{зМ}.$$

Бачимо, що $I_{к27} = I_{к28} = I_{зМ}$. Оскільки коефіцієнт передачі відбивачів струму дорівнює одиниці, то $I_{к35} = I_{к27}$, а $I_{к38} = I_{к28}$ і приблизно рівні $I_{зМ}$.

Оскільки струм спокою вхідних транзисторів 23, 24 дорівнює $I_{к9}$ і $I_{к12}$, то падіння напруг на базових p-n переходах $U_{бe 23} = U_{бe 10}$, а $U_{бe 24} = U_{бe 11}$. Таким чином $\Delta U_{вх}$ мінімізується, прямує до нуля.



Фиг.