УКРАЇНА

(19) UA (11) 40931 (13) A

(51) 7 G06F15/353

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА ВИНАХІД

видається під відповідальність власника патенту

(54) ЛІНІЙНИЙ ІНТЕРПОЛЯТОР

(21) 2000116433
(22) 14.11.2000
(24) 15.08.2001
(46) 15.08.2001, Бюл. № 7, 2001 р.
(72) Романюк Олександр Никифорович, Курінний Михайло Сергійович
(73) ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ (ВДТУ)

(57) 1. Лінійний інтерполятор, який містить зсувний регістр координатного приросту, ключ, накопичуючий суматор, регістр координатного приросту, лічильник, мультиплексор, блок керування, регістр різниці координатних приростів, інформаційний вхід якого з'єднаний з інформаційним виходом накопичуючого суматора, вхід початкової установки якого з´єднаний з виходом ключа, інформаційний вхід якого з'єднаний з виходом зсувного регістра координатного приросту, інформаційний вхід лічильника з'єднаний з входом значення більшого приросту інтерполятора, виходи регістра різниці координатних приростів та регістра координатного приросту з'єднані з першим та другим інформаційними входами мультиплексора, вихід якого з'єднаний з інформаційним входом накопичуючого суматора, вхід запуску інтерполятора з'єднаний з входами запису зсувного регістра координатного приросту, регістра координатного приросту та лічильника та з входом запуску блока керування, перший вихід якого з'єднаний з входом запису регістра різниці координатних приростів та з входом керування зсувом зсувного регістра координатного приросту, другий вихід блока керування з'єднаний з лічильним входом лічильника, вихід ознаки нульового стану якого з'єднаний з виходом ознаки "кінець інтерполяції" інтерполятора та з першим входом початкової установки блока керування, третій вихід блока керування з'єднаний з керуючим входом мультиплексора і входом переносу накопичуючого суматора, вихід переносу якого з'єднаний з першим входом блока керування, четвертий та п'ятий виходи якого з'єднані з входом синхронізації накопичуючого суматора та керуючим входом ключа відповідно, з другого по четвертий входи блока керування є входами знака приросту першої та другої координат та входом ознаки координати з більшим приростом інтерполятора, виходи координатних приростів якого з'єднані з шостого по дев'ятий виходами блока керування, другий вхід початкової установки якого є входом початкової установки інтерполятора, який **відрізняється** тим, що в нього введені тригер, блок елементів І та комбінаційний суматор, при цьому інформаційний вхід зсувного регістра координатного пристрою з'єднаний з входом максимального значення інтенсивності кольору інтерполятора, а інформаційний вхід першого тригера з'єднаний з молодшим розрядом входу максимального значення інтенсивності кольору інтерполятора, крім того інформаційний вхід регістра координатного приросту з'єднаний з входом обчисленого значення інтенсивності кольору інтерполятора, а інформаційний вихід першого тригера з'єднаний з входом молодшого розряду блока елементів І, при цьому вхід запуску інтерполятора з'єднаний з входом запису першого тригера, крім того вихід переносу накопичуючого суматора з'єднаний з керуючим входом блока, елементів І, а і-ий розряд інформаційного виходу зсувного регістра координатного приросту з'єднаний з і+1 розрядом інформаційного входу блока елементів "і", $\overline{i = 0, n-1}$, де n - кількість розрядів, до того ж інформаційний вихід блока елементів І та інверсний інформаційний вихід накопичуючого суматора з'єднані з першим та другим інформаційними входами комбінаційного суматора, вхід переносу комбінаційного суматора з'єднаний з рівнем лог. "1", інформаційний вихід комбінаційного суматора з'єднаний з виходом значення інтенсивності кольору інтерполятора, при цьому другий вихід блока керування з'єднаний з виходом синхронізації інтенсивності кольору точок.

2. Інтерполятор за п.1, який **відрізняється** тим, що блок керування містить блок постійної пам'яті, перший адресний вхід якого є першим входом блока, два регістри інформаційні входи яких з'єднані з виходами відповідних розрядів блока постійної пам'яті, шість тригерів, десять елементів І, генератор імпульсів, один елемент АБО та два елементи 2І-АБО, при цьому перший та другий входи першого елемента І є першим і другим входами початкової установки блока, а вхід синхронізації і інформаційний вхід другого тригера з'єднані з входами запуску і логічної одиниці блока відповідно, при цьому вихід першого елемента І з'єднаний з інверсними входами скидання другого та третього тригерів та другого регістра, вихід другого тригера з'єднаний з інформаційним входом тре-

(19) UA (11) 40931 (13) A

тього тригера, прямий вихід якого з'єднаний з першими входами другого та третього елементів І, виходи яких з'єднані з входами синхронізації другого та першого регістрів відповідно, перший і другий виходи другого регістра з'єднані з другим та третім адресними входами блока постійної пам'яті, а прямий вихід генератора імпульсів з'єднаний з входом синхронізації третього тригера, другим входом третього елемента І та з першими входами четвертого і шостого елементів І, інверсний вихід генератора імпульсів з'єднаний з другим входом другого елемента І, першим входом п'ятого елемента І та з другим входом елемента АБО, другий, третій та четвертий входи блока з'єднані з інформаційними входами п'ятого, сьомого, та шостого тригерів відповідно, при цьому входи синхронізації з п'ятого по сьомий тригерів з'єднані з входом запуску блока, а інформаційний вхід четвертого тригера з'єднаний з першим входом блока, крім того вхід синхронізації четвертого тригера з'єднаний з виходом четвертого елемента І, інверсний вихід четвертого тригера з'єднаний з першим входом першого елементу І першого елементу 2І-АБО та з першим входом першого елементу І другого елементу 2І-АБО, а прямий вихід шостого тригера з'єднаний з другим входом другого елементу І першого елементу 2І-АБО та з третім входом першого елементу І другого елементу 2І-АБО, при цьому інверсний вихід шостого тригера підключений до третього входу першого елементу І першого елементу 2І-АБО та до першого входу другого елементу І другого елементу 2І-АБО, а вихід п'ятого елементу І підключений до других входів перших та других елементів І першого та другого елементів 2І-АБО, до того ж прямий та інверсний виходи п'ятого тригера з'єднані відповідно з першими входами сьомого і восьмого елементів І відповідно, а прямий та інверсний виходи сьомого тригера з'єднані відповідно з другими входами дев'ятого і десятого елементів І відповідно, виходи першого та другого елементів 2І-АБО з'єднані з попарно об'єднаними першими входами сьомого, восьмого та дев'ятого, десятого елементів І відповідно, виходи яких є з шостого по дев'ятий виходами блока відповідно, вихід шостого розряду першого регістра з'єднаний з першим входом елемента АБО, вихід елемента АБО є другим виходом блока, виходи першого і третього розрядів першого регістра та виходи четвертого та шостого елементів І є першим, третім, четвертим та п'ятим виходами блока, виходи четвертого, другого та п'ятого розрядів першого регістра з'єднані з другими входами з четвертого по шостий елементів І відповідно.

3. Інтерполятор за п.1, який **відрізняється** тим, що накопичуючий суматор містить регістр та комбінаційний суматор, входи першого та другого доданків якого з'єднані з інформаційним входом накопичуючого суматора та з виходом регістра, при цьому вхід переносу першого доданка з'єднаний з входом переносу накопичуючого суматора, вихід знакового розряду якого з'єднаний з виходом старшого розряду комбінаційного суматора, а вихід комбінаційного суматора з'єднаний з інформаційним входом регістра, вхід синхронізації якого є однойменним входом накопичуючого суматора, вхід початкової установки якого з'єднаний з входами установки регістра.

Винахід відноситься до автоматики та обчислювальної техніки і призначений для використання в системах формування та відображення графічної інформації.

Відомий цифровий лінійний інтерполятор, який містить генератор імпульсів, віднімаючий лічильник, блок пам'яті, регістр, блок керування, накопичуючий суматор, блок вихідної логіки (А.с. №1462247, кл. G05B 19/18, БИ № 8, 1989р.).

Недолік такого пристрою: пристрій не формує значень інтенсивності кольору і не забезпечує усунення ступінчастого ефекту, що обмежує його область застосування тими випадками, де до якості зображень не пред'являються підвищені вимоги.

Найбільш близьким до запропонованого є цифровий лінійний інтерполятор, який містить зсувний регістр координатного приросту, ключ, накопичуючий суматор, регістр координатного приросту, лічильник, мультиплексор, схему порівняння, блок керування, регістр різниці координатних приростів, інформаційний вхід якого з'єднаний з інформаційним виходом накопичуючого суматора, вхід початкової установки якого з'єднаний з виходом ключа, інформаційний вхід якого з'єднаний з виходом зсувного регістра координатного приросту. Інформаційні входи зсувного регістра координатного приросту і лічильника з'єднані з входом значення більшого приросту інтерполятора, інформаційний вхід регістра координатного приросту з'єднаний з входом значення меншого приросту інтерполятора, виходи регістра різниці координатних приростів та регістра координатного приросту з'єднані з першим та другим інформаційними входами мультиплексора, вихід якого з'єднаний з інформаційним входом накопичуючого суматора, вихід якого з'єднаний з першим інформаційним входом схеми порівняння, другий інформаційний вхід якої з'єднаний з виходом зсувного регістра координатного приросту, вхід запуску інтерполятора з'єднаний з входами запису зсувного регістра координатного приросту, регістра координатного приросту та лічильника та з входом запуску блока керування, перший вихід якого з'єднаний з входом запису регістра різниці координатних приростів та з входом керування зсувом зсувного регістра координатного приросту, другий вихід блока керування з'єднаний з лічильним входом лічильника, вихід ознаки нульового стану якого з'єднаний з виходом ознаки "кінець інтерполяції" інтерполятора, з першим входом початкової установки блока керування та входом стробування схеми порівняння, вихід ознаки рівності якої є виходом ознаки "відсутність помилки" інтерполятора, третій вихід блока керування з'єднаний з керуючим входом мультиплексора і входом переносу накопичуючого суматора, вихід знакового розряду якого з'єднаний з першим вхо-

дом блока керування , четвертий та п'ятий виходи якого з'єднані з входом синхронізації накопичуючого суматора та керуючим входом ключа відповідно, з другого по четвертий входи блока керування є входами знака приросту першої та другої координат та входом ознаки координати з більшим приростом інтерполятора, виходи координатних приростів якого з'єднані з шостого по дев'ятий виходами блока керування, другий вхід початкової установки якого є входом початкової установки інтерполятора (А.с. №1413603, кл. G05B 19/415, G 06 F 15/353, БИ № 28, 1988 р.).

Недолік пристрою полягає в обмежених функціональних можливостях, обумовлених тим, що пристрій не формує значень інтенсивності кольору та не забезпечує усунення ефекту аліайзингу, який виникає через дискретність координатного простору.

В основу винаходу поставлена задача створення лінійного інтерполятору, в якому за рахунок введення нових блоків та зв'язків між ними досягається формування не тільки крокових приростів для визначення координат точок траєкторії, а й значень інтенсивностей кольору точок вектора, обчислених у відповідності з правилом антиаліазингу, що приводить до розширення функціональних можливостей, оскільки запропонований пристрій формує значення інтенсивності кольору і забезпечує усунення ефекту аліазингу, а отже може використовуватись у випадках, коли до якості зображень пред'являються підвищені вимоги.

Поставлена задача досягається тим, що в лінійний інтерполятор, який містить зсувний регістр координатного приросту, ключ, накопичуючий суматор, регістр координатного приросту, лічильник, мультиплексор, блок керування, регістр різниці координатних приростів, інформаційний вхід якого з'єднаний з інформаційним виходом накопичуючого суматора, вхід початкової установки якого з'єднаний з виходом ключа, інформаційний вхід якого з'єднаний з виходом зсувного регістра координатного приросту, інформаційний вхід лічильника з'єднаний з входом значення більшого приросту інтерполятора, виходи регістра різниці координатних приростів та регістра координатного приросту з'єднані з першим та другим інформаційними входами мультиплексора, вихід якого з'єднаний з інформаційним входом накопичуючого суматора, вхід запуску інтерполятора з'єднаний з входами запису зсувного регістра координатного приросту, регістра координатного приросту та лічильника та з входом запуску блока керування, перший вихід якого з'єднаний з входом запису регістра різниці координатних приростів та з входом керування зсувом зсувного регістра координатного приросту, другий вихід блока керування з'єднаний з лічильним входом лічильника, вихід ознаки нульового стану якого з'єднаний з виходом ознаки "кінець інтерполяції" інтерполятора та з першим входом початкової установки блока керування, третій вихід блока керування з'єднаний з керуючим входом мультиплексора і входом переносу накопичуючого суматора, вихід переносу якого з'єднаний з першим входом блока керування , четвертий та п'ятий виходи якого з'єднані з входом синхронізації накопичуючого суматора та керуючим входом ключа відповідно, з другого по четвертий входи блока керування є входами знака приросту першої та другої координат та входом ознаки координати з більшим приростом інтерполятора, виходи координатних приростів якого з'єднані з шостого по дев'ятий виходами блока керування, другий вхід початкової установки якого є входом початкової установки інтерполятора, додатково введені тригер, блок елементів І та комбінаційний суматор, інформаційний вхід зсувного регістра координатного пристрою з'єднаний з входом максимального значення інтенсивності кольору інтерполятора, інформаційний вхід першого тригера з'єднаний з молодшим розрядом входу максимального значення інтенсивності кольору інтерполятора, інформаційний вхід регістра координатного приросту з'єднаний з входом обчисленого значення інтенсивності кольору інтерполятора, інформаційний вихід першого тригера з'єднаний з входом молодшого розряду блоку елементів І, вхід запуску інтерполятора з'єднаний з входом запису першого тригера, вихід переносу накопичуючого суматора з'єднаний з керуючим входом блоку елементів І, і-й розряд інформаційного виходу зсувного регістра координатного приросту з'єднаний з і+1 розрядом інформаційного входу блока елементів і, $\overline{i = 0, n-1}$, де n - кількість розрядів, інформаційний вихід блоку елементів І та інверсний інформаційний вихід накопичуючого суматора з'єднані з першим та другим інформаційними входами комбінаційного суматора, на вхід переносу комбінаційного суматора подається рівень лог. "1", інформаційний вихід комбінаційного суматора з'єднаний з виходом значення інтенсивності кольору інтерполятора, другий вихід блока керування з'єднаний з виходом синхронізації інтенсивності кольору точок.

Блок керування містить блок постійної пам'яті, перший адресний вхід якого є першим входом блока, два регістра, інформаційні входи яких з'єднані з виходами відповідних розрядів блока постійної пам'яті, шість тригерів, десять елементів І, генератор імпульсів, один елемент АБО та два елемента 2І-АБО, перший та другий входи першого елемента І є першим і другим входами початкової установки блока, вхід синхронізації і інформаційний вхід другого тригера з'єднані з входами запуску і логічної одиниці блоку відповідно, вихід першого елемента І з'єднаний з інверсними входами скидання другого та третього тригерів та другого регістра, вихід другого тригера з'єднаний з інформаційним входом третього тригера, прямий вихід якого з'єднаний з першими входами другого та третього елементів І, виходи яких з'єднані з входами синхронізації другого та першого регістрів відповідно, перший і другий виходи другого регістра з'єднані з другим та третім адресними входами блока постійної пам'яті, прямий вихід генератора імпульсів з'єднаний з входом синхронізації третього тригера, другим входом третього елемента І та з першими входами четвертого і шостого елементів І, інверсний вихід генератора імпульсів з'єднаний з другим входом другого елемента І, першим входом п'ятого елемента І та з другим входом елемента АБО, другий, третій та четвертий входи блока з'єднані з інформаційними входами п'ятого, сьомого, та шостого тригерів відповідно, входи синхронізації з п'ятого по сьомий тригерів з'єднані з входом запуску блока, ін-

формаційний вхід четвертого тригера з'єднаний з першим входом блока, вхід синхронізації четвертого тригера з'єднаний з виходом четвертого елемента І, інверсний вихід четвертого тригера з'єднаний з першим входом першого елементу І першого елементу 2І-АБО та з першим входом першого елементу І другого елементу 2І-АБО, прямий вихід шостого тригера з'єднаний з другим входом другого елементу І першого елементу 2І-АБО та з третім входом першого елементу І другого елементу 2І-АБО, інверсний вихід шостого тригера підключений до третього входу першого елементу І першого елементу 2І-АБО та до першого входу другого елементу І другого елементу 2І-АБО, вихід п'ятого елемента І підключений до других входів перших та других елементів І першого та другого елементів 2І-АБО, прямий та інверсний виходи п'ятого тригера з'єднані відповідно з першими входами сьомого і восьмого елементів І відповідно, прямий та інверсний виходи сьомого тригера з'єднані відповідно з другими входами дев'ятого і десятого елементів І відповідно, виходи першого та другого елементів 2І-АБО з'єднані з попарно об'єднаними першими входами сьомого, восьмого та дев'ятого, десятого елементів І відповідно, виходи яких є з шостого по дев'ятий виходами блока відповідно, вихід шостого розряду першого регістра з'єднаний з першим входом елемента АБО, вихід елемента АБО є другим виходом блока, виходи першого і третього розрядів першого регістра та виходи четвертого та шостого елементів І є першим, третім, четвертим та п'ятим виходами блока, виходи четвертого, другого та п'ятого розрядів першого регістра з'єднані з другими входами з четвертого по шостий елементів І відповідно.

Накопичуючий суматор містить регістр та комбінаційний суматор, входи першого та другого доданків якого з'єднані з інформаційним входом накопичуючого суматора та з виходом регістра. Вхід переносу першого доданка з'єднаний з входом переносу накопичуючого суматора, вихід знакового розряду якого з'єднаний з виходом старшого розряду комбінаційного суматора, вихід комбінаційного суматора з'єднаний з інформаційним входом регістра, вхід синхронізації якого є однойменним входом накопичуючого суматора, вхід початкової установки якого з'єднаний з входами установки регістра.

В запропонованому пристрої на виході значення інтенсивності кольору формуються інтенсивності кольору точок траєкторії. Інтенсивність кольору пропорційна площі, яку відтинає ідеальний відрізок прямої від піксела. Вказане забезпечує усунення ступінчастості траєкторії, тобто реалізує ефект антиаліазингу.

На фіг.1 приведена функціональна схема лінійного інтерполятора; на фіг.2 - функціональна схема блока керування; на фіг.3 - часові діаграми роботи блока керування; на фіг.4 - функціональна схема накопичуючого суматора.

Лінійний інтерполятор (фіг. 1) містить зсувний регістр 1 координатного приросту, тригер 2, регістр 3 різниці координатних приростів, регістр 4 координатного приросту, лічильник 5, мультиплексор 6, ключ 7, накопичуючий суматор 8, блок елементів І 9, комбінаційний суматор 10, блок керування 11. Інтерполятор має входи 12-19, виходи 20-26.

Інформаційний вхід зсувного 1 регістра координатного пристрою з'єднаний з входом 12 максимального значення інтенсивності кольору інтерполятора. Вхід 13 запуску інтерполятора з'єднаний з входами запису зсувного регістра 1 координатного приросту, першого 2 тригера, регістра 4 координатного приросту та лічильника 5 та з входом запуску блока керування 11. Інформаційний вхід регістра 4 координатного приросту з'єднаний з входом 14 обчисленого значення інтенсивності кольору інтерполятора. Інформаційний вхід лічильника 5 з'єднаний з входом 15 значення більшого приросту інтерполятора. З другого 16 по четвертий 18 входи блока керування 11 є входами знака приросту першої та другої координат та входом ознаки координати з більшим приростом інтерполятора. Другий 19 вхід початкової установки блока керування 11 є входом початкової установки інтерполятора. Виходи координатних приростів інтерполятора з'єднані з шостого 20 по дев'ятий 23 виходами блока керування 11. Другий 24 вихід блока керування 11 з'єднаний з лічильним входом лічильника 5. Вихід ознаки нульового стану лічильника 5 з'єднаний з виходом 25 ознаки "кінець інтерполяції" інтерполятора та з першим 25 входом початкової установки блока керування 11. Інформаційний вихід комбінаційного суматора 10 з'єднаний з виходом 26 значення інтенсивності кольору інтерполятора. Перший 27 вихід блока керування 11 з'єднаний з входом запису регістра 3 різниці координатних приростів та з входом керування зсувом зсувного регістра 1 координатного приросту. Третій 28 вихід блока керування 11 з'єднаний з керуючим входом мультиплексора 6 і входом переносу накопичуючого суматора 8. Вихід переносу накопичуючого суматора 8 з'єднаний з першим 29 входом блока керування 11. Четвертий 30 та п'ятий 31 виходи блока керування 11 з'єднані з входом синхронізації накопичуючого суматора 8 та керуючим входом ключа 7 відповідно. Інформаційний вхід регістра 3 різниці координатних приростів з'єднаний з інформаційним виходом накопичуючого суматора 8. Вхід початкової установки накопичуючого суматора 8 з'єднаний з виходом ключа 7. Інформаційний вхід ключа 7 з'єднаний з виходом зсувного регістра 1 координатного приросту. Виходи регістра 3 різниці координатних приростів та регістра 4 координатного приросту з'єднані відповідно з першим та другим інформаційними входами мультиплексора 6. Вихід мультиплексора 6 з'єднаний з інформаційним входом накопичуючого суматора 8. Інформаційний вхід першого 2 тригера з'єднаний з молодшим розрядом входу 12 максимального значення інтенсивності кольору інтерполятора. Інформаційний вихід першого 2 тригера з'єднаний з входом молодшого розряду блоку елементів І 9. Вихід переносу накопичуючого суматора 8 з'єднаний з керуючим входом блоку елементів І 9. і-й розряд інформаційного виходу зсувного регістра 1 координатного приросту з'єднаний з і+1 розрядом інформаційного входу блока елементів 19, $i = \overline{0, n-1}$, де n - кількість розрядів. Інформаційний вихід блоку елементів І 9 та інверсний інформаційний вихід накопичуючого суматора 8 з'єднані з першим та другим інформаційними входами комбінаційного су-

матора 10. Вхід переносу комбінаційного суматора 10 з'єднаний з рівнем лог. "1". Другий 24 вихід блока керування 11 з'єднаний з виходом синхронізації інтенсивності кольору точок.

Блок керування 11 (фіг. 2) містить блок 32 постійної пам'яті, перший 33 та другий 34 регістри, генератор 35 імпульсів, перший елемент І 36, другий 37 та третій 38 тригери, другий 39, третій 40, четвертий 41, п'ятий 42 та шостий 43 елементи І, перший 44 елемент АБО, четвертий 45, шостий 46, п'ятий 47 тригери, перший 48 та другий 49 елементи 2І-АБО, сьомий 50 тригер, сьомий 51, восьмий 52, дев'ятий 53 та десятий 54 елементи І. Позиціями 55-67 позначені зв'язки у блоці 11 через шину.

Перший адресний вхід блока 32 постійної пам'яті є першим 29 входом блока керування 11. Інформаційні входи першого 33 та другого 34 регістрів з'єднані з виходами відповідних розрядів блока 32 постійної пам'яті. Перший та другий входи першого 36 елемента І є першим 19 і другим 25 входами початкової установки блока керування. Вхід синхронізації та інформаційний вхід другого 37 тригера з'єднані з входами 13 запуску і логічної одиниці блоку керування 11 відповідно. Вихід першого 36 елемента І з'єднаний з інверсними входами скидання другого 37 та третього 38 тригерів та другого 34 регістра. Вихід другого 37 тригера з'єднаний з інформаційним входом третього 38 тригера. Прямий вихід третього 38 тригера з'єднаний з першими входами другого 39 та третього 40 елементів І. Виходи другого 39 та третього 40 елементів І з'єднані з входами синхронізації другого 34 та першого 33 регістрів відповідно. Перший і другий виходи другого 34 регістра з'єднані з другим та третім адресними входами блока 32 постійної пам'яті. Прямий вихід генератора імпульсів 35 з'єднаний з входом синхронізації третього 38 тригера, другим входом третього 40 елемента І та з першими входами четвертого 41 і шостого 43 елементів І. Інверсний вихід генератора імпульсів 35 з'єднаний з другим входом другого 39 елемента І, першим входом п'ятого 42 елемента І та з другим входом елемента АБО 44. Другий 16, третій 17 та четвертий 18 входи блока керування 11 з'єднані з інформаційними входами п'ятого 47, сьомого 50, та шостого 46 тригерів відповідно. Входи синхронізації п'ятого 47, сьомого 50, та шостого 46 тригерів з'єднані з входом 13 запуску блока керування 11. Інформаційний вхід четвертого 45 тригера з'єднаний з першим 29 входом блока керування 11. Вхід синхронізації четвертого 45 тригера з'єднаний з виходом четвертого 41 елемента І. Інверсний вихід четвертого 45 тригера з'єднаний з першим входом першого елемента І першого 48 елементу 2І-АБО та з першим входом першого елементу І другого 49 елементу 2І-АБО. Прямий вихід шостого 46 тригера з'єднаний з другим входом другого елементу І першого 48 елементу 2І-АБО та з третім входом першого елементу І другого 49 елементу 2І-АБО. Інверсний вихід шостого 46 тригера підключений до третього входу першого елементу І першого 48 елементу 2І-АБО та до першого входу другого елементу І другого 49 елементу 2І-АБО. Вихід п'ятого 42 елемента І підключений до других входів перших та других елементів І першого 48 та другого 49 елементів 2І-АБО. Прямий та інверсний виходи п'ятого 47 тригера з'єднані відповідно з першими входами сьомого 51 і восьмого 52 елементів І відповідно. Прямий та інверсний виходи сьомого 50 тригера з'єднані відповідно з другими входами дев'ятого 53 і десятого 54 елементів І відповідно. Виходи першого 48 та другого 49 елементів 2І-АБО з'єднані з попарно об'єднаними першими входами сьомого 51 , восьмого 52 та дев'ятого 53, десятого 54 елементів І відповідно. Виходи сьомого 51, восьмого 52, дев'ятого 53 та десятого 54 елементів І є з шостого 20 по дев'ятий 23 виходами блока керування 11 відповідно. Вихід шостого розряду першого 33 регістра з'єднаний з першим входом елемента 44 АБО. Вихід елемента 44 АБО є другим 24 виходом блока керування 11. Виходи першого і третього розрядів першого 33 регістра та виходи четвертого 41 та шостого 43 елементів І є відповідно першим 27, третім 28, четвертим 30 та п'ятим 31 виходами блока керування 11. Виходи четвертого, другого та п'ятого розрядів першого 33 регістра з'єднані з другими входами з четвертого 41 по шостий 43 елементів І відповідно.

Накопичуючий суматор 8 (фіг. 4) містить комбінаційний суматор 68 та регістр 69.

Входи першого та другого доданків комбінаційного суматора 68 з'єднані з інформаційним входом накопичуючого суматора 8 та з виходом регістра 69. Вхід переносу першого доданка з'єднаний з входом 28 переносу накопичуючого суматора 8. Вихід знакового розряду накопичуючого суматора 8 з'єднаний з виходом старшого розряду комбінаційного суматора 68. Вихід комбінаційного суматора 68 з'єднаний з інформаційним входом регістра 69. Вхід синхронізації регістра 69 є однойменним входом 30 накопичуючого суматора 8. Вхід початкової установки накопичуючого суматора 8 з'єднаний з входами установки регістра.

Інтерполятор працює таким чином.

Як метод лінійної інтерполяції для запропонованого лінійного інтерполятора використовується метод оцінювальної функції, згідно з яким напрямок чергового кроку спрямовується у відповідності зі знаком спеціальної оцінювальної функції (ОФ), що обчислюється в процесі інтерполяції. Пряма, яка інтерполюється, ділить двомірний координатний простір, в якому вона розташована, на дві області: область ОФ > 0 над прямою та область ОФ < 0 під прямою. Сама пряма представляє собою область ОФ = 0. Інтерполяція методом оціночної функції робитися по наступному правилу: якщо проміжна точка траєкторії знаходиться в області ОФ $\geq$ 0, то наступний крок робиться по осі X (при ΔX = БП, ΔY = МП). Якщо ж проміжна точка траєкторії знаходиться в області ОФ < 0, то наступним виконується комбінований діагональний крок.

Для усунення ефекту ступінчастості в запропонованому інтерполяторі використано метод, який полягає у встановлені інтенсивності кольору пікселя пропорційно площі тієї його частини, що відтинається відрізком прямої. В статті "Усунення ефекту аліазингу векторних границь полігонів" (Вісник ВПІ, 1998, № 1) був встановлений взаємозв'язок між значенням оцінювальної функції визначення точок відрізка прямої в дискретному координатному просторі та значенням їх інтенсивностей кольору; було показано, що інтерполювання

відрізка з параметрами БП і МП можна звести до інтерполювання за БП тактів відрізка прямої з параметрами I_m та I_k, де I_m - значення інтенсивності кольору, з яким треба відтворити відрізок прямої, $I_k = \frac{МП}{БП} \cdot I_m$

Значення оцінювальної функції для запропонованого інтерполятора визначається за наступними співвідношеннями:

$ОФ_o = \lfloor I_m / 2 \rfloor$

$ОФ_{i+1} = ОФ_i + (I_m - I_k)$ при $ОФ_i < 0$

$ОФ_{i+1} = ОФ_i - I_k$ при $ОФ_i \geq 0$

При $ОФ_i < 0$ виконується комбінований діагональний крок, тобто одночасні кроки по головній та по другорядній координатах. При $ОФ_i \geq 0$ виконується крок по головній координаті.

Значення інтенсивності кольору точки визначається за наступними співвідношеннями:

$I_i = |ОФ_i|$ при $ОФ_i < 0$

$I_i = I_m - ОФ_i$ при $ОФ_i \geq 0$

При інтерполяції відрізка прямої від зовнішнього пристрою поступають вихідні операнди, які визначають заданий відрізок прямої, його напрям та інтенсивність кольору, з яким треба відтворити відрізок прямої. У зсувний регістр 1 координатного приросту по входу 12 переднім фронтом сигналу запису на вході 13 інтерполятора записується значення I_m. В тригер 2 переднім фронтом сигналу запису на вході 13 записується значення молодшого розряду I_m, яке поступає з молодшого розряду входу 12. В регістр 4 переднім фронтом сигналу запису на вході 13 інтерполятора записується значення I_k з входу 14 лінійного інтерполятора. Оскільки виходи регістра 4 є інверсними виходами його тригерів, то регістр 4 забезпечує зберігання значення I_k та його інвертування, тобто отримання зворотного коду I_k.

В лічильник 5 по входу 15 нульовим значенням сигналу запису на вході 13 інтерполятора записується значення БП, яке визначає число інтерполяційних тактів. В блок керування 11 переднім фронтом сигналу запису з входа 13 інтерполятора запам'ятовуються значення ознак, які визначають орієнтацію відрізка у двомірному координатному просторі.

На вхід 16 інтерполятора поступає значення рівня лог. "1" при $\Delta X \geq 0$, де X - значення приросту вихідного відрізка прямої по осі абсцис, і значення рівня лог. "0" при $\Delta X < 0$.

Рівень лог. "1" на вході 17 інтерполятора визначає позитивний знак приросту ΔY, де ΔY - значення приросту вихідного відрізка прямої по осі ординат. При $\Delta Y \geq 0$ на вході 17 інтерполятора виставляється значення рівня лог. "0".

При $\Delta Y \geq \Delta Y$ на вході 18 інтерполятора виставляється рівень лог. "1", а при $\Delta X < \Delta Y$ - рівень лог. "0".

Значення I_m та I_k, а також знаки приростів ΔX та ΔY повністю визначають відрізок прямої, що апроксимується по відношенню до координатних осей.

В перший тактовий проміжок часу на виході 31 блока керування 11 формується імпульс позитивної полярності, який призводить до того, що на виході ключа 7 виставляється парафазний код I_m. Під дією сигналів з виходa ключа 7 суматор 8 приймає значення I_m.

В наступний тактовий момент часу на виході 28 блока керування 11 встановлюється рівень лог. "1", який забезпечує передачу на вхід суматора 8 інверсного значення I_k з виходу регістра 4 через мультиплексор 6. На вхід переносу суматора 8 поступає значення рівня лог. "1", оскільки віднімання у суматорі 8 здійснюється в доповняльному коді. В суматорі 8 знаходиться значення $\Delta = I_m - I_k = I_m + \overline{I}_k + 1$.

Значення Δ запам'ятовується в регістрі 3. Рівень сигналу запису в регістр 3, - позитивний. У вказаний тактовий момент часу відбувається також зсув вмісту зсувного регістру 1 в бік молодших розрядів. Оскільки до виконання вказаної дії у регістрі 1 зберігалось значення I_m, то після виконання вказаної операції зсуву регістр 1 приймає значення $\lfloor I_m / 2 \rfloor$ ц.ч. Зсув здійснюється заднім фронтом сигналу, який формується на виході 27 блока керування 11.

У наступний тактовий момент часу на виході 31 блока керування 11 формується імпульс позитивної полярності, який забезпечує встановлення на виході ключа 7 парафазного коду $\lfloor I_m / 2 \rfloor$ ц.ч. (це значення зберігається в зсувному регістрі 1 координатного приросту). Під дією сигналів з виходa ключа 7 суматор 8 приймає значення $\lfloor I_m / 2 \rfloor$ ц.ч.

Вказані дії утворюють цикл підготовки. Причому у регістрі 4 зберігається значення I_k, у лічильнику 5 - значення БП, у тригері 2 - значення молодшого розряду I_m, у регістрі 3 - різниця $I_m - I_k$, а у суматорі 8 та регістрі 1 - значення $\lfloor I_m / 2 \rfloor$ ц.ч. Цикл підготовки займає три тактових моменти часу.

У циклі інтерполяції в перший тактовий момент часу з вмісту суматора 8 віднімається значення I_k, тобто забезпечується передача інверсного значення I_k через мультиплексор 6 на інформаційний вхід суматора 8, і на його вході переносу виставляється значення рівня лог. "1". Слід відмітити, що оскільки по алгоритму роботи запропонованого лінійного інтерполятора при обчисленні значення оцінювальної функції використовується операція віднімання тільки значення I_k, то сигнал переносу для накопичуючого суматора 8 формується тільки при формуванні для мультиплексора 6 сигналу передачі на його вихід значення I_k.

При від'ємному значенні оцінювальної функції, що зберігається в суматорі 8, до вмісту суматора додається значення $I_m - I_k$, яке зберігається в регістрі 3. Передача значення $I_m - I_k$ на інформаційний вхід суматора 8 досягається подачею на керуючий вхід мультиплексора 6 значення рівня лог. "0". При позитивному знаку оцінювальної функції, що зберігається у суматорі 8, від вмісту останнього віднімається значення I_k.

Вказані дії відбуваються за тактовий момент часу, в кожному з яких формуються крокові прирости та значення інтенсивності кольору точки. Значення крокових приростів визначаються значенням знаків приростів ΔX, ΔY, співвідношенням приростів ΔX та ΔY, а також знаком оцінювальної функції, що зберігається в тригері 45. Для визначення інтенсивності кольору точки використовується оцінювальна функція.

При від'ємному значенні оцінювальної функції на керуючий вхід блока елементів І 9 з виходу

переносу накопичуючого суматора 8 поступає значення рівня лог. "0", яке спричинює встановлення значення рівня лог. "0" на всіх розрядах інформаційного виходу блоку елементів І 9. В результаті чого на інформаційні входи комбінаційного суматора 10 подаються відповідно нульове значення з інформаційного виходу блока елементів І 9 та інверсне значення оцінювальної функції I_p з інверсного вихода накопичуючого суматора 8. Оскільки на вхід переносу комбінаційного суматора 10 подається значення рівня лог. "1", то останній забезпечує встановлення на своєму інформаційному виході значення: $I = 0 - I_p = 0 + \bar{I}_p + 1$. Тобто при від'ємному значенні оцінювальної функції на вихід 26 інтерполятора подається значення інтенсивності кольору $I = |I_p|$.

При додатньому значенні оцінювальної функції на керуючий вхід блока елементів І 9 з виходу переносу накопичуючого суматора 8 поступає значення рівня лог. "1", яке встановлює на інформаційному виході блоку елементів І 9 значення I_m. Таким чином на інформаційні входи комбінаційного суматора 10 подаються відповідно значення I_m з інформаційного виходу блока елементів І 9 та інверсне значення оцінювальної функції I_p з інверсного вихода накопичуючого суматора 8. Оскільки на вхід переносу комбінаційного суматора 10 подається значення рівня лог. "1", то останній забезпечує встановлення на своєму інформаційному виході значення виразу: $I = I_m - I_p = I_m + \bar{I}_p + 1$. Тобто при додатньому значенні оцінювальної функції на вихід 26 інтерполятора подається значення інтенсивності кольору $I = I_m - I_p$.

Для синхронізації видачі значення інтенсивності кольору точок використовується вихід 24 синхронізації інтенсивності кольору точки пристрою.

В циклі інтерполювання з кожним кроковим приростом по головній координаті вміст лічильника 5 зменшується на 1. Коли кількості крокових приростів по головній координаті дорівнює БП, на виході лічильника 5 формується рівень лог. "0", який сигналізує про закінчення інтерполяції відрізка прямої.

Блок керування 11 працює наступним чином.

При першому включенні інтерполятору на вхід 19 початкової установки пристрою подається імпульс від'ємної полярності, який забезпечує обнулення регістру 34 та тригерів 37 та 38.

Переднім фронтом сигналу, який поступає на вхід 13 інтерполятору, в одиничний стан переводиться тригер 37. При формуванні на прямому виході генератора імпульсів 35 переднього фронту сигналу в одиничний стан переводиться тригер 38, що дозволяє проходженню через елементи 39 та 38 опорних імпульсних послідовностей. Ці дії забезпечують присинхронізацію роботи інтерполятора до переднього імпульсної послідовності, яка формується на прямому виході генератора імпульсів 35. В протилежному випадку перший імпульс вказаної послідовності може мати різну тривалість, що в свою чергу може привести до збою роботи інтерполятора.

В блоку 32 постійної пам'яті зберігаються мікрокоманди, які включають в себе операційну та адресну частини. Адресна частина мікрокоманди разом зі значенням сигналу на вході 29 блока керування визначають адресу наступної мікрокоманди. Адресна частина мікрокоманди з блока 32 під дією передніх фронтів імпульсної послідовності, яка формується на виході блока 39, заноситься в регістр 34. Операційна частина мікрокоманди зберігається в регістрі 33 і використовується для формування керуючих сигналів. Запис в регістр 33 здійснюється переднім фронтом сигналів, який формується на виході блока 39.

Оскільки в початковий момент часу регістр 33 обнулений, а значення сигналу 29 - нульове, то з блока 31 вибирається мікрокоманда, яка зберігається по нульовій адресі.

Часові діаграми роботи блока керування 11 при інтерполюванні вектору з приростами $\Delta X = +5$, $\Delta Y = +2$ приведені на фіг. 3.

Карта прошивки блока 31 постійної пам'яті приведена в таблиці.

Входи блоку			**Виходи блоку**							
D_1	D_2	D_3	Q_1	Q_2	O_3	Q_4	Q_5	Q_6	Q_7	Q_8
0	0	0	0	0	0	0	1	1	1	0
0	0	1	0	0	0	0	1	1	1	0
1	0	0	1	0	1	1	0	1	0	1
1	0	1	1	0	1	1	0	1	0	1
0	1	0	0	0	1	0	1	1	1	1
0	1	1	0	0	1	0	1	1	1	1
1	1	0	0	1	0	1	0	0	1	1
1	1	1	0	1	1	1	0	0	1	1

В роботі блока керування 11 можливо розділити операції циклу підготовки і циклу інтерполювання.

Цикл підготовки включає три тактових проміжки часу. Слід відмітити, що прошивка блоку 32 постійної пам'яті організована таким чином, що значення сигналу переносу 29 в циклі підготовки ігнорується, тобто всі операції в циклі підготовки строго визначені і не залежать від типу вектору.

В циклі підготовки в першому та третьому тактовому проміжку часу на виході 31 формуються

імпульси позитивної полярності, під дією яких забезпечується спочатку установка регістра накопичуючого суматора в стан I_m, а потім $\lfloor I_m / 2 \rfloor$.

В другому тактовому проміжку часу знаходиться значення $\Delta = I_m - I_k$, яке записується в регістр накопичуючого суматору, а потім в регістр 3 різниці координатних приростів, а також відбувається зсув вмісту регістра 1 координатного приросту на один розряд в сторону молодших розрядів.

Запис в регістр 3 різниці координатних приростів здійснюється імпульсом позитивної полярності, який формується на виході 27 блока керування 11 протягом одного періоду тактової послідовності, яка формується на виході генератора імпульсів 35, під час першої половини тактового проміжку часу знаходиться різниця $\Delta = I_m - I_k$, яка заднім фронтом сигналу на виході 30 заноситься в регістр накопичуючого суматору 8, а потім на вхід регістру 3 різниці координатних приростів. Оскільки сигнал запису в регістр 3 утримується і після цього ще протягом половини тактового проміжку часу, то в регістр 3 гарантовано буде записане дійсне значення Δ.

Циклу інтерполювання відповідають дві мікрокоманди блока 32 постійної пам'яті, які мають адреси $D_1D_2D_3 = 110$ та $D_1D_2D_3 = 111$.

Операційні частини цих мікрокоманд відрізняються тільки одним значенням в розряді Q_3. Вказаний розряд відповідає за формування вхідного сигналу переносу накопичуючого сумматора 8 та за управляючий сигнал для мультиплексора 6.

Під дією сигналів 28, 30, 24 виконується інтерполювання заданого відрізка прямої з одночасним антіаліазингом. З кожним інтерполяційним тактом вміст лічильника 4 зменшується на одиницю. При переході лічильника з нульового стану в $2^k - 1$ стан, де k - розрядність лічильника, формується сигнал 25 переносу, який обнуляє тригери 37, 38, а також регістр 34. Елементи 39 та 38 блокуються, цикл інтерполювання закінчується.

При формуванні крокових приростів використовується вміст тригерів 45, 46, 47, 50. В тригері 45 зберігається знак оцінювальної функції. Нульовий стан тригера 45 визначає формування крокового приросту в напрямку меншої координати.

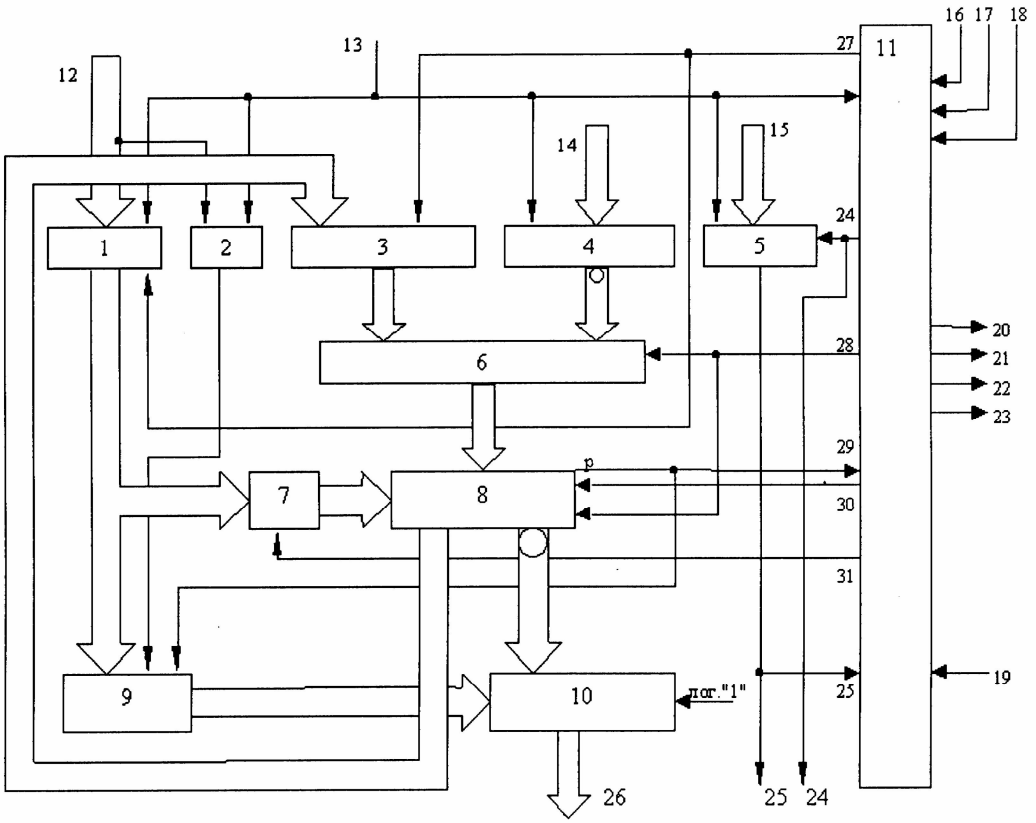
Одиничний стан тригера 46 забезпечує передачу на вихід першого 48 елемента 2І-АБО імпульсної послідовності, яка формується на виході п'ятого 42 елемента І. При цьому передача здійснюється через другий елемент І елемента 48, а його перший елемент І блокується. Блокується також другий елемент І другого 49 елемента 2І-АБО. Через його перший елемент І дозволяється проходження імпульсу по непровідній координаті тільки в тому випадку, коли на інверсному виході тригера 45 формується рівень лог. "1".

Нульовий стан тригера 46 забезпечує передачу на вихід другого 49 елемента 2І-АБО імпульсної послідовності, яка формується на виході п'ятого 42 елемента І. При цьому передача здійснюється через другий елемент І елемента 49, а його перший елемент І блокується. Блокується також другий елемент І першого 48 елемента 2І-АБО. Через його перший елемент І дозволяється проходження імпульсу по непровідній координаті тільки в тому випадку, коли на інверсному виході тригера 45 формується рівень лог. "1".

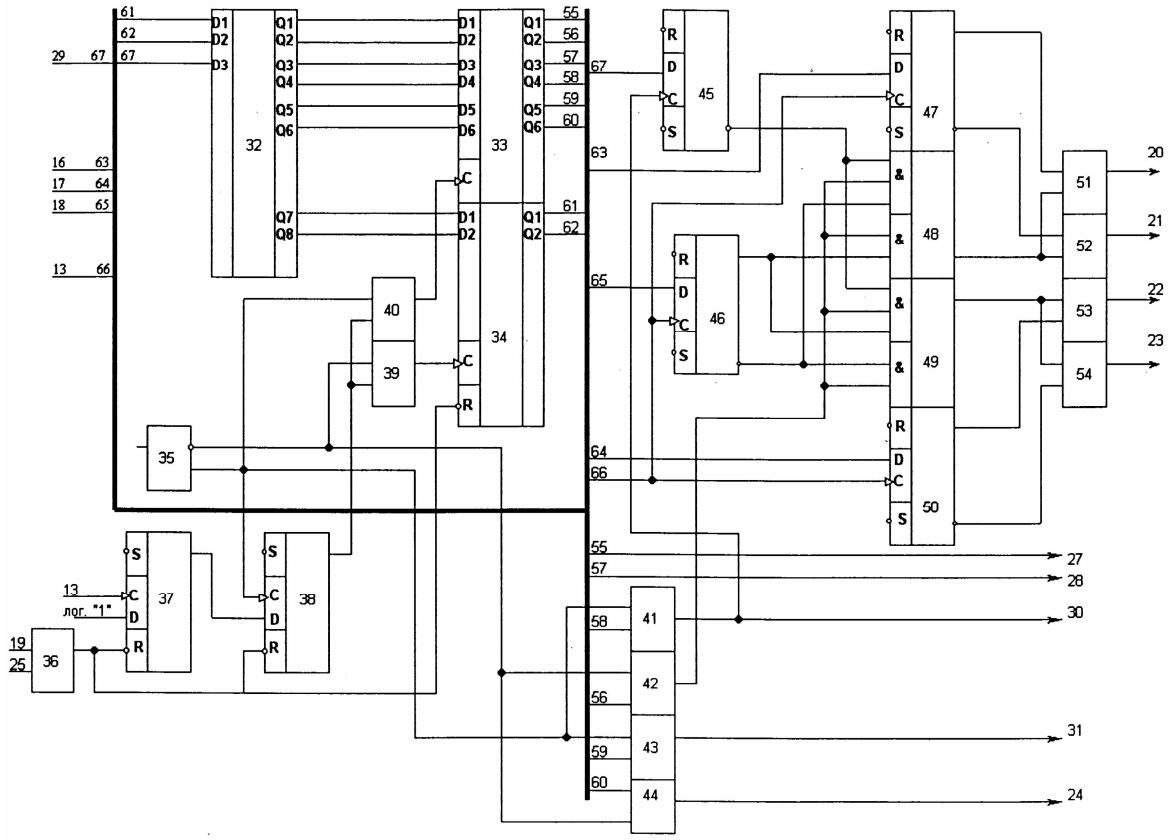
Одиничний стан п'ятого 47 тригера забезпечує передачу на вихід сьомого 51 елемента І імпульсної послідовності, яка формується на виході першого 48 елемента 2І-АБО, при цьому блокується восьмий 52 елемент І. Нульовий стан тригера 47 блокує сьомий 51 елемент І та забезпечує передачу на вихід восьмого 52 елемента І вищезгаданої імпульсної послідовності. Таким чином при додатному знаку приросту ΔX сигнали крокових приростів для осі X формуються на виході 20 інтерполятора (+X), а при від'ємному - на виході 21 інтерполятора (-X).

Одиничний стан сьомого 50 тригера забезпечує передачу на вихід дев'ятого 53 елемента І імпульсної послідовності, яка формується на виході другого 49 елемента 2І-АБО, при цьому блокується десятий 54 елемент І. Нульовий стан тригера 50 блокує дев'ятий 53 елемент І та забезпечує передачу на вихід десятого 54 елемента І вищезгаданої імпульсної послідовності. Таким чином при додатному знаку приросту ΔY сигнали крокових приростів для осі Y формуються на виході 22 інтерполятора (+Y), а при від'ємному - на виході 23 інтерполятора (-Y).

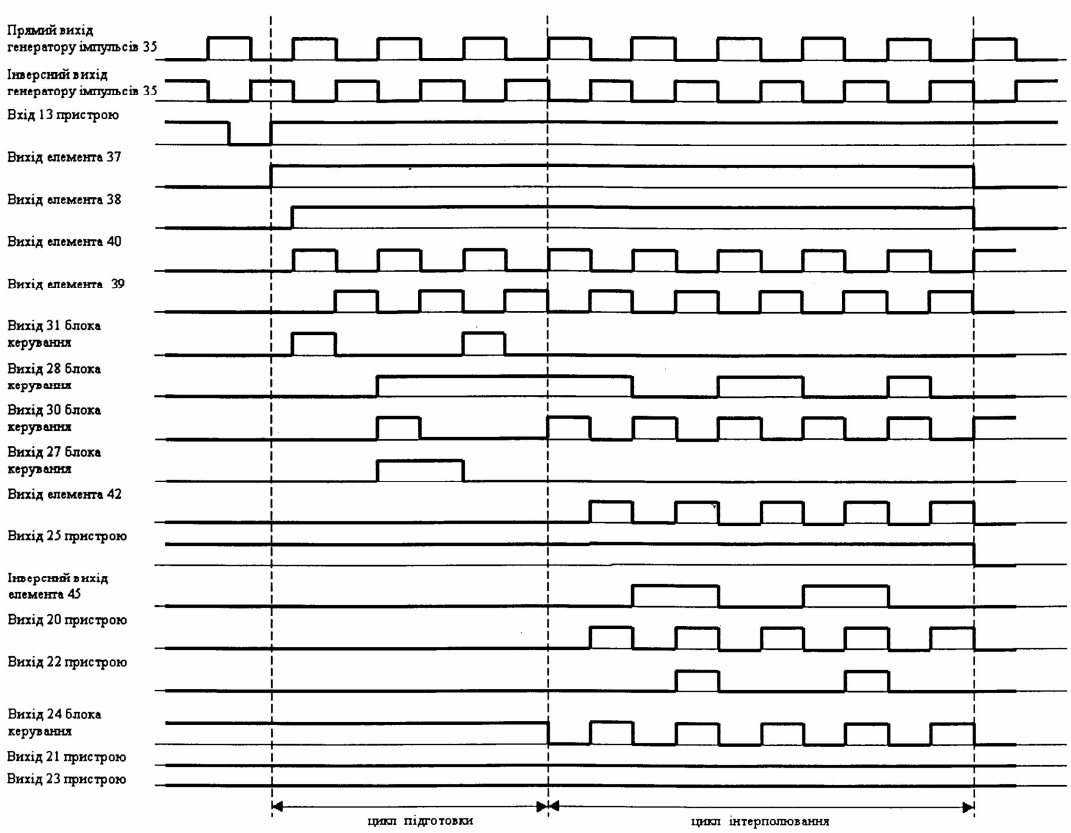
У якості лічильника 5 можна використати мікросхему К155ИЕ7.


12
13
14
15
16 17 18
27
11
1
2
3
4
5
24
6
28
20
21
22
23
7
8
p
29
30
31
9
10
лог."1"
25
19
26
25 24

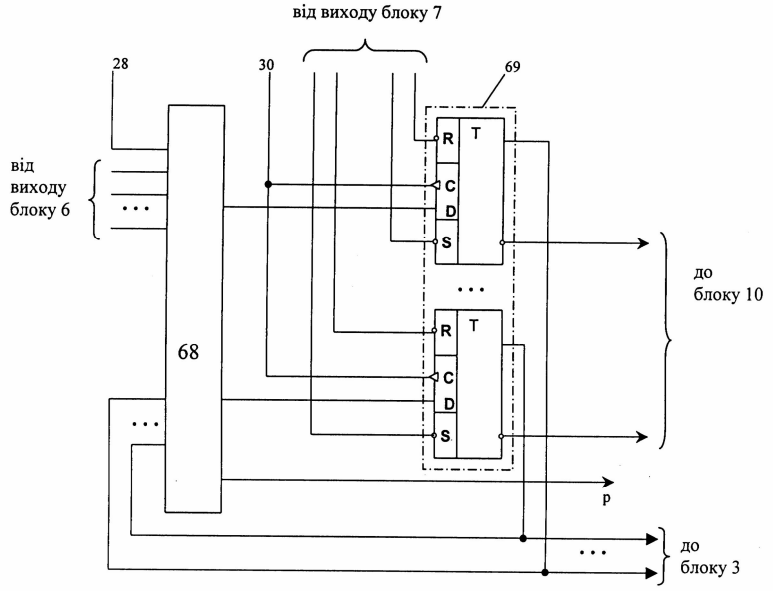
Фіг. 1


61
62
29 67
67
D1
D2
D3
32
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
16 63
17 64
18 65
13 66
33
34
C
R
55
56
57
58
59
60
61
62
40
39
35
45
46
47
48
49
50
51
52
53
54
20
21
22
23
64
66
27
28
30
31
24
41
42
43
44
37
38
36
13
лог. "1"
19
25

Фіг. 2



Фіг. 3



Фіг. 4

Тираж 50 екз.
Відкрите акціонерне товариство «Патент»
Україна, 88000, м. Ужгород, вул. Гагаріна, 101
(03122) 3 – 72 – 89 (03122) 2 – 57 – 03