



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

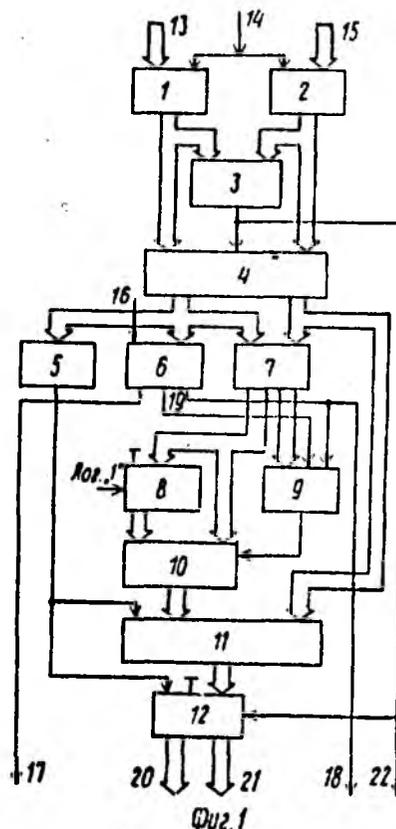
К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

2

(21) 4618543/24
 (22) 12.12.88
 (46) 30.01.91. Бюл. № 4
 (71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института
 (72) А.Н.Романюк и И.В.Гринчук
 (53) 621.503.55(088.8)
 (56) Авторское свидетельство СССР № 579599, кл. G 05 B 19/18, 1976.
 Авторское свидетельство СССР № 1310779, кл. G 05 B 19/18, 1987.

(54) ЦИФРОВОЙ ЛИНЕЙНЫЙ ИНТЕРПОЛЯТОР
 (57) Изобретение относится к автоматике и вычислительной технике, в частности к интерполирующим устройствам для преобразования кодового значения, соответствующего приросту функции, в линейно изменяющийся цифровой код, и может быть использовано в выводных графических устройствах с линейными и матричными органами регистрации. Цель изобретения - расширение функциональных возможно-



стей интерполятора за счет отработки горизонтальных и вертикальных отрезков прямых. Интерполятор содержит регистры 1 и 2 координатных приращений, блок 3 сравнения, входной коммутатор 4, блок 5 выделения нулевого состояния, блок 6 управления, делитель 7 координатных приращений, двоичный 8 и накопительный 9 сумматоры, коммутаторы 10 – 12. Отличительной особенностью предлагаемого интерполятора является возможность отработки координатных и вертикальных от-

резков прямых, что стало возможным за счет введения блока 5 выделения нулевого состояния и третьего 11 коммутатора. При нулевом меньшем приращении, что соответствует отработке горизонтальных и вертикальных отрезков прямых, нулевой управляющий сигнал с выхода блока 5 выделения нулевого состояния открывает третий коммутатор 11 для прохождения значения большего приращения с его второго входа на выход и последующей записи во внешнее устройство. 3 ил.

Изобретение относится к автоматике и вычислительной технике и может быть использовано в выводных графических устройствах с линейными и матричными органами регистрации, а также в станках с числовым программным управлением, в которых используются линейные и матричные исполнительные органы.

Целью изобретения является расширение функциональных возможностей интерполятора за счет обработки горизонтальных и вертикальных отрезков прямых.

На фиг. 1 представлена схема цифрового линейного интерполятора; на фиг. 2 – функциональная схема реализации блока управления; на фиг. 3 – пример воспроизведения интерполятором отрезка прямой с нулевым меньшим приращением.

В известных кодовых линейных интерполяторах не предусмотрена возможность воспроизведения вертикальных и горизонтальных отрезков прямых, поскольку алгоритм интерполирования предусматривает деление большего приращения на меньшее, а для отрезков с углом наклона, кратным 90° , меньшее приращение равно нулю, а следовательно, деление в этом случае невозможно.

В предлагаемом линейном интерполяторе за счет введения блока выделения нулевого состояния, а также третьего коммутатора предусмотрена возможность воспроизведения горизонтальных и вертикальных отрезков прямых за счет передачи их большего приращения на выход интерполятора и запрещения формирователя в конце цифрового сегмента элементарного приращения по ведомой координате.

Цифровой линейный интерполятор содержит первый 1 и второй 2 регистры координатных приращений, блок 3 сравнения, входной коммутатор 4, блок 5 выделения нулевого состояния, блок 6 управления, делитель 7 координатных приращений, двоич-

5 ный 8 и накапливающий 9 сумматоры, второй 10, третий 11 и первый 12 коммутаторы, первый информационный вход 13, управляющий вход 14 записи, второй информационный вход 15, вход 16 "Пуск", стробирующий выход 17, выход 18 "Конец интерполяции", второй выход 19 блока управления, первый 20 и второй 21 информационный выходы интерполятора и управляющий выход 22. Блок управления содержит формирователь 23 импульсов, элемент И 24, генератор 25 импульсов, триггеры 26 и 27, элементы И 28 и 29, счетчик 30 импульсов.

15 Первый 1 и второй 2 регистры координатных приращений служат для приема и хранения соответственно приращений ΔX и ΔY , определяющих заданный отрезок прямой. Значения приращений ΔX и ΔY поступают соответственно по первому 13 и второму 15 информационным входам.

20 Запись приращений в регистры 1 и 2 координатных приращений производится сигналом, поступающим по управляющему входу 14, являющимся третьим входом интерполятора. Блок 3 сравнения обеспечивает сравнение значений приращений, поступающих с выходов регистров 1 и 2 координатных приращений. Если $\Delta X > \Delta Y$, то приращение ΔY появляется на первом выходе выходного коммутатора 4, входы которого соединены с выходами регистров 1 и 2, а приращения ΔX – на втором выходе коммутатора 4. Если $\Delta X < \Delta Y$, то приращения на выходе коммутатора 4; управляемого сигналом с выхода блока 3 сравнения, меняются местами. Таким образом, на информационный вход блока 5 выделения нулевого состояния, блока 6 управления и первый вход делителя 7, соединенных с первым выходом коммутатора 4, всегда поступает меньшее из приращений, а на второй вход делителя 7 – большее. Управляющий вход 16 блока управления является входом

"Пуск" интерполятора. Блок 6, синхронизирующий работу устройства, соединен первым входом с выходом 17 интерполятора. Выход 17 является первым выходом интерполятора. По указанному выходу стробируются многоразрядные приращения, поступающие на второй 20 и третий 21 выходы интерполятора. На втором выходе блока 6 управления в процессе интерполяции формируются импульсы, под воздействием которых осуществляется микрооперация суммирования в накопительном сумматоре 9. Информационный вход накопительного сумматора соединен с вторым выходом делителя 7 координатных приращений. На третьем выходе блока 6 управления, соединенном с вторым управляющим входом накопительного сумматора 9 и четвертым выходом 18 интерполятора, формируется сигнал "Конец интерполирования отрезка".

Блок 5 выделения нулевого состояния обеспечивает выдачу нулевого управляющего сигнала при нулевом значении операции, поступающего с первого выхода выходного 4 коммутатора. Выход блока 5 выделения нулевого состояния соединен с управляющим входом третьего коммутатора 11 и с входом младшего разряда первого коммутатора 12. Вход блока 5 выделения нулевого состояния подключен к первому выходу второго коммутатора 4, информационному входу блока 6 управления и к первому входу делителя координатных приращений.

Первый вход делителя 7 координатных приращений соединен с первым выходом входного коммутатора 4, информационным входом блока 6 управления и входом блока 5 выделения нулевого состояния, а второй — с вторым выходом входного коммутатора 4. Первый выход блока 7 соединен с первым информационным входом двоичного сумматора 8 и первым входом второго коммутатора 10. Второй выход делителя 7 координатных приращений соединен с информационным входом накопительного сумматора 9. В делителе 7 осуществляется деление большего приращения на меньшее, например $\Delta X / \Delta Y$ (при $\Delta X \geq \Delta Y$). При этом целая часть отношения выставляется на первый выход делителя 7 координатных приращений, а дробная — на второй выход делителя 7.

Двоичный сумматор 8 служит для формирования увеличенной на единицу целой части отношения большего приращения к меньшему. Это достигается заземлением вторых информационных входов сумматора 8 и подключением входа переноса к уровню логической единицы. Поскольку значение

координатных приращений во время обработки заданного отрезка прямой не изменяется, а блоки 3, 4, 7 выполняются асинхронными, то на выходе сумматора 8 во время интерполяции будет сформировано значение $K+1$, где K — целая часть отношения большего приращения к меньшему. Указанное значение получается после записи координатных приращений в регистры 1 и 2 и выполнения операции деления (цикл подготовки) и остается неизменным до момента записи в регистры 1 и 2 координатных приращений новых исходных данных.

Накопительный сумматор 9 обеспечивает сложение (и хранение) в каждом интерполяционном такте дробной части отношения большего приращения к меньшему с значением дробной части предыдущей суммы, причем исходное состояние накопительного сумматора 9 — нулевое. Установка накопительного сумматора 9 в нулевое состояние обеспечивается сигналом логической единицы, сформированным на третьем выходе блока 6 управления. Указанный сигнал является сигналом "Конец интерполирования отрезка" и вырабатывается после выдачи на выход интерполятора многоразрядных приращений, которыми аппроксимирован заданный отрезок прямой. Суммирование значения предыдущей суммы со значением дробной части отношения большего приращения к меньшему производится передним фронтом сигнала, сформированного на втором выходе блока 6 управления, связанного с первым управляющим входом накопительного сумматора 9.

Второй коммутатор 10 служит для выдачи одного из многоразрядных приращений, сформированных на его входах, в зависимости от значения сигнала на выходе переполнения накопительного сумматора 9. Указанный выход сумматора 9 соединен с управляющим входом второго коммутатора 10. При отсутствии переполнения на выходе накопительного сумматора 9 на выход коммутатора 10 выдается значение целой части отношения большего приращения к меньшему, сформированное в цикле подготовки на первом информационном входе второго коммутатора 10. При наличии переполнения на выходе накопительного сумматора на выход второго коммутатора 10 выставляется увеличенное на единицу значение целой части отношения большего приращения к меньшему. Увеличенное на единицу значение целой части отношения большего приращения к меньшему формируется на выходе двоичного сумматора 8 и поступает на второй информационный вход второго коммутатора 10.

На первом входе третьего коммутатора 11 формируется значение приращения, равное K , при отсутствии сигнала переноса накапливающего сумматора, и $K+1$ при наличии сигнала переполнения. При передаче информации с первого входа коммутатора на его выход осуществляется при ненулевом меньшем приращении. В противном случае (при обработке горизонтальных и вертикальных отрезков прямых) осуществляется передача многоразрядного кода большего приращения со второго входа третьего коммутатора 11 на выход. Первый вход третьего коммутатора 11 подключен к выходу второго коммутатора, второй вход соединен со вторым входом входного коммутатора 4.

Первый коммутатор 12 служит для выдачи на регистрирующие органы (не показаны) значений многоразрядных приращений, которыми аппроксимирован отрезок прямой. Младший разряд первого информационного входа первого коммутатора 12 соединен с выходом тока выделения нулевого состояния, а остальные разряды заземлены.

Второй информационный вход первого коммутатора 12 соединен с выходом третьего коммутатора 11. Управляющий вход коммутатора 12 соединен с выходом блока 3 сравнения, осуществляющего сравнения координатных приращений. При $\Delta X > \Delta Y$ первый выход коммутатора 12 соединен с элементами регистрации горизонтального линейного (или матричного) органа регистрации, а второй — с счетчиком строк блока управления органом регистрации (не показано) при $\Delta X < \Delta Y$ первый выход коммутатора 12 соединен со счетчиком столбцов, а второй — с элементами регистрации вертикального линейного (или матричного) органа регистрации. Выход коммутатора 12 является вторым выходом интерполятора, а выход 21 — третьим выходом интерполятора. Стробирование многоразрядных приращений на втором и третьем выходах интерполятора осуществляется сигналом логической единицы на первом выходе 17 интерполятора, соединенного с первым выходом блока 6 управления. Четвертый выход 18 интерполятора соединен с третьим выходом блока 6 управления. Логическая единица на указанном выходе сигнализирует об окончании интерполяции отрезка прямой. Пятый выход 19 интерполятора определяет посредством исполнительного органа соотношение по модулю координатных приращений.

Реализация блока 6 управления в изобретении не отличается от его реализации в

устройстве-прототипе. На фиг. 2 представлена функциональная схема блока управления устройства-прототипа в случае отработки горизонтальных и вертикальных отрезков прямых.

Интерполятор работает следующим образом.

В регистры 1 и 2 записываются соответственно приращения ΔX и ΔY , задающие отрезок. В блоке 3 сравнения осуществляется сравнение величин ΔX и ΔY . При $\Delta X > \Delta Y$ на выходе блока 3 сравнения появляется уровень логической единицы, который обеспечивает перекоммутацию приращений ΔX и ΔY , поступающих с первого 1 и второго 2 регистров координатных приращений, соответственно на второй и первый выходы входного коммутатора 4. При $\Delta X < \Delta Y$ на выходе блока 3 сравнения появляется уровень логического нуля, обеспечивающий передачу значений ΔX и ΔY , поступающих соответственно на первый и второй входы входного коммутатора 4, на его первый и второй выходы. Таким образом, на информационный вход блока 6 управления, первый вход делителя 7 и блока 5 выделения нулевого состояния всегда поступает меньшее из приращений, а на второй вход делителя 7 — большее. В делителе 7 осуществляется деление большего приращения на меньшее, причем целая часть отношения большего приращения к меньшему выставляется на первом выходе делителя 7 а дробная часть — на втором выходе делителя 7. Значение целой части отношения большего приращения к меньшему поступает на информационный вход двоичного сумматора 8 и складывается со значением логической единицы, поступающей на вход переноса сумматора 8. Поскольку вторые информационные входы двоичного сумматора заземлены, то на выходе двоичного сумматора 8 будет сформировано значение $K+1$, где K — целая часть отношения большего приращения к меньшему. Поскольку блоки 4 и 7 асинхронны, то значение $K+1$ на выходе блока 8 будет неизменным до момента записи новых значений приращений в регистры 1 и 2. Нулевой уровень сигнала "Пуск" на входе 16 интерполятора является активным сигналом записи в блок 6 управления значения меньшего приращения, определяющего число тактов в полном цикле работы интерполятора. Единичный уровень на третьем выходе блока 6 управления удерживает накопительный сумматор 9 в нулевом состоянии. Указанные действия предшествуют процессу интерполяции и составляют цикл подготовки.

Интерполирование заданного отрезка прямой начинается с появлением логической единицы на входе 16 "Пуск" интерполятора. При этом на третьем выходе блока 6 управления появляется сигнал логического нуля, не являющийся активным по отношению к сигналу установки в нулевое состояние накопительного сумматора 9. На втором выходе блока 6 управления формируется серия импульсов, число которых равно меньшему приращению. С появлением переднего фронта каждого из указанных импульсов в накопительном сумматоре 9 выполняется микрооперация суммирования дробной части отношения большего приращения к меньшему со значением дробной части предыдущей суммы. При отсутствии переполнения из дробных разрядов сумматора 9 на выход коммутатора 10 передается значение многоразрядного приращения с его первого входа. Указанное значение равно целой части отношения большего приращения к меньшему. При возникновении переполнения из дробных разрядов сумматора 9 коммутатор 10 обеспечивает передачу значения $K+1$, сформированного на втором входе коммутатора 10, на его выход. В зависимости от сигнала на управляющем входе третьего коммутатора 11, поступающего с выхода блока 5 выделения нулевого состояния, осуществляется передача сигнала на выход третьего коммутатора 11 с первого или второго его входов. Причем при единичном значении на управляющем входе третьего коммутатора 11 осуществляется передача сигнала на выход третьего коммутатора 11 с первого или второго его входов. Причем, при единичном значении на управляющем входе третьего коммутатора 11 осуществляется передача сигнала с его первого входа на выход. В зависимости от значения сигнала на выходе блока 3 сравнения осуществляется передача значения K или $K+1$ с выхода коммутатора 10 на второй 20 или третий 21 выход интерполятора. При $\Delta X > \Delta Y$ первый выход коммутатора 12 соединен с элементами регистрации строк блока управления органом регистрации (не показаны), при $\Delta X < \Delta Y$ первый выход коммутатора 12 соединен со счетчиком столбцов, а второй — с элементами регистрации вертикального линейного (или матричного) органа регистрации. Стробирование многоразрядных приращений, поступающих на выходы 20 и 21 интерполятора, осуществляется сигналом, сформированным блоком 6 управления на его первом выходе. Для обеспечения принципа единой временной организации сигналы на первом и втором выходах блока 6 управления формируются в противофазе. При этом во время действия положительно-

го импульса на втором выходе блока 6 управления закативаются все переходные процессы, связанные с суммированием в блоке 9 и коммутацией полученных значений в блоках 10 — 12. При нулевом уровне сигнала (отсутствие импульса) на втором выходе блока 6 управления на его первом выходе формируется импульс, стробирующий значения многоразрядных приращений. При этом на одном из выходов коммутатора 12, соответствующем ведущей координате, выставляется значение K или $K+1$, а на другом, соответствующем ведомой координате, значение 1. Значения многоразрядных приращений K или $K+1$ поступают на регистрационные элементы (не показаны), а значение единицы — в счетчик строк или счетчик столбцов, причем последнее отрабатывается после отработки приращений K или $K+1$ по ведущей координате. Число тактов в полном цикле работы интерполятора не зависит от соответствия приращений и равно величине меньшего из приращений.

$$T_{\text{цикла}} = \begin{cases} \Delta X, & \text{при } \Delta X < \Delta Y \\ \Delta Y, & \text{при } \Delta X > \Delta Y \end{cases}$$

Сигнал "Конец интерполирования отрезка" вырабатывается в блоке 6 управления после определения равенства между числом заданных управляющих тактов и величиной меньшего из приращений.

Рассмотрим работу интерполятора в случае отработки вертикальных (горизонтальных) отрезков прямых. В данном случае меньшее приращение равно нулю. На выходе блока 5 выделения нулевого состояния выставляется нулевой управляющий сигнал, под воздействием которого осуществляется передача значения большего приращения со второго входа третьего коммутатора 11 на его выход. Нулевой сигнал с выхода блока 5 выделения нулевого состояния поступает также на младший разряд первого входа первого коммутатора 12, что приводит к запрещению элементарного приращения на ведомой координате в пределах формируемого цифрового сегмента.

При нулевом, меньшем приращении блок 6 управления обеспечивает выдачу единичного импульса, стробирующего многоразрядное приращение. В случае отработки вертикальных (горизонтальных отрезков прямых последние состоят только из одного цифрового сегмента (многоразрядного приращения).

Реализация интерполятора не отличается от реализации устройства-прототипа. Следует только отметить особенность реализации выделенных блоков.

Блок 5 выделения нулевого состояния может быть выполнен различными способами, в частности в качестве блока 5 может быть использована многовходовая схема, выполняющая логическую схему ИЛИ. При этом в качестве блока 5 выполнения нулевого состояния могут служить микросхемы К155ЛЛ1, К555ЛЛ1 и другие. Коммутатор 11 может быть выполнен различными способами. Возможно использование микросхемы К531КП11П.

Работа блока 6 управления при ненулевом меньшем приращении не отличается от работы в устройстве-прототипе.

После записи приращений, определяющих аппроксимируемый отрезок прямой, поступает сигнал "Пуск" на вход 16 интерполятора. Под воздействием указанного сигнала в счетчике 30 фиксируется нулевое значение меньшего приращения и триггер 26 устанавливается в состояние логической единицы. Передним фронтом импульса, поступающего с прямого выхода генератора 25 импульсов, триггер 27 устанавливается в состояние логической единицы, поскольку на его информационный вход поступает уровень логической единицы с прямого выхода первого триггера 26. Это, в свою очередь, разрешает прохождение импульса с выхода генератора 25 импульсов на выходы элементов 28 и 29. При переходе счетчика 30 с нулевого состояния в состояние 2^{n-1} , где n — разрядность счетчика, на его выходе формируется сигнал переноса, который приводит к установке в нулевое состояние первого триггера 26. С появлением переднего фронта импульса от генератора 25 триггер 27 устанавливается в нулевое состояние, запрещая прохождение импульсов на выходы элементов И 28 и 29. Таким образом при нулевом меньшем приращении обеспечивается импульс на выходе элемента И 29, который стробирует выходное многоуровневое приращение (фиг. 3). В устройстве-прототипе не предусмотрена интерполяция отрезков прямых с нулевым меньшим приращением.

В предлагаемом техническом решении за счет введения блока выделения нулевого состояния и третьего коммутатора расширены функциональные возможности линейного интерполятора возможностью обработки горизонтальных и вертикальных отрезков прямых.

Ф о р м у л а и з о б р е т е н и я

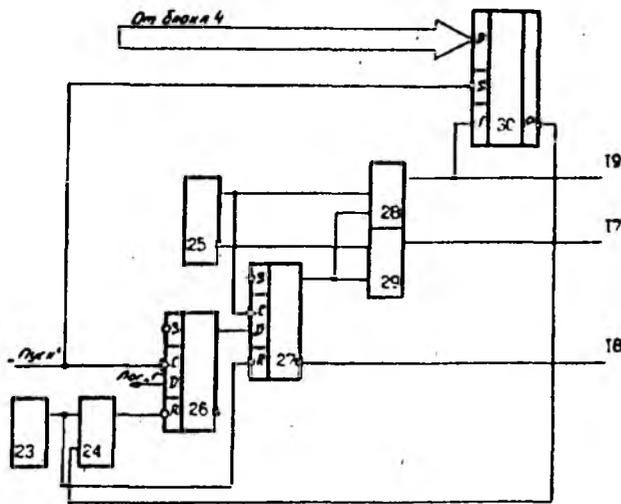
Цифровой линейный интерполятор, содержащий двоичный и накапливающий сумматоры, входной коммутатор, блок сравнения, блок управления, делитель коор-

динатных приращений, первый коммутатор, второй коммутатор, первый и второй регистры координатных приращений, информационные входы которых являются соответственно первым и вторым информационными входами интерполятора, выходы регистров координатных приращений подключены соответственно к информационным входам входного коммутатора и к первой и второй группам входов блока сравнения, выход которого соединен с управляющими входами первого и входного коммутаторов, первый информационный выход входного коммутатора соединен с информационным входом блока управления и первым входом делителя координатных приращений, а второй информационный выход входного коммутатора подключен к второму входу делителя координатных приращений, первый информационный вход второго коммутатора подключен к первому выходу делителя координатных приращений и первому информационному входу двоичного сумматора, второй информационный вход второго коммутатора соединен с выходом двоичного сумматора, а управляющий вход — с выходом переноса накапливающего сумматора, информационный вход которого соединен с вторым выходом делителя координатных приращений, управляющие входы разрешения суммирования и останова соответственно, накапливающего сумматора подключены соответственно к второму и третьему выходам блока управления, второй информационный вход двоичного сумматора подключен к общей шине, а вход переноса подключен к шине логической единицы, старшие разряды первого информационного входа первого коммутатора подключены к общей шине, первый и третий выходы блока управления являются соответственно стробирующим выходом и входом "Конец интерполяции" интерполятора, первый и второй выходы первого коммутатора являются соответственно первым и вторым информационными выходами интерполятора, выход блока сравнения является управляющим выходом интерполятора, управляющий вход записи интерполятора подключен к управляющим входам записи первого и второго регистров координатных приращений, а вход "Пуск" интерполятора соединен с управляющим входом блока управления, о т л и ч а ю щ и й с я тем, что, с целью расширения функциональных возможностей интерполятора за счет обработки горизонтальных и вертикальных отрезков прямых, в него введен блок выделения нулевого состояния меньшего приращения и третий коммутатор, первый информационный вход

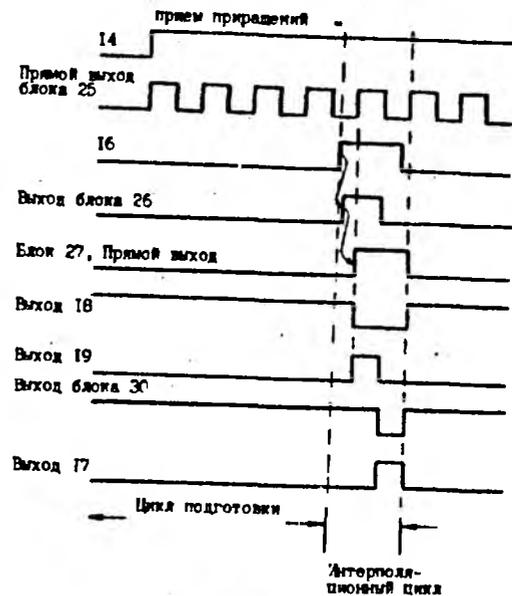
которого подключен к выходу второго коммутатора, второй информационный вход соединен с вторым выходом входного коммутатора и вторым входом делителя координатных приращений, выход третьего коммутатора подключен к второму информационному входу первого коммутатора, младший разряд первого информационного

5

входа подключен к управляющему входу третьего коммутатора и выходу блока выделения нулевого состояния младшего приращения, вход которого соединен с первым информационным выходом входного коммутатора, информационным входом блока управления и первым входом делителя координатных приращений.



Фиг. 2



Фиг. 3

Редактор Т. Парфенова

Составитель И. Швец
Техред М. Моргентал

Корректор М. Пожо

Заказ 188

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101