



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

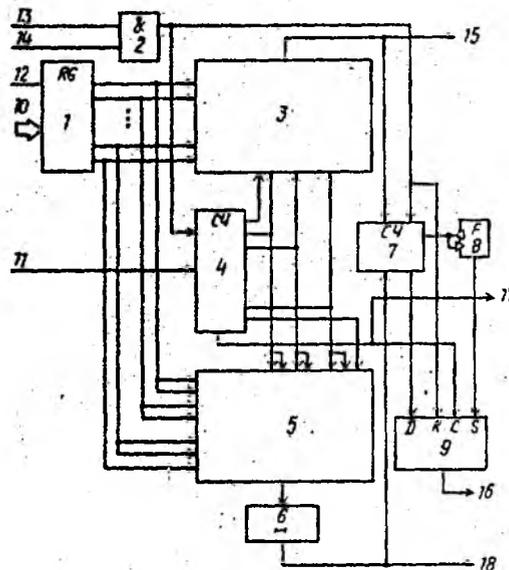
ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4629510/24-24
(22) 02.01.89
(46) 23.11.90. Бюл. № 43
(71) Специальное конструкторско-технологическое бюро "Модуль" Винницкого политехнического института
(72) А.П. Стахов, В.А. Лужецкий, А.Н. Романюк и Н.В. Николаева
(53) 681.3 (088.8)
(56) Авторское свидетельство СССР № 1357956, кл. G 06 F 7/64, 1987.
Данчев В.П. Цифрочастотные вычислительные устройства. -М.: Энергия, 1976, с. 24, фиг.14.

(54) **ЦИФРОЧАСТОТНЫЙ ИНТЕГРАТОР**
(57) Изобретение относится к вычислительной и информационно-измерительной технике, а именно к системе автоматического управления, и может найти применение в системах числового программного управления, а также в измерительных и вычислительных устройствах. Цель изобретения -

повышение достоверности интегрирования. Цифровой интегратор содержит регистр 1 управляющего кода, элемент И 2, первый блок 3 формирования последовательности импульсов, первый счетчик 4, второй блок 5 формирования последовательности импульсов, элемент 6 задержки, счетчик 7, одно-вибратор 8 и D-триггер 9. По значению управляющего кода, представленного в минимальной форме и хранящегося в регистре управляющего кода, блоками 3 и 5 формируются две эквивалентные по числу импульсов за цикл интегрирования последовательности, поступающие соответственно на суммирующий и вычитающий входы счетчика 7. Нулевое состояние второго счетчика 7, фиксируемое по окончании цикла интегрирования триггером 9, указывает о правильности интегрирования. При наличии недопустимых ситуаций в формировании частотно-импульсных последовательностей на выходах 10 и 18 осуществляется установка триггера в единичное состояние. 1 ил.



(19) SU (11) 1608708 A1

Изобретение относится к вычислительной и информационно-измерительной технике, а именно к системам автоматического управления, и может найти применение в системах числового программного управления, а также в измерительных и вычислительных устройствах.

Целью изобретения является повышение достоверности интегрирования.

На чертеже представлена структурная схема предлагаемого интегратора.

Цифрочастотный интегратор содержит регистр 1 управляющего кода, элемент И 2, первый блок 3 формирования последовательности импульсов, первый счетчик 4, второй блок 5 формирования последовательности импульсов, элемент 6 задержки, второй счетчик 7, одновибратор 8, D-триггер 9, входы 10-14, выходы 15-18. В интеграторе разрядность блоков определяется разрядностью n регистра 1 управляющего кода и имеет следующие значения: счетчик 4 - $(n+1)$, блок 3 формирования последовательности импульсов - n ; блок 5 формирования последовательности импульсов - $2(n-1)+1$.

Повышение достоверности интегрирования достигается за счет формирования двух эквивалентных по численности за цикл интегрирования последовательности. Отличие от нуля разности этих последовательностей показывает на наличие ошибки.

Интегратор работает следующим образом.

По включении питания на входе 13 и при наличии сигнала на входе 14 начальной установки интегратора вырабатывается импульс отрицательной полярности, под воздействием которого счетчики 4 и 7 и D-триггер 9 устанавливаются в состояние логического "0". На вход 10 интегратора от внешнего устройства поступает значение управляющего кода в минимальной форме, которое записывается в регистр 1 при поступлении активного уровня сигнала записи на вход 12.

На вход 11 интегратора поступает опорная импульсная последовательность, под воздействием которой на импульсных выходах счетчика 4 формируются импульсы, числа которых за цикл пересчета счетчика 4 равны весам фибоначчиевой системы счисления. Частотные потоки с выхода первого фибоначчиевого счетчика 4 отбираются блоком 3 и суммируются. Отбор импульсов блоками 3 и 5 производится с различных разрядов первого счетчика 4, при этом формируются две эквивалентные по числу импульсов последовательности.

Контроль работы интегратора осуществляется следующим образом.

Импульсы с выхода блока 3 формирования последовательности импульсов поступают на суммирующий вход счетчика 7, а импульсы с выхода блока 5 формирования последовательности импульсов - на вычитающий вход счетчика 7.

Поскольку частотные последовательности с выходов блоков 3 и 5 эквивалентны по числу импульсов, то по окончании цикла интегрирования состояние счетчика 7 при правильной работе интегратора должно быть нулевым.

Состояние счетчика 7 по окончании цикла интегрирования фиксируется триггером 9. Для этого вход переполнения счетчика 7 подключен к D-входу триггера 9, а управляющий C-вход триггера 9 - к выходу переполнения счетчика 4 и выходу 17 интегратора.

При правильной работе интегратора по окончании цикла интегрирования на выходе переполнения счетчика 7 появляется уровень логического "0", указывающий на нулевое состояние счетчика 7. Активным уровнем сигнала переполнения счетчика 4, возникающего при окончании цикла интегрирования, значение сигнала переполнения счетчика 7 фиксируется в триггере 9.

Логическая "1" на выходе 16 сигнализирует о неправильной работе интегратора.

Счетчик 7, элемент 6 задержки, одновибратор 8, D-триггер 9 образуют узел контроля интегрирования. Элемент 6 задержки предназначен для временного сдвига импульсной последовательности с выхода блока 3. За счет этого обеспечивается последовательное, один за другим поступление кодов с блоков 3 и 5 формирования последовательности импульсов на суммирующий и вычитающий входы счетчика 7 при их одновременной выдаче. Если на счетчик 7 подано различное число импульсов от блоков 3 и 5, одновибратор 8 вырабатывает импульс отрицательной полярности, который устанавливает триггер 9 в единичное состояние. Это сигнализирует о наличии ошибки.

Ф о р м у л а и з о б р е т е н и я

Цифрочастотный интегратор, содержащий два счетчика и первый блок формирования последовательности импульсов, выход которого соединен с первым выходом интегратора, о т л и ч а ю щ и й с я т е м , ч т о , с целью повышения достоверности интегрирования, в него дополнительно введен регистр управляющего кода, элемент И, второй блок формирования последовательности импульсов, одновибратор, элемент

задержки и D-триггер, D-вход которого подключен к выходу переполнения второго счетчика, а С-вход D-триггера подключен к выходу переноса первого счетчика и выходу конца интегрирования интегратора, R-вход D-триггера соединен с установочными входами первого и второго счетчиков и с выходом элемента И, первый и второй входы которого являются первым и вторым входами начальной установки интегратора, вход записи управляющего кода которого соединен с управляющим входом регистра управляющего кода, выход l-го ($l = 1 \dots n$, где n — количество разрядов входного кода разряда которого соединен с l-м разрядом первой группы входов первого логического блока и 2l-м и (2l-1)-м разрядами, кроме последнего, входов первой группы второго блока формирования последовательности импульсов, а выход разряда регистра соединен с последним разрядом первой группы входов второго блока формирования последовательности

импульсов, входы (2l-1)-го и 2l-го разрядов второй группы входов которого, кроме n-го, соединены с l+1 выходами первого счетчика, l-й выход которого, кроме n-го, соединен с l-м входом второй группы входов первого блока формирования последовательности импульсов, выход которого соединен с суммирующим входом второго счетчика, вычитающий вход которого соединен с вторым выходом интегратора и выходом элемента задержки, вход которого соединен с выходом второго блока формирования последовательности импульсов, S-вход D-триггера соединен с выходом одновибратора, вход которого соединен с выходом второго счетчика, счетный вход первого счетчика соединен с входом синхронизации устройства, а вход записи регистра управляющего кода — с информационным входом интегратора, вход n-го разряда второй группы входов второго логического блока соединен с выходом n-го разряда первого счетчика.

Редактор И. Шмакова

Составитель А. Тимофеев
Техред М. Моргентал

Корректор А. Обручар

Заказ 3620

Тираж 558

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101