



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

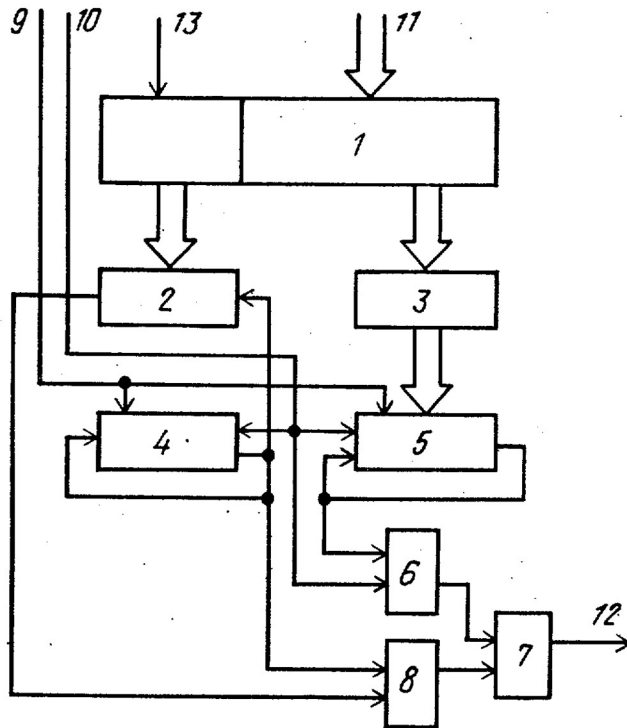
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4056036/24-24
(22) 17.04.86
(46) 07.12.87. Бюл. № 45
(71) Винницкий политехнический институт
(72) А. М. Петух, А. Н. Романюк,
Д. Т. Ободник и Д. Л. Дрейзис
(53) 681.325(088.8)
(56) Цифровые аналоги для систем автоматического управления. Под ред. А. А. Воронова, М.: Изд. АН СССР, 1960, с. 58, фиг. 38.

Авторское свидетельство СССР
№ 815726, кл. G 06 F 7/52, 1981.

(54) ЦИФРОВОЙ ИНТЕГРАТОР ПОСЛЕДОВАТЕЛЬНОГО ПЕРЕНОСА

(57) Изобретение относится к области автоматики и вычислительной техники и может найти применение в системах числового программного управления, а также в измерительных и вычислительных устройствах. Цель изобретения - повышение быстродействия. Устройство содержит регистр 1 управляющего кода, управляемый делитель 2 частоты, блок 3 памяти таблицы приращений, сдвиговые регистры 4, 5, элементы И 6, 8, элемент ИЛИ 7. Цель достигается за счет замены операций сдвига. 1 ил.



Изобретение относится к вычислительной и информационно-измерительной технике, а именно к системам автоматического управления и может найти применение в системах числового программного управления, а также в измерительных и вычислительных устройствах.

Цель изобретения - повышение быстродействия интегратора.

На чертеже представлена структурная схема интегратора.

Интегратор содержит регистр 1 управляющего кода, управляемый делитель 2 частоты, блок 3 памяти таблицы приращений, первый 4 и второй 5 сдвиговые регистры, первый элемент И 6, элемент ИЛИ 7, второй элемент И 8, вход 9 начальной установки интегратора, информационный вход 10 интегратора, входы 11 управляющего кода интегратора, выход 12 интегратора, вход 13 импульса записи интегратора.

Изобретение реализует цифровой интегратор на основе сдвигового регистра, закон функционирования которого совершенно аналогичный закону функционирования двоичного умножителя. Для последнего характерно следующее:

- а) число выходных импульсов после поступления x входных равно

$$y = \sum_{i=0}^{M-1} \left[\text{ent} \frac{x + 2^i}{2^{i+1}} \right] \cdot a_{k-i},$$

где a_i - значение цифр управляющего кода, причем $a_i = 0$ или 1;

- б) при сведении импульсов с выходов делителя частоты двоичного умножителя в один канал не происходит наложения импульсов один на другой;

- в) число выходных импульсов интегратора за время T равно

$$y = f_{\text{вх}} \int x dt$$

Интегратор работает следующим образом.

Управляющее слово, определяемое числом импульсов, которые необходимо сформировать на выходе 12 интегратора за 2^M входных импульсов, поступающих на второй вход 10 интегратора, записывается в регистр 1 с входов 11 при импульсе на выходе. Старшие $M-N$

разряды управляющего слова поступают на входы блока 3, где по указанному адресу хранится значение многоразрядного приращения, периодически повторяющегося при формировании заданной частотно-импульсной последовательности. Импульсы-вставки, которые отсутствуют в периодически повторяющейся частотной последовательности, получаемой при циклическом сдвиге многоразрядного приращения, записанного в блоке 3, формируются N -разрядным делителем 2. При значении логического нуля на входе 9 старший разряд сдвигового регистра 4 принимает значение логической единицы, а остальные разряды регистра - значение логического нуля. При значении логического нуля на входе 9 интегратора в сдвиговый регистр 5 записывается значение информационного слова, поступающего с блока 3. При значении логической единицы на входе интегратора сдвиговые регистры 4 и 5 переключаются с режима установки в режим сдвига, причем сдвиговые регистры 4 и 5 выполняются циклическими.

Таким образом, в сдвиговом регистре 4 осуществляется циклический сдвиг логической единицы, записанной в режиме установки в старший разряд регистра, а в сдвиговом регистре 5 - циклический сдвиг информационного слова, поступающего с блока 3 памяти. Разрядности сдвиговых регистров 4 и 5 совпадают и равны 2^{M-N} .

В блоке 3 хранятся значения информационных слов, циклический сдвиг которых обеспечивает формирование частотно-импульсной последовательности с заданной структурной повторяемостью.

Старшие $M-N$ разряды управляющего слова, хранящегося в регистре 1, определяют адрес соответствующего информационного слова, единичные значения которого определяются согласно выражению

$$p = 2^{(i-1)} (2k-1) \cdot A_i,$$

где p - номер разряда информационного слова, формируемого на выходе блока 3;

i - номер разряда входного управляющего слова, причем $i = 1$ соответствует старший M -разряд управляющего слова;

$i = 2$ - ($M-1$)-разряд управляющего слова и т.д. (т.е. индекс i определяет порядковый номер рассматриваемого разряда управляющего слова по отношению к его старшему разряду);

A_i - равное "0" или "1", соответствует значению i -го разряда входного управляющего слова;

k - текущий параметр; $k=1,2,3,\dots$

Значение p выбирают с интервала $0 \leq p \leq M-N$. Так при значении управляющего слова, равном $13_{10} = 01101_2$, $M=5$, $N=3$ на выходе блока 3 формируется значение 0010. Младшие три разряда (в данном случае 101) поступают на двоичный умножитель, который формирует импульсы-вставки.

Частота следования импульсов на делитель 2 меньше входной частоты импульсов, поступающих на вход 10 интегратора в 2^{M-N} раз.

Формирование выходной частотно-импульсной последовательности осуществляется циклическим преобразованием информационного слова, поступающего с блока 3, с параллельной формы в последовательную и добавлением в определенные тактовые моменты времени импульсов-вставок, формируемых двоичным умножителем.

Рассмотрим более подробно работу интегратора на числовом примере. Пусть разрядность предлагаемого цифрового интегратора равна пяти, т.е. $M=5$. Следовательно, за 2^5 тактов интегратор должен сформировать число импульсов, равное управляющему коду, подаваемому на вход 11 и хранящемуся в регистре 1. Например, если на вход 11 поступает управляющий код, равный 13, то за 32 такта предлагаемый интегратор должен сформировать тринадцать импульсов на выходе 12.

Выходная последовательность предлагаемого интегратора точно должна соответствовать выходной последовательности двоичного умножителя (интегратора последовательного переноса) при том же управляющем коде. Обозначим наличие импульса в тактовый момент времени в выходной последовательности через "1", а отсутствие импульса через "0". Выходная последовательность 5-разрядного двоичного ум-

ножителя при управляющем коде 13 имеет вид $00110010001100110011001000110010$.

Разобьем указанную последовательность на восемь групп:

0011 0010 0011 0011 0011 0010 0011
0010 (1)

Из этого следует, что указанные группы идентичны в течение первых трех тактов внутри каждой группы. Это особенность работы двоичного умножителя, поскольку импульсы в последнем снимаются с выходов обычного двоичного счетчика, причем импульсы, с выходов счетчика повторяются через строго определенные промежутки времени. Воспроизвести указанные группы за исключением импульсов в четвертом такте можно путем циклического сдвига в сдвиговом регистре слова 0010. Импульсы в четвертом такте в каждой группе последовательности (1) формируются в определенные промежутки времени.

Запишем в двоичной форме управляющий код, равный 13

$13_{10} = 01101_2$

Младшие три разряда управляющего кода равны 101, т.е. пяти. Это означает, что указанные разряды принимают участие в формировании пяти импульсов. Совершенно очевидно, что старшие два разряда обеспечивают формирование восьми импульсов ($01000_2 = 8_{10}$).

Сопоставим указанное с формируемой двоичным умножителем частотной последовательностью. Импульсы в 1-3-м тактах каждой группы определяются старшими двумя разрядами управляющего кода 13. Их общая численность равна восьми. Импульсы в четвертом такте каждой группы определяются младшими тремя разрядами управляющего кода. Их пять (в 1, 3, 4, 5, 7 группах). Указанная особенность следует из закона функционирования двоичного умножителя.

В предлагаемом интеграторе старшие два разряда управляющего кода (в нашем случае 01, поскольку $13_{10} = 01101$) поступают из регистра 1 на блок 3, где по адресу 01 записано слово 0010. Очевидно, что цикличес-

ким сдвигом последнего в сдвиговом регистре 5 мы полностью симитируем работу двоичного множителя от старших двух разрядов при управляющем коде 01101. При этом за 32 такта, т.е. за восемь полных сдвига слова 0010 мы получаем восемь импульсов. Младшие три разряда управляющего кода (разряды 101) с регистра 1 поступают на 3-разрядный двоичный делитель, который за 32 такта входного сигнала, поступающего на вход 10 интегратора, формирует пять импульсов, поскольку управляющий код для него также равен пяти. Делитель 2 должен формировать для каждой группы из четырех импульсов импульс, совпадающий во времени с четвертым импульсом в группе (1). Очевидно, что входная частота для делителя 2 должна быть ниже частоты импульсов на входе 10 интегратора и входе сдвига регистра 5 в четыре раза, поскольку делитель 2 формирует один импульс для группы из четырех импульсов, формируемых на выходе сдвигового регистра 4. Это в свою очередь и определяет разрядность делителя 2, равную трем, поскольку последний формирует пять импульсов (для рассматриваемого примера) для восьми групп ($8 = 32:4$).

Для того, чтобы просинхронизировать время формирования импульсов двоичным делителем 2 к началу четвертого импульса, в рассмотренных группах (1) вводится сдвиговый регистр 4 и элемент 8.

Ф о р м у л а и з о б р е т е н и я

Цифровой интегратор последовательного переноса, содержащий М-разрядный регистр управляющего кода (М - разрядность управляющего слова), уп-

равляемый делитель частоты, причем входы управляющего кода интегратора соединены с информационными входами регистра управляющего кода, вход синхронизации которого соединен с входом импульса записи интегратора, выходы младших разрядов регистра управляющего кода соединены с управляющими входами управляемого делителя частоты, о т л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, он содержит блок памяти таблицы приращений, два сдвиговых регистра, два элемента И, элемент ИЛИ, причем информационный вход интегратора соединен с входами синхронизации первого и второго сдвиговых регистров и первым входом первого элемента И, выход которого соединен с первым входом элемента ИЛИ, выход которого соединен с выходом интегратора, вход начальной установки интегратора соединен с управляющими входами первого и второго сдвиговых регистров, выход старшего разряда первого сдвигового регистра соединен с информационным входом младшего разряда первого сдвигового регистра, первым входом второго элемента И и информационным входом управляемого делителя частоты, выход которого соединен с вторым входом второго элемента И, выход которого соединен с вторым входом элемента ИЛИ, выходы старших разрядов регистра управляющего кода соединены с адресными входами блока памяти таблицы приращений, выходы которого соединены с информационными входами второго сдвигового регистра, выход старшего разряда которого соединен с информационным входом младшего разряда этого же регистра и вторым входом первого элемента И.

Составитель А. Чеканов

Редактор Л. Лангазо

Техред Л. Сердюкова

Корректор Л. Пилипенко

Заказ 6000/50

Тираж 671

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4