



УКРАЇНА

(19) UA (11) 15896 (13) U
(51) МПК (2006)
H03K 5/22
G05B 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) БУФЕРНИЙ КАСКАД

1

2

(21) u200601114

(22) 06.02.2006

(24) 17.07.2006

(46) 17.07.2006, Бюл. № 7, 2006 р.

(72) Азаров Олексій Дмитрович, Захарченко Сергій Михайлович, Лукашук Олександр Олександрович

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Буферний каскад, який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідна шина з'єднана з базами четвертого та п'ятого транзисторів, колектори яких з'єднані з колекторами шостого та третього транзисторів відповідно, та емітерами сьомого та другого транзисторів відповідно, база та колектор першого транзистора об'єднані і приєднані до шини додатного живлення через перше джерело струму, а також до бази другого транзистора, база сьомого транзистора з'єднана з шиною від'ємного живлення через друге джерело струму, колектори другого

та сьомого транзисторів з'єднані з шинами додатного та від'ємного живлення відповідно, який **відрізняється** тим, що у нього введені дев'ятий, десятый, одинадцятий, дванадцятий транзистори, причому база кожного з них з'єднана з його колектором, емітер восьмого транзистора з'єднаний з базою сьомого транзистора та першим виводом другого джерела струму, емітери дев'ятого та десятого транзисторів з'єднані з емітерами четвертого та п'ятого транзисторів відповідно, бази та колектори дев'ятого та десятого транзисторів з'єднані з базами третього та шостого транзисторів відповідно, а також база та колектор дев'ятого транзистора з'єднані з емітером першого транзистора, база та колектор десятого транзистора з'єднані з базою та колектором восьмого транзистора, емітери третього та шостого транзисторів з'єднані з емітерами одинадцятого та дванадцятого транзисторів відповідно, бази і колектори одинадцятого та дванадцятого транзисторів з'єднані з вихідною шиною.

Корисна модель відноситься до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо двотактний підсилювач потужності [А.с. №1497713 ССРСР, H03F3/26, 1989], який містить вхідний каскад, виконаний на першому та другому транзисторах, першому і другому генераторах струмів, першому і другому діодах ланцюга зміщення, керованих джерелах струму, що складаються з третього і четвертого транзисторів та третього і четвертого шунтуючих діодів, а також вихідний каскад, виконаний на п'ятому і шостому транзисторах та п'ятому і шостому діодах, керуючий каскад, виконаний на сьомому і восьмому транзисторах та першому і другому конденсаторах.

Основним недоліком цього пристрою є низька точність передачі вхідної напруги на вихід через неідентичність значень струмів першого і другого

генераторів струму, оскільки у випадку використання джерела вхідної напруги з ненульовим внутрішнім опором ($R_i \neq 0$) різниця між I' та I'' призводить до появи похибки зміщення напруги нуля.

За найближчий аналог обрано буферний пристрій [Бахтиаров Г.Д., Малинин В.В., Школин В.П. Аналого-цифровые преобразователи / Под ред. Г.Д.Бахтиарова. - М.: Советское радио, 1980. - 280с. ил. Рис.6.28 на сторінці 150], який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини. Бази четвертого та п'ятого транзисторів з'єднані з вхідною шиною. Емітери четвертого та п'ятого транзисторів з'єднані з емітерами першого та восьмого транзисторів відповідно, та з базами третього та шостого транзисторів відповідно, колектори четвертого та п'ятого транзисторів з'єднані з колекторами шостого та третього транзисторів відповідно, а також з емітерами сьомого та другого

(13) U

(11) 15896

(19) UA

транзисторів відповідно. Бази та колектори першого та восьмого транзисторів з'єднано з базами другого та сьомого транзисторів відповідно, а також з'єднано з шинами додатного та від'ємного живлення через перше та друге джерела струму відповідно. Колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно. Емітери третього та шостого транзисторів з'єднано з вихідною шиною.

Недоліками найближчого аналогу є низька точність, що викликано значною вихідною напругою зміщення нуля через неідентичність параметрів пар n-p-n та p-n-p транзисторів у верхньому та нижньому каналах.

В основу корисної моделі поставлено задачу створення буферного каскаду, в якому за рахунок введення нових елементів та зв'язків між ними зменшується вихідна напруга зміщення нуля, завдяки чому підвищується точність пристрою.

Поставлена задача досягається тим, що в буферний пристрій, який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори яких з'єднано з колекторами шостого та третього транзисторів відповідно, та емітерами сьомого та другого транзисторів відповідно, база та колектор першого транзистора об'єднані і приєднані до шини додатного живлення через перше джерело струму, а також до бази другого транзистора, база сьомого транзистора з'єднана з шиною від'ємного живлення через друге джерело струму, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, додатково введено дев'ятий, десятий, одинадцятий, дванадцятий транзистори, причому база кожного з них з'єднана з його колектором, емітер восьмого транзистора з'єднано з точкою об'єднання бази сьомого транзистора та першого виводу другого джерела струму, емітери дев'ятого та десятого транзисторів з'єднано з емітерами четвертого та п'ятого транзисторів відповідно, бази та колектори дев'ятого та десятого транзисторів з'єднано з базами третього та шостого транзисторів відповідно, а також базу та колектор дев'ятого транзистора з'єднано з емітером першого транзистора, базу та колектор десятого транзистора з'єднано з базою та колектором восьмого транзистора, емітери третього та шостого транзисторів з'єднано з емітерами одинадцятого та дванадцятого транзисторів відповідно, бази і колектори одинадцятого та дванадцятого транзисторів з'єднані з вихідною шиною.

На кресленні представлено принципову схему буферного каскаду.

Пристрій містить вхідну шину 17, яку з'єднано з базами четвертого 4 та п'ятого 5 транзисторів, емітери яких з'єднано з емітерами дев'ятого 3 та десятого 6 транзисторів відповідно, а колектори їх з'єднано з колекторами шостого 13 та третього 10 транзисторів відповідно, а також з емітерами сьомого 14 та другого 9 транзисторів відповідно, бази

та колектори дев'ятого 3 та десятого 6 транзисторів об'єднані, та з'єднані з базами третього 10 та шостого 13 транзисторів відповідно, крім того база і колектор дев'ятого транзистора 3 з'єднана з емітером першого транзистора 2, а база і колектор десятого транзистора 6 з'єднана з базою і колектором восьмого транзистора 7, базу і колектор першого транзистора 2 з'єднано з базою другого транзистора 9 та з шиною додатного живлення 15 через перше джерело струму 1, емітер восьмого транзистора 7 з'єднано з базою сьомого транзистора 14 та з шиною від'ємного живлення 16 через друге джерело струму 8, колектори другого 9 та сьомого 14 транзисторів з'єднано з шинами додатного 15 та від'ємного 16 живлення відповідно, емітери третього 10 та шостого 13 транзисторів з'єднано з емітерами одинадцятого 11 та дванадцятого 12 транзисторів відповідно, бази та колектори одинадцятого 11 та дванадцятого 12 транзисторів з'єднано з вихідною шиною 18.

Буферний каскад працює таким чином: якщо напруга на вхідній шині 17 збільшується, то п'ятий транзистор 5 привідкривається, четвертий транзистор 4 призакривається, при цьому напруга на емітерах цих транзисторів збільшується, також відповідно збільшується напруга на емітерах третього 10 та шостого 13 транзисторів, що в свою чергу призводить до збільшення напруги на колекторах одинадцятого 11 та дванадцятого 12 транзисторів, які приєднані до вихідної шини пристрою, тому напруга на вихідній шині 18 також збільшується.

Якщо напруга на вхідній шині 17 зменшується, то п'ятий транзистор 5 призакривається, четвертий транзистор 4 привідкривається, при цьому напруга на емітерах цих транзисторів зменшується, також відповідно зменшується напруга на емітерах третього 10 та шостого 13 транзисторів, що в свою чергу призводить до зменшення напруги на колекторах одинадцятого 11 та дванадцятого 12 транзисторів, які приєднані до вихідної шини пристрою, тому напруга на вихідній шині 18 також зменшується.

У буферному каскаді мають місце наступні співвідношення відповідно для верхнього та для нижнього каналів:

$$U'_{\text{вих}} = U_{\text{вх}} + U_{\text{бе4}}^{p-n-p} + U_{\text{бе3}}^{n-p-n} - U_{\text{бе10}}^{n-p-n} - U_{\text{бе11}}^{p-n-p}$$

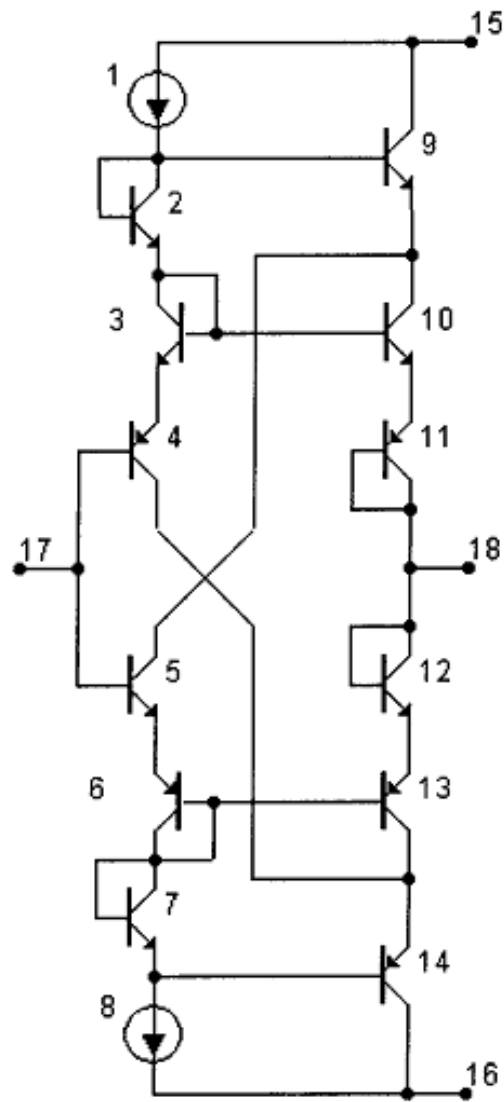
$$U''_{\text{вих}} = U_{\text{вх}} - U_{\text{бе5}}^{n-p-n} - U_{\text{бе6}}^{p-n-p} + U_{\text{бе13}}^{p-n-p} + U_{\text{бе12}}^{n-p-n}$$

Враховуючи, що $\Delta U_{\text{вих}} = U_{\text{вих}} - U_{\text{вх}}$, для верхнього та для нижнього каналів отримуємо:

$$\Delta U_{\text{вих}} = \Delta U'_{\text{вих}} = U_{\text{бе}}^{n-p-n} - U_{\text{бе}}^{p-n-p} + U_{\text{бе}}^{p-n-p} - U_{\text{бе12}}^{p-n-p} \approx 0\text{В.}$$

Відбувається параметрична компенсація похибок статичної передатної характеристики.

Другий 9 та сьомий 14 транзистори, які є каскодним каскадом, забезпечують постійну напругу на переходах колектор-емітер третього 10 та шостого 13 транзисторів і сприяють зменшенню впливу змінення напруг шин додатного 15 та від'ємного 16 живлення і підвищують швидкодію схеми.



Фиг. 1