



УКРАЇНА

(19) **UA** (11) **76634** (13) **U**
(51) МПК (2013.01)
H03K 5/22 (2006.01)
G05B 1/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

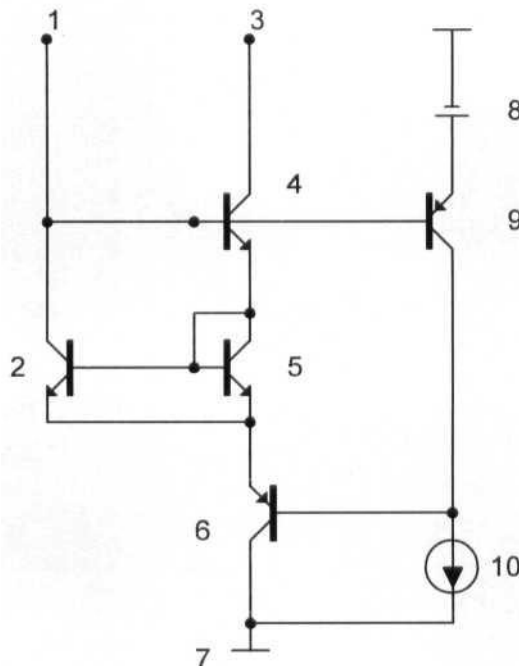
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2012 07771	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Яцик Володимир Євгенійович (UA), Крупельницький Леонід Віталійович (UA)
(22) Дата подання заявки: 25.06.2012	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.01.2013	
(46) Публікація відомостей про видачу патенту: 10.01.2013, Бюл.№ 1	

(54) ВІДБИВАЧ СТРУМУ

(57) Реферат:

Відбивач струму містить три транзистори, вхідну та вихідну шини, шину нульового потенціалу. Вхідну шину з'єднано з колектором першого транзистора, а також з базою третього транзистора. Емітери першого та другого транзисторів об'єднано, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, а також з емітером третього транзистора, колектор третього транзистора з'єднано з вихідною шиною. Додатково введено четвертий та п'ятий транзистори, джерело струму та джерело напруги.



UA 76634 U

Корисна модель належить до аналогової техніки і може бути використана в двотактних підсилювальних схемах.

Відомо відбивач струму (Гребен А.Б. Токоотвод с диодным смещением // Гребен А.Б. Проектирование аналоговых интегральных схем. - М.: Энергия, 1976. - с.74-76), який містить шину нульового потенціалу, вхідну та вихідну шини, два транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітери першого та другого транзистора з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною. Таким чином схема забезпечує засіб отримання опорного струму, що не залежить від параметрів приборів, проте недоліком є обмежена функціональна можливість.

За прототип вибрано відбивач струму Уілсона (Титце У. Токовое зеркало Вильсона // Титце У., Шенк К. Полупроводниковая схемотехника. 12-е изд. Том 1: Пер. с нем. - М: ДМК Пресс, 2008. - с, 342-344), який містить три транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, а також з базою третього транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, а також з емітером третього транзистора, колектор третього транзистора з'єднано з вихідною шиною.

Недоліком прототипу є низька точність роботи пристрою.

В основу корисної моделі поставлено задачу створення такого відбивача струму, в якому за рахунок введення нових елементів та зв'язків між ними, за умови, що генератор вхідного сигналу має обмежений опір, підвищується точність роботи, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача досягається тим, що у відбивач струму, який містить три транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, а також з базою третього транзистора, емітери першого та другого транзисторів об'єднано, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, а також з емітером третього транзистора, колектор третього транзистора з'єднано з вихідною шиною, введено четвертий та п'ятий транзистори, джерело струму та джерело напруги, причому бази третього та четвертого транзисторів об'єднано, колектор четвертого транзистора з'єднано з другим виводом джерела напруги, перший вивід джерела напруги з'єднано з шиною нульового потенціалу, емітер п'ятого транзистора з'єднано з точкою об'єднання емітерів першого та другого транзисторів, база п'ятого транзистора з'єднана з емітером четвертого транзистора, а також з першим виводом джерела струму, другий вивід джерела струму з'єднано з колектором п'ятого транзистора, а також з шиною нульового потенціалу.

На кресленні представлено схему відбивача струму.

Пристрій містить вхідну шину 1, яку з'єднано з колектором першого 2 транзистора, а також з базою третього 4 транзистора, емітери першого 2 та другого 5 транзисторів об'єднано, бази першого 2 та другого 5 транзисторів об'єднано та з'єднано з колектором другого 5 транзистора, а також з емітером третього 4 транзистора, колектор третього 4 транзистора з'єднано з вихідною шиною 3, бази третього 4 та четвертого 9 транзисторів об'єднано, колектор четвертого 9 транзистора з'єднано з другим виводом джерела напруги 8, перший вивід джерела напруги 8 з'єднано з шиною нульового потенціалу 7, емітер п'ятого 6 транзистора з'єднано з точкою об'єднання емітерів першого 2 та другого 5 транзисторів, база п'ятого 6 транзистора з'єднана з емітером четвертого 9 транзистора, а також з першим виводом джерела струму 10, другий вивід джерела струму 10 з'єднано з колектором п'ятого 8 транзистора, а також з шиною нульового потенціалу 7.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму поступає на вхідну шину 1. Якщо вхідний струм збільшується, то третій 4 транзистор привідкривається, при цьому збільшується колекторний та емітерний струм третього 4 транзистора, при цьому збільшується базовий струм першого 2 та другого 5 транзистора, при цьому збільшується колекторний струм першого 2 транзистора, який врівноважує значення вхідного струму. При збільшенні базового струму третього 4 транзистора, збільшується базовий струм четвертого 9 транзистора, при цьому четвертий 9 транзистора привідкривається, при цьому збільшується емітерний струм четвертого 9 транзистора, при цьому збільшується базовий струм п'ятого 6 транзистора, при цьому п'ятий 6 транзистор привідкривається, при цьому збільшується емітерний струм п'ятого 6 транзистора, що

врівноважує значення емітерного струму першого 2 транзистора, що врівноважує значення вхідного струму.

5 Якщо вхідний струм зменшується, то третій 4 транзистор призакривається, при цьому зменшується колекторний та емітерний струм третього 4 транзистора, при цьому зменшується базовий струм першого 2 та другого 5 транзистора, при цьому зменшується колекторний струм першого 2 транзистора, який врівноважує значення вхідного струму. При зменшенні базового струму третього 4 транзистора, зменшується базовий струм четвертого 9 транзистора, при цьому четвертий 9 транзистора призакривається, при цьому зменшується емітерний струм четвертого 9 транзистора, при цьому зменшується базовий струм п'ятого 6 транзистора, при цьому п'ятий 6 транзистор призакривається, при цьому зменшується емітерний струм п'ятого 6 транзистора, що врівноважує значення емітерного струму першого 2 транзистора, що врівноважує значення вхідного струму.

Вихідна шина 3 відслідковує зміну струму на колекторі третього 4 транзистора.

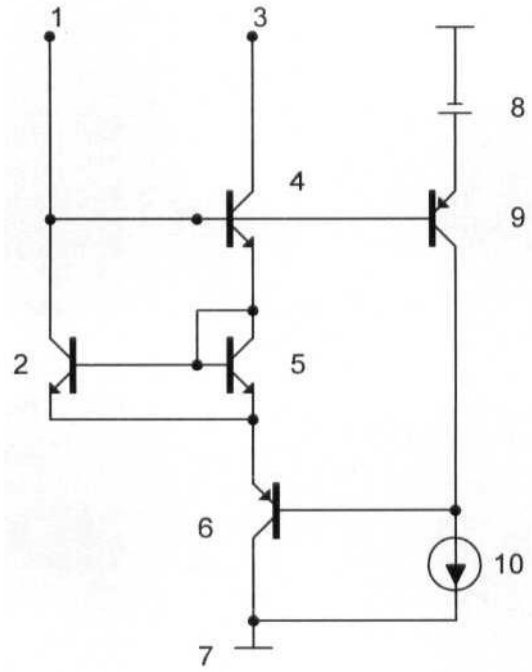
15 Джерело напруги 8 слугує для задання робочої напруги четвертому 9 транзистору. Джерело струму 10 задає робочий струм для роботи п'ятого 6 та четвертого 9 транзисторів. Шина нульового потенціалу 7, задає необхідний рівень напруги для живлення схеми.

Четвертий 9, та п'ятий 6 транзистори утворюють коло від'ємного зворотного зв'язку між базою третього 4 транзистора, та емітером першого 2 транзистора. Введення цього від'ємного зворотного зв'язку зменшує вхідний

20 опір схеми, значення якого буде відповідати: $r_{вх} = \frac{2 \cdot r_{e q1}}{\beta}$, де $r_{вх}$ - вхідний опір відбивача струму, β - коефіцієнт передачі в р-п-р транзисторі, $r_{e q1}$ - опір емітера першого 2 транзистора.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

25 Відбивач струму, який містить три транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, а також з базою третього транзистора, емітери першого та другого транзисторів об'єднано, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, а також з емітером третього транзистора, колектор третього транзистора з'єднано з вихідною шиною, який **відрізняється** тим, що у нього введено четвертий та п'ятий транзистори, джерело струму та джерело напруги, причому бази третього та четвертого транзисторів об'єднано, колектор четвертого транзистора з'єднано з другим виводом джерела напруги, перший вивід джерела напруги з'єднано з шиною нульового потенціалу, емітер п'ятого транзистора з'єднано з точкою об'єднання емітерів першого та другого транзисторів, база п'ятого транзистора з'єднана з емітером четвертого транзистора, а також з першим виводом джерела струму, другий вивід джерела струму з'єднано з колектором п'ятого транзистора, а також з шиною нульового потенціалу.



Комп'ютерна верстка В. Мацело

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601