



МІНІСТЕРСТВО  
ЕКОНОМІЧНОГО  
РОЗВИТКУ І ТОРГІВЛІ  
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **125549** (13) **U**  
(51) МПК (2018.01)  
**G06G 7/00**

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

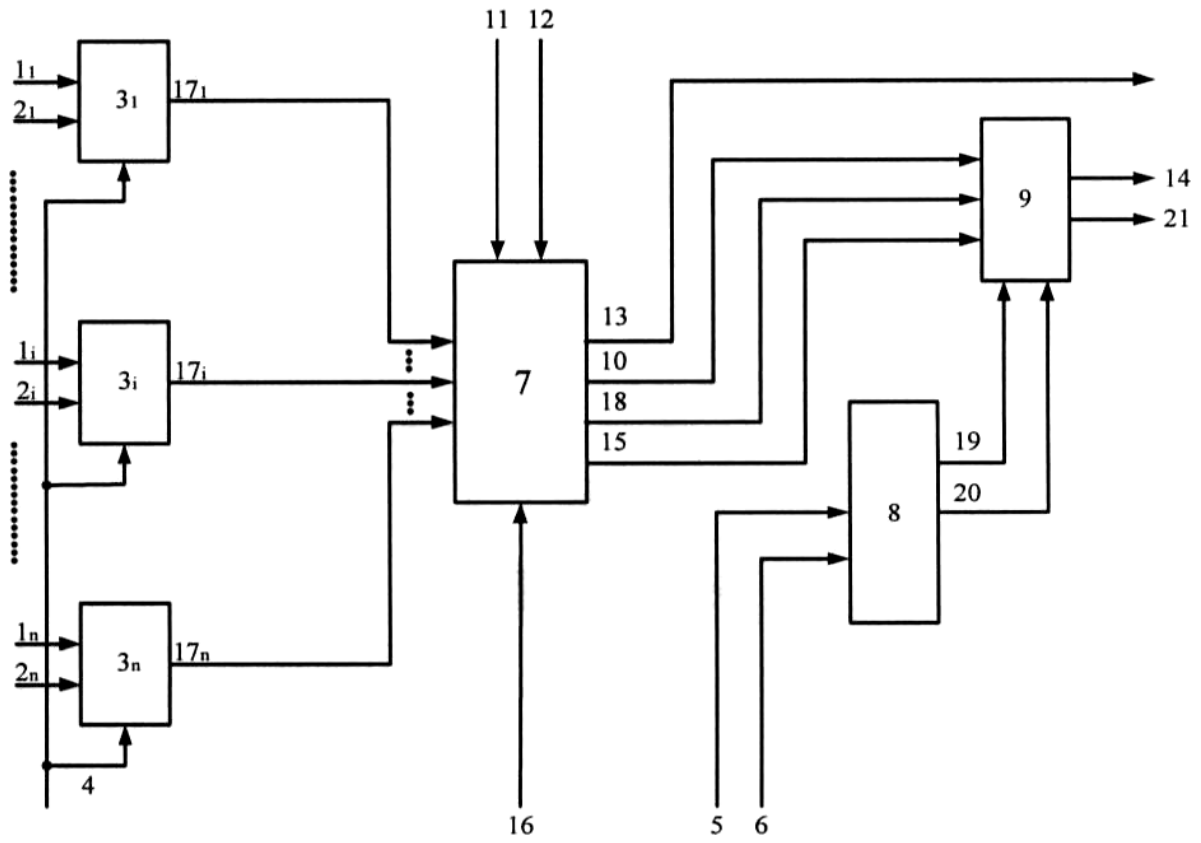
<p>(21) Номер заявки: <b>u 2017 12880</b></p> <p>(22) Дата подання заявки: <b>26.12.2017</b></p> <p>(24) Дата, з якої є чинними права на корисну модель: <b>10.05.2018</b></p> <p>(46) Публікація відомостей про видачу патенту: <b>10.05.2018, Бюл.№ 9</b></p>	<p>(72) Винахідник(и): <b>Мартинюк Тетяна Борисівна (UA), Буда Антоніна Героніївна (UA), Біляєва Анастасія Сергіївна (UA), Запетрук Ярослав Вікторович (UA)</b></p> <p>(73) Власник(и): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b></p>
---	--

## (54) ПРИСТРІЙ ДЛЯ МОДЕЛЮВАННЯ НЕЙРОНА

### (57) Реферат:

Пристрій для моделювання нейрона містить n блоків зміни синаптичних ваг, суматор, логічний блок і блок комутації, а також має дві групи інформаційних входів, установний вхід, три керуючих входи, адресний вхід і вхід порога, два виходи результатів пристрою, вихід сигналу «Кінець».

UA 125549 U



Фиг. 1

Корисна модель належить до області біоніки та обчислювальної техніки і може бути використана як елемент нейроподібних мереж для моделювання біологічних процесів у пристроях оброблення, аналізу і розпізнавання образів, а також як елемент паралельних обчислювальних структур для вирішення задач цифрового оброблення сигналів, систем алгебраїчних рівнянь, крайових задач теорії поля.

Відомий пристрій для моделювання нейрона (а.с. СРСР № 1479944, м.кл. G06G7/60, 1989 р., бюл. №18), який містить  $n$  блоків зміни синаптичних ваг, перші і другі входи яких є інформаційними входами пристрою, а треті є установними, суматор, перші  $n$  входів якого з'єднані відповідно з виходами  $n$  блоків зміни синаптичних ваг, перший і другий регістри, перший і другий елементи  $I$  та логічний блок, при цьому вихід першого регістра з'єднаний з  $(n+1)$  входом суматора, а вхід - через перший вхід першого елемента  $I$  підключений до виходу суматора, який зв'язаний через перший вхід другого елемента  $I$  з входом другого регістра і першим входом логічного блока, до другого входу якого підключений вихід другого регістра.

Недоліком даного пристрою є його обмежені функціональні можливості через відсутність моделювання формального нейрона у режимі з лінійною з насиченням функцією активації.

За найближчий аналог вибраний пристрій для моделювання нейрона (патент України № 38491, м. кл. G 06 G7/00, 2009р., бюл. № 1), який містить  $n$  блоків зміни синаптичних ваг, перші і другі входи яких є інформаційними входами пристрою, суматор, перші  $n$  входів якого з'єднані відповідно з виходами  $n$  блоків зміни синаптичних ваг, комутатор і елемент нерівнозначності, причому установний вхід пристрою з'єднаний з відповідним входом  $n$  блоків зміни синаптичних ваг, вхід порога, адресний і перший керуючий входи пристрою з'єднані з відповідними входами суматора, перший і другий виходи суматора з'єднані з інформаційними входами комутатора, другий вихід суматора з'єднаний також з першим входом елемента нерівнозначності, вихід якого з'єднаний з керуючим входом комутатора, вихід якого є інформаційним виходом результату пристрою, вихід ознаки нуля суматора є виходом сигналу "Кінець" пристрою, другий і третій керуючі входи пристрою з'єднані з відповідними входами елемента нерівнозначності.

Недоліком найближчого аналога є його обмежені функціональні можливості через відсутність моделювання формального нейрона у режимі з лінійною з насиченням функцією активації.

В основу корисної моделі поставлено задачу створення пристрою для моделювання нейрона, в якому введення нових вузлів та зв'язків дозволяє розширити його функціональні можливості за рахунок керування режимами формального нейрона з пороговою, лінійною та лінійною з насиченням функціями активації.

Поставлена задача вирішується тим, що у пристрій для моделювання нейрона, який містить  $n$  блоків зміни синаптичних ваг, перші і другі входи яких є інформаційними входами пристрою, суматор, перші  $n$  входів якого з'єднані відповідно з виходами  $n$  блоків зміни синаптичних ваг, елемент нерівнозначності, причому установний вхід пристрою з'єднаний з відповідним входом  $n$  блоків зміни синаптичних ваг, вхід порога, адресний і перший керуючий входи пристрою з'єднані з відповідними входами суматора, вихід ознаки нуля якого є виходом сигналу "Кінець" пристрою, введено логічний блок і блок комутації, причому логічний блок містить елемент нерівнозначності та елемент  $I$ , а блок комутації містить мультиплексор, елемент  $I$ , елемент рівнозначності та інвертор, другий та третій керуючі входи пристрою з'єднані відповідно з входами елемента нерівнозначності та елемента  $I$  логічного блока, а їх виходи є відповідно першим і другим виходами логічного блока, вихід результуючого сигналу суматора і перший вихід логічного блока з'єднані з входами елемента

$I$  блока комутації, вихід якого є першим виходом результату пристрою, вихід результуючого сигналу суматора і другий вихід логічного блока з'єднані з входами елемента рівнозначності блока комутації, вихід якого з'єднаний з входом вибору мультиплексора блока комутації, перший вихід логічного блока з'єднаний через інвертор з входом дозволу мультиплексора, інформаційні входи якого з'єднані відповідно з другим і першим інформаційними входами суматора, а його інформаційний вихід є другим виходом результату пристрою.

На фіг. 1 приведено структурну схему пристрою для моделювання нейрона; на фіг.2 - структурну схему суматора; на фіг. 3 - функціональну схему логічного блока і блока комутації.

Пристрій для моделювання нейрона (фіг. 1) містить дві групи інформаційних входів  $1_1, \dots, 1_n$  і  $2_1, \dots, 2_n$  пристрою,  $n$  блоків  $3_1, \dots, 3_n$  зміни синаптичних ваг, установний вхід 4 і керуючі входи 5, 6 пристрою, суматор 7, логічний блок 8, блок 9 комутації, інформаційний вихід 10 суматора 7, вхід 11 порога, керуючий вхід 12, вихід 13 ознаки нуля суматора 7, вихід 14 результату пристрою і вихід 15 результуючого сигналу суматора 7, адресний вхід 16 пристрою. Групи Інформаційних входів  $1_1, \dots, 1_n$  і  $2_1, \dots, 2_n$ , пристрою підключені відповідно до першого і другого входів блоків

$Z_1, \dots, Z_n$  зміни синаптичних ваг, третій вхід яких з'єднаний відповідно з установним входом 4 пристрою.

Група виходів  $17_1, \dots, 17_n$  блоків  $Z_1, \dots, Z_n$  зміни синаптичних ваг підключена відповідно до  $n$  входів суматора 7, вихід 13 ознаки нуля якого з'єднаний з виходом сигналу "Кінець" пристрою. Перший інформаційний вхід блока 9 комутації з'єднаний з інформаційним виходом 10 суматора 7, два входи логічного блока 8 з'єднані відповідно з керуючими входами 5 і 6 пристрою. Адресний вхід 16 пристрою з'єднаний з відповідним входом суматора 7, вихід 15 результуючого сигналу якого з'єднаний з третім інформаційним входом блока 9 комутації. Вхід 11 порога і керуючий вхід 12 пристрою з'єднані з відповідними входами суматора 7, інформаційний вихід 18 якого з'єднаний з другим інформаційним входом блока 9 комутації, керуючі входи якого відповідно з'єднані з виходами 19 і 20 логічного блока 8, а інформаційні виходи блока 9 комутації є відповідно виходами 14 і 21 результатів пристрою.

Суматор 7 (фіг. 2) містить комірку 22 і  $n$  комірок 23, причому  $i$ -та комірка 23 містить мультиплексор 24, регістр 25, суматор-віднімач 26, суматор 27, D-тригер 28, мініматор 29, два регістри 30, 31, комутатор 32. Перший інформаційний вхід мультиплексора 24 з'єднаний з входом 17  $i$ -ої комірки 23, керуючий вхід з'єднаний з адресним входом 16 пристрою, а його вихід підключено до входу 33 регістра 25, в якого вихід з'єднаний з прямим входом 34 суматора-віднімача 26 та інформаційним входом 35 мініматора 29. Вихід регістра 31 з'єднаний з інформаційним входом комутатора 32 та інверсним входом 36 суматора-віднімача 26, вихід 37 якого з'єднаний з другим інформаційним входом мультиплексора 24, а вихід 38 знака суматора-віднімача 26 з'єднаний зі знаковим входом 39 мініматора 29 і D-входом D-тригера 28, інверсний вихід якого з'єднаний з керуючим входом комутатора 32. Вихід комутатора 32 підключено до виходу 40  $i$ -ої комірки 23, крім того, інформаційний вхід 41 мініматора 29  $i$ -ої комірки 23 з'єднаний з виходом 42 ( $i$ - $i$ )-ої комірки 23, вхід 43 суматора 27  $i$ -ої комірки 23 з'єднаний з виходом 44 ( $i$ - $i$ )-ої комірки 23, а вхід 45 підключено до виходу 40 ( $i+1$ )-ої комірки 23.

В  $i$ -й комірці 23 вхід регістра 31 підключено до входу 46 цієї комірки 23, вихід 47 мініматора 29 з'єднаний з входом регістра 30 цієї комірки, інформаційний вихід якого є виходом 42  $i$ -ої комірки 23, а його вихід знака є виходом 48  $i$ -ої комірки 23, який з'єднаний зі знаковим входом 49 мініматора 29 ( $i+1$ )-ої комірки 23, вихід 47 мініматора 29  $n$ -ої комірки 23 підключений до входів 46 всіх ( $n-1$ ) молодших комірок 23. Перша комірка 23 не містить мініматор 29 та регістр 30, вихід її регістра 25 є виходом 42 першої комірки 23, вихід 38 знака суматора-віднімача 26 є її виходом 48, а вхід 43 суматора 27 з'єднаний з виходом комутатора 32 цієї ж комірки 23. Остання  $n$ -а комірка 23 містить регістр 50, вхід якого з'єднаний з виходом суматора 27 цієї комірки 23, а його вихід є інформаційним виходом 10 суматора 7 і з'єднаний також з входом 45 суматора 27 цієї ж комірки 23. Вихід 47 мініматора 29  $n$ -ої комірки 23 з'єднаний з входом регістра 31 цієї комірки, а його вихід ознаки нуля є виходом 13 ознаки нуля суматора 7.

Комірка 22 містить мультиплексор 24, регістр 25, суматор-віднімач 26, D-тригер 28, комутатор 32, елемент АБО 51, елемент І 52, комутатор 53 і регістр 54. Перший інформаційний вхід мультиплексора 24 комірки 22 з'єднаний з входом 11 порога пристрою, його керуючий вхід з'єднаний з адресним входом 16 пристрою. Вихід 44 ( $n-1$ )-ої комірки 23 з'єднаний з інформаційним входом комутатора 32, вихід регістра 50  $n$ -ої комірки 23 з'єднаний з інформаційним входом комутатора 53 комірки 22, а керуючий вхід комутатора 32 з'єднаний з виходом елемента І 52, перший вхід якого з'єднаний з керуючим входом 12 пристрою, а другий вхід - з інверсним виходом D-тригера 28 цієї комірки. Вихід комутатора 32 комірки 22 з'єднаний з інверсним входом 36 суматора-віднімача 26 цієї комірки, вихід 38 знака якого з'єднаний з першим входом елемента АБО 51, а вихід 56 ознаки нуля - з другим входом елемента АБО 51, вихід якого з'єднаний з D-входом D-тригера 28 комірки 22, прямий вихід якого є виходом 15 результуючого сигналу суматора 7. Вихід мультиплексора 24 комірки 22 підключено до входу 33 регістра 25 цієї комірки, вихід якого з'єднаний з прямим входом 34 суматора-віднімача 26 цієї комірки, вихід 37 якого з'єднаний з другим інформаційним входом мультиплексора 24 цієї комірки. Інверсний вихід D-тригера 28 з'єднаний також з керуючим входом комутатора 53, інформаційний вихід якого підключений до входу 55 регістра 54, вихід якого є інформаційним виходом 18 суматора 7.

Логічний блок 8 (фіг. 3) містить елемент нерівнозначності 57 та елемент І 58, входами яких є керуючі входи 5,6 пристрою, вихід елемента нерівнозначності 57 є виходом 19 логічного блока 8, а вихід елемента І 58 є виходом 20 логічного блока 8.

Блок 9 комутації (фіг. 3) містить елемент І 59, елемент рівнозначності 60, мультиплексор 61 та інвертор 62, причому вихід 19 логічного блока 8 і вихід 15 результуючого сигналу суматора 7 з'єднані з входами елемента І 59 блока 9 комутації, вихід 15 результуючого сигналу суматора 7 та вихід 20 логічного блока 8 з'єднані з входами елемента рівнозначності 60, вихід якого

з'єднаний з входом вибору S мультиплектора 61, вихід 19 логічного блока 8 через інвертор 62 з'єднаний з входом дозволу E мультиплектора 61, перший і другий інформаційні входи якого з'єднані відповідно з інформаційними виходами 18 та 10 суматора 7. Вихід елемента I 59 блока 9 комутації є виходом 14 результату пристрою, а інформаційний вихід мультиплектора 61 є виходом 21 результату пристрою.

5

Пристрій для моделювання нейрона (фіг. 1) працює таким чином.

У n блоках  $3_1, \dots, 3_n$  зміни синаптичних ваг виконується формування зважених вхідних сигналів вигляду:

$$a_i = x_i \cdot \gamma_i, i = \overline{1, n} \quad (1)$$

10

де  $x_i \cdot \gamma_i$ , - відповідно i-й вхідний сигнал та i-та синаптична вага.

Зважені вхідні сигнали  $a_1, \dots, a_n$  з групи виходів  $17_1, \dots, 17_n$  подаються на відповідні входи суматора 7 паралельно, де відбувається їх підсумовування з формуванням часткових сум  $S_j$  з подальшим їх накопиченням у вигляді:

15

$$S_k = \sum_{j=1}^k S_j. \quad (2)$$

Одночасно у суматорі 7 часткові суми  $S_i$  порівнюються з порогом  $\Theta$ , що надходить зі входу 11, і формується значення поточного порога  $\Delta_j$  на j-му етапі оброблення вигляду:

$$\Delta_j = \Delta_{j-1} - S_j, j = \overline{1, N} \quad (3)$$

20

де  $\Delta_0 = \Theta$ ; N - кількість етапів оброблення.

При цьому, якщо  $\Delta_j > 0$ , то на виході 15 результуючого сигналу суматора 7 буде незмінним нульовий сигнал ( $Y_1=0$ ). Якщо  $\Delta_j \leq 0$ , то на виході 15 результуючого сигналу суматора 7 сформується одиничний сигнал ( $Y_1=1$ ) і порогове оброблення припиняється.

25

При пороговій функції активації на входи логічного блока 8 подаються такі сигнали: з входів 5 і 6 подаються відповідно одиничний і нульовий сигнали, на установний вхід 4 - нульовий сигнал, на керуючий вхід 12 пристрою - одиничний сигнал, тобто код даної операції 0101 (табл. 1), а на вхід 11 порога початкове значення порога  $\Theta$ . В результаті на виходах 19 і 20 логічного блока 8 формуються відповідні сигнали 1 і 0.

30

Таким чином, при цьому режимі роботи на кожному j-му етапі пристрій реалізує функцію:

$$Y_1 = \text{sign} \left( \Theta - \sum_{i=1}^k x_i \cdot \gamma_i \right) = \begin{cases} 1, & \text{якщо } S_k \geq \Theta, \\ 0, & \text{якщо } S_k < \Theta, \end{cases} \quad (4)$$

що відповідає роботі формального нейрона з пороговою функцією активації. Отже, блок 9 комутації на виході 14 результату пристрою буде видавати результуючий сигнал  $Y_1$  вигляду (4) з виходу 15 суматора 7.

35

Таблиця 1

Режими	Керуючі входи			
	4	5	6	12
Формальний нейрон з пороговою функцією активації	0	1	0	1
Формальний нейрон з лінійною функцією активації	0	0	0	1
Формальний нейрон з лінійною з насиченням функцією активації	0	1	1	1
Формувач скалярного добутку векторів	0	0	0	0
Цифровий інтегратор	1	0	0	0

Для налаштування на режим формального нейрона з лінійною функцією активації вигляду:

$$Y_2 = \begin{cases} S_k, & \text{якщо } 0 < S_k, \\ 0, & \text{якщо } S_k \leq 0, \end{cases} \quad (5)$$

на керуючі входи 5, 6 пристрою необхідно подати нульові сигнали, на установний вхід 4 - нульовий сигнал, на керуючий вхід 12 - одиничний сигнал. Іншими словами, на установний вхід 4 і на керуючі входи 5, 6 і 12 подається код операції 0001 (табл.1). В результаті на два відповідні входи логічного блока 8 подаються нульові сигнали, при цьому, якщо на виході 15 суматора 7 формується нульовий результуючий сигнал, який подається на вхід блока 9 комутації, то на вихід 14 результату пристрою проходить сигнал  $Y_2=0$ , в іншому випадку на вихід 21 результату пристрою - величина накопиченої суми  $Y_2=S_k$  з інформаційного виходу 18 суматора 7. У цих випадках на виходах 19 і 20 логічного блока 8 формуються відповідні сигнали дозволу, які подаються на керуючі входи блока 9 комутації.

Для налаштування на режим формального нейрона з лінійною з насиченням функцією активації вигляду:

$$Y_3 = \begin{cases} S, & \text{якщо } S_k \geq \Theta, \\ S_k, & \text{якщо } 0 < S_k < \Theta, \\ 0, & \text{якщо } S_k \leq 0, \end{cases} \quad (6)$$

на керуючі входи 5 і 6 пристрою необхідно подати одиничні сигнали, на керуючий вхід 12 - одиничний сигнал, на установний вхід 4 - нульовий сигнал, а на вхід 11 порога - початкове значення порога  $\Theta$ . Іншими словами, на установний вхід 4 і на керуючі входи 5, 6, 12 подається код 0111 (табл. 1). В результаті в суматорі 7 формування і підсумовування часткових сум  $S_i$  продовжується доти, доки не сформується одиничний сигнал на виході 13 ознаки нуля суматора 7, що спричинить появу одиничного сигналу на виході сигналу "Кінець" пристрою. У цьому випадку на керуючих входах блока 9 комутації вже сформовано відповідні сигнали дозволу з виходів 19 і 20 логічного блока 8 і через блок 9 комутації на інформаційний вихід 21 результату пристрою подається або  $U_3= S_k$  з інформаційного виходу 18 суматора 1, або результат  $Y_3=S$  підсумовування вигляду:

$$S = \sum_{j=1}^N S_j = \sum_{i=1}^n x_i \cdot \gamma_i, \quad (7)$$

з інформаційного виходу 10 суматора 7.

У режимі формувача скалярного добутку векторів операцію (7) можна реалізувати окремо, якщо як компоненти одного вектора взяти вхідні сигнали  $x_1, \dots, x_n$ , які надходять на групу інформаційних входів  $1_1, \dots, 1_n$  пристрою, а як компоненти другого вектора - значення синаптичних ваг  $\gamma_1, \dots, \gamma_n$ , які надходять на групу інформаційних входів  $2_1, \dots, 2_n$  пристрою. При цьому на установний вхід 4 і керуючі входи 5, 6 і 12 пристрою подаються нульові сигнали, тобто код даної операції 0000 (табл.1), а на вхід 11 порога подається нульовий потенціал. У блоках  $3_1, \dots, 3_n$  зміни синаптичних ваг формуються добутки вигляду (1), які з групи виходів  $17_1, \dots, 17_n$  блоків  $3_1, \dots, 3_n$  зміни синаптичних ваг подаються на відповідні входи суматора 7 паралельно. Після цього в суматорі 7 виконується формування і підсумовування часткових сум  $S_i$  цих добутків за формулою (2), поки не з'явиться одиничний сигнал на виході 13 ознаки нуля суматора 7, а отже, на виході сигналу "Кінець" пристрою. Тоді сформована остаточної сума  $S$  (7), яка є скалярним добутком компонент  $x_i$  і  $\gamma_i$  вхідних векторів, подається з інформаційного виходу 10 суматора 7 через блок комутації 9 на інформаційний вихід 21 результату пристрою, оскільки на всі входи логічного блока 8 з керуючих входів 5, 6 пристрою надходять нульові сигнали. А це свідчить про те, що на виходах 19 і 20 логічного блока 8 будуть сформовані відповідні сигнали дозволу для блока 9 комутації.

При налаштуванні на роботу у режимі цифрового інтегратора пристрій працює як суматор вхідних сигналів  $x_1, \dots, x_n$ , які подаються на групу інформаційних входів  $1_1, \dots, 1_n$  пристрою, у вигляді:

$$S' = \sum_{i=1}^n x_i, \quad (8)$$

У цьому випадку на установний вхід 4 пристрою подається одиничний сигнал, який задає значення синаптичних ваг  $\gamma_1, \dots, \gamma_n$ , рівними одиниці, на керуючі входи 5, 6 і 12 пристрою подаються нульові сигнали відповідно, тобто код даної операції 1000 (табл.1), а на вхід 11 порога подається нульовий потенціал. В суматорі 7 формується за N етапів оброблення сума  $S'$  часткових сум  $S'_i$  вигляду:

$$S' = \sum_{j=1}^N S'_j, \quad (9)$$

яка після появи одиничного сигналу на виході 13 ознаки нуля суматора 7, а отже, на виході сигналу "Кінець" пристрою, подається з інформаційного виходу 10 суматора 7 через блок 9 комутації на інформаційний вихід 21 результату пристрою.

Суть роботи суматора 7 (фіг. 2) полягає в тому, що порогове оброблення  $n$  чисел зводиться до обчислення і підсумовування  $N$  часткових сум  $S_j$ , де  $N$  - кількість різноманітних вхідних величин  $a_i$ , порівняння цих сум з порогом  $\Theta$  і формування підсумкового сигналу вигляду:

$$Y_1 = \begin{cases} 1, & \text{якщо } S = \sum_{i=1}^n a_j = \sum_{j=1}^N S'_j = \sum_{j=1}^N q_j \cdot d_j \geq \Theta, \\ 0, & \text{у протилежному випадку,} \end{cases} \quad (10)$$

де  $Y_1$  - результуючий сигнал суматора 7;  $q_j$  - загальна значуща частина доданків (мінімальний елемент)  $j$ -го етапу;  $d_j$  - кратність загальної частини  $q_j$  на  $j$ -му етапі;  $\Theta$  - значення порога оброблення;  $j$  - етап оброблення.

Процес підсумовування у суматорі 7 має такий вигляд.

Спочатку визначається загальна значуща частина  $q_j$  всіх доданків на  $j$ -му етапі, тобто:

$$q_j = \min \{a_{i,j-1}\}_{i=1}^n, \quad j = \overline{1, N}, \quad (11)$$

де  $a_{i,0}$  -  $i$ -й доданок на вході суматора 7, і перевіряється умова:

$$q_i = 0. \quad (12)$$

Якщо умова (12) виконується, то процес підсумовування припиняється. У протилежному випадку виділяється різницевий зріз  $A_j$ , тобто сукупність величин різниці всіх доданків  $j$ -го етапу з їхньою загальною частиною  $q_j$ , тобто:

$$A_j = \min \{a_{i,j-1}\}_{i=1}^n = \{a_{i,j-1} - q_j\}_{i=1}^n, \quad (13)$$

В подальшому отриманий різницевий зріз  $A_j$  є вхідною множиною доданків для наступного  $(j+1)$ -го етапу. Далі формується часткова сума  $S_j$  як кратне загальної частини  $q_j$ , де кратність  $d_j$  визначається кількістю додатних доданків  $j$ -го етапу:

$$S_j = q_j \cdot d_j. \quad (14)$$

Після цього відбувається підсумовування часткових сум  $S_j$  за формулою (2).

Після сформування часткової суми  $S_1$  за формулою (14) на першому етапі формується різниця між заданим порогом  $\Theta$  та частковою сумою  $S_1$ , отриманою на цьому етапі, тобто:

$$\Delta_1 = \Theta - S_1 \quad (15)$$

і перевіряється умова:

$$\Delta_1 \leq 0, \quad (16)$$

а в разі її виконання формується одиничний результуючий сигнал  $Y_1$  суматора 7 і порогове оброблення припиняється. В протилежному випадку процес порогового оброблення продовжується і в подальшому поточна різниця  $\Delta_{i-1}$  є поточним значенням порогу на наступному 5 j-му етапі оброблення згідно з формулою (3).

На j-му етапі перевіряється умова

$$\Delta_i \leq 0. \quad (17)$$

10 Процес порогового оброблення повторюється до виконання умови (17) або до визначення нульової величини  $q_i$  (12). Виконання умови (12) свідчить про закінчення підсумовування і про формування остаточного результату  $S$  підсумовування вигляду (7).

Отже, суматор 7 (фіг. 2) працює таким чином.

15 На вхід 17<sub>i</sub> i-ої комірки 23 надходить i-й операнд  $a_{i,0}$  з групи операндів, кількість яких  $n$ . Запис операндів в  $n$  комірок 23 виконується паралельно за наявності одиничного сигналу на адресному вході 16 пристрою. Через мультиплексор 24 i-й операнд  $a_{i,0}$  надходить на вхід 33 реєстра 25 i-ої комірки 23. Одночасно на вхід 11 порога подають зовнішній поріг  $\Theta$ , який через мультиплексор 24 комірки 22 надходить по входу 33 в реєстр 25 цієї комірки. Після цього виконується послідовне виділення загальної (мінімальної значущої) частини двох операндів - (i-1)-го та i-го - мініматором 29 і запис результату в реєстр 30 i-ої комірки 23. Згідно з виразом (11) 20 ця операція виконується послідовно, починаючи з другої комірки 23. Кінцевий результат  $q_1$  виділення загальної частини всіх  $n$  операндів на першому етапі формується в n-ій комірці 23 і з виходу 47 мініматора 29 цієї комірки 23 записується в реєстри 31 всіх  $n$  комірок 23 паралельно по входу 46.

25 Після цього в i-й комірці відбувається порівняння в суматорі-віднімачі 26 i-го операнда  $a_{i,0}$ , що надходить з реєстра 25 на його прямий вхід 34, та загальної частини  $q_1$  всіх операндів, що надходить з реєстра 31 на його інверсний вхід 36. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів згідно з виразом (13) і ця різниця записується з виходу 37 суматора-віднімача 26 через мультиплексор 24 в реєстр 25 по його входу 33 за наявності нульового сигналу на адресному вході 16 пристрою. При цьому на 30 виході 38 знака суматора-віднімача 26 формується знак різниці. Перед початком роботи реєстри 25, 30, 31, 50 і тригер 28 всіх комірок 23 і комірки 22 занулені.

35 При відсутності одиничного сигналу знака від'ємного результату одиничний сигнал з інверсного виходу D-тригера 28 подається на керуючий вхід комутатора 32 і дозволяє проходження в i-й комірці через комутатор 32 загальної частини  $q_1$  операндів з реєстра 31 в суматор 27 (i-1)-ої комірки 23, де відбувається накопичення загальної частини операндів. У випадку, якщо на виході 38 знака суматора-віднімача 26 i-ої комірки 23 з'явиться одиничний сигнал знака від'ємного результату, то наявність нульового сигналу на інверсному виході D-тригера 28, а отже, на керуючому вході комутатора 32 заборонить надходження загальної частини  $q_1$  операндів на даному етапі оброблення через комутатор 32 на відповідний вхід 40 суматора 27 (i-1)-ої комірки 23. В суматорі 27 кожної комірки 23 відбувається послідовне підсумовування загальних частин  $q_i$  групи з  $n$  операндів, а в результаті на виході суматора (n-1)-ої комірки 23, тобто на виході 44 цієї комірки формується часткова сума  $S_1$  операндів згідно з виразом (14).

45 Після цього відбувається порівняння в суматорі-віднімачі 26 комірки 22 зовнішнього порога  $\Theta$ , що надходить по його прямому входу 34 з реєстра 25, та часткової суми  $S_1$ , що надходить по його інверсному входу 36 з виходу комутатора 32. На першому етапі оброблення з інверсного виходу D-тригера 28 комірки 22 на керуючий вхід комутатора 32 подається одиничний сигнал дозволу, оскільки на початку роботи пристрою D-тригер 28 всіх  $n$  комірок 23 і комірки 22 суматора 7 встановлено у нульовий стан одиничним сигналом на вході скидання 50 пристрою, а на керуючому вході 12 пристрою, а також на одному з входів елемента I 52 присутній одиничний сигнал (табл. 1). Порівняння відбувається в процесі віднімання у першому циклі від зовнішнього порога  $\Theta$  часткової суми  $S_1$  згідно з виразом (15). Різниця  $\Delta_1$  записується з виходу 37 суматора-віднімача 26 комірки 22 через мультиплексор 24 у реєстр 25 по його входу 33.

55 Сигнали з виходу 38 знака і виходу 56 ознаки нуля суматора-віднімача 26 комірки 22 подаються через елемент АБО 51 на D-вхід D-тригера 28 комірки 22. При цьому при наявності одиничного сигналу на одному з виходів: виході 38 знака або виході 56 ознаки нуля суматора-віднімача 26 нульовий сигнал з інверсного виходу D-тригера 28, проходячи через елемент I 52,



заборонить подачу величини  $S_i$  в наступному циклі оброблення через комутатор 32 на інверсний вхід 36 суматора-віднімача 26 комірки 22, що свідчить про закінчення порогового оброблення пристрою. На прямому виході D-тригера 28 комірки 23 у цьому випадку присутній одиничний сигнал, який формує одиничний сигнал  $Y_1$  на виході 15 результуючого сигналу суматора 7. І навпаки, при відсутності одиничного сигналу на обох виходах: виході 38 знака і виході 56 ознаки нуля суматора-віднімача 26 комірки 22 нульовий сигнал подається з виходу елемента АБО 51 на D-вхід D-тригера 28 цієї комірки, з інверсного виходу якого одиничний сигнал, проходячи через елемент І 52, дозволяє подачу через комутатор 32 часткової суми  $S_i$  з виходу 44 (n-i)-ої комірки 23 на інверсний вхід 36 суматора-віднімача 26 комірки 22. Одночасно одиничний сигнал з інверсного виходу D-тригера 28 комірки 22, поданий на керуючий вхід комутатора 53, дозволяє проходження через нього на вхід 55 регістра 54 накопиченої суми  $S_k$  вигляду (2) з виходу регістра 50 n-ої комірки 23 з її фіксацією на інформаційному виході 18 суматора 7.

В n-й комірці 23 в суматорі 7 наприкінці кожного етапу оброблення виконується накопичення часткових сум  $S_i$  за виразом (2) та їх запам'ятовування у регістрі 50 цієї комірки. Так виконується перший етап підсумовування і порогового оброблення.

В подальшому процес підсумовування виконується аналогічно першому етапу оброблення згідно з формулами (11)-(14). Процес підсумовування припиняється тоді, коли загальна значуща частина q всіх поточних доданків на j-му етапі дорівнює нулю за виразом (12), тобто присутній одиничний сигнал на виході ознаки нуля мініматора 29 n-ої комірки 23, а отже на виході 13 суматора 7.

При виконанні умови (12) після виконання N етапів оброблення на виході регістра 50 n-ої комірки 23, тобто на інформаційному виході 10 суматора 7 формується остаточна сума S вигляду (7). Процес порогового оброблення буде продовжуватись, доки не буде виконуватись умова (17), а при її невиконанні - доки не буде виконуватись умова (12). При виконанні умови (17) на виході 15 результуючого сигналу суматора 7 формується одиничний сигнал.

У табл. 2 наведено приклад формування у суматорі 7 суми чисел масиву {13, 8, 3, 11}, що подаються на входи  $17_1, \dots, 17_n$ , часткових сум S, на виході 18, поточного порогу  $\Delta_i$ , у комірці 22, результуючого сигналу  $Y_1$  на виході 15 та накопиченої суми S на виході 10. Особливістю порогового оброблення масиву чисел за методом різницевого зрізів є природний паралелізм і нефіксоване (нестале) значення часу оброблення. Це значення залежить від кількості елементів на вході і кількості однакових елементів у масиві. Тому кількість етапів формування N остаточної суми S можна визначити за формулою:

$$N = n - \sum_{r=1}^R (m_r - 1), \tag{18}$$

де n - розмірність вхідного масиву чисел; R - кількість груп з кількістю  $m_r$  однакових чисел;  $m_r$ , R - випадкові величини.

Разом з тим, з аналізу даних, наведених у табл. 2, видно, що за певних умов результат порогового оброблення, а саме одиничний результуючий сигнал  $Y_1$ , формується раніше, ніж накопичується остаточна сума S чисел, які являють собою зважені вхідні сигнали.

Таблиця 2

Різницеві зрізи $A_i$	$A_0$	$A_1$	$A_2$	$A_3$	$A_4$	$A_5$
Елементи $a_{ij}$ зрізів						
$a_{1j}$	13	10	5	2	0	0
$a_{2j}$	8	5	0		-	-
$a_{3j}$	3	0	-	-	-	-
$a_{4j}$	11	8	3	0	-	-
Етапи оброблення	0	1	2	3	4	5
Найменше число $q_i$	0	3	5	3	2	0
Часткова сума $S_j$	0	$3 \times 4 = 12$	$5 \times 3 = 15$	$3 \times 2 = 6$	$2 \times 1 = 2$	0
Поточний поріг $\Delta_j$	30	$30 - 12 = 18$	$18 - 15 = 3$	$3 - 6 = -3$	-3	-3
Результуючий сигнал $Y_1$	0	0	0	1	1	1
Накопичення часткових сум $S_j$	0	12	$12 + 15 = 27$	$27 + 6 = 33$	$33 + 2 = 35$	35

Ознака закінчення Z	0	0	0	0	0	1
------------------------	---	---	---	---	---	---

Логічний блок 8 і блок 9 комутації (фіг. 3) працюють в такий спосіб. З керуючих входів 5, 6 пристрою подаються сигнали на відповідні входи логічного блока 8, котрі надходять на входи елемента нерівнозначності 57 та на входи елемента I 58. На виході 19 елемента нерівнозначності 57 логічного блока 8 формується одиничний сигнал за умови порогової функції активації та формування скалярного добутку векторів і цифрового інтегратора, коли на керуючих входах 5 і 6 присутній код 10 (табл. 1) і нульовий сигнал за умови лінійних функцій активації та формування скалярного добутку і цифрового інтегратора, коли на керуючих входах 5 і 6 присутні відповідні коди 00 та 11 (табл.1). На виході 20 елемента I 58 логічного блока 8 формується одиничний сигнал за умови лінійної з насиченням функції активації, коли на керуючих входах 5 і 6 присутній код 11 (табл. 1) і нульовий сигнал для інших випадків, зокрема за умови лінійної функції активації, коли на керуючих входах 5 і 6 присутній код 00 або 10 (табл.1).

З виходів 19 і 20 логічного блока 8 сигнали надходять відповідно на другий вхід елемента I 59 та на другий вхід елемента рівнозначності 60 блока 9 комутації (фіг. 3). В результаті на виході 14 результату блока комутації 9, тобто на виході елемента I 59 цього блока з'являється значення сигналу  $Y_1$  з виходу 15 результуючого сигналу суматора 7 за наявності одиничного сигналу на виході 19 логічного блока 8, тобто при пороговій функції активації.

На інформаційному виході 21 блока 9 комутації, тобто на виході мультиплексора 61 цього блока з'являється інформація за наявності нульового сигналу на виході 19 логічного блока 8, тобто за наявності одиничного сигналу, що проходить через інвертор 62 на вхід дозволу E мультиплексора 61 блока 9 комутації. При цьому на інформаційний вихід мультиплексора 61 блока 9 комутації інформація передається з інформаційного виходу 10 суматора 7 у випадку, коли співпадають сигнали на виході 20 логічного блока 8 та на виході 15 результуючого сигналу суматора 7, або інформація з інформаційного виходу 18 суматора 7 у випадку, коли ці сигнали не співпадають на входах елемента рівнозначності 60 блока 9 комутації.

В першому випадку реалізується режим нейрона з лінійною з насиченням функцією активації, оскільки присутні одиничні сигнали на входах елемента рівнозначності 60 блока 9 комутації, що визначає вибір інформації з другого інформаційного входу мультиплексора 61 блока 9 комутації, на який подається з інформаційного виходу 10 суматора 7 результат підсумовування  $S(7)$ , тобто  $Y_3=S$  за наявності одиничного сигналу  $Y_1=1$  на виході 15 результуючого сигналу суматора 7.

У другому випадку реалізується режим нейрона з лінійною та лінійною з насиченням функцією активації, оскільки присутні сигнали 01 та 10 на входах елемента рівнозначності 60 блока 9 комутації, що визначає вибір інформації з першого інформаційного входу мультиплексора 61 блока 9 комутації, на який подається з інформаційного виходу 18 суматора 7 накопичена часткова сума  $S_k(2)$  при відповідному результуючому сигналі  $Y_1$  на виході 15 суматора 7 та виході 20 логічного блока 8.

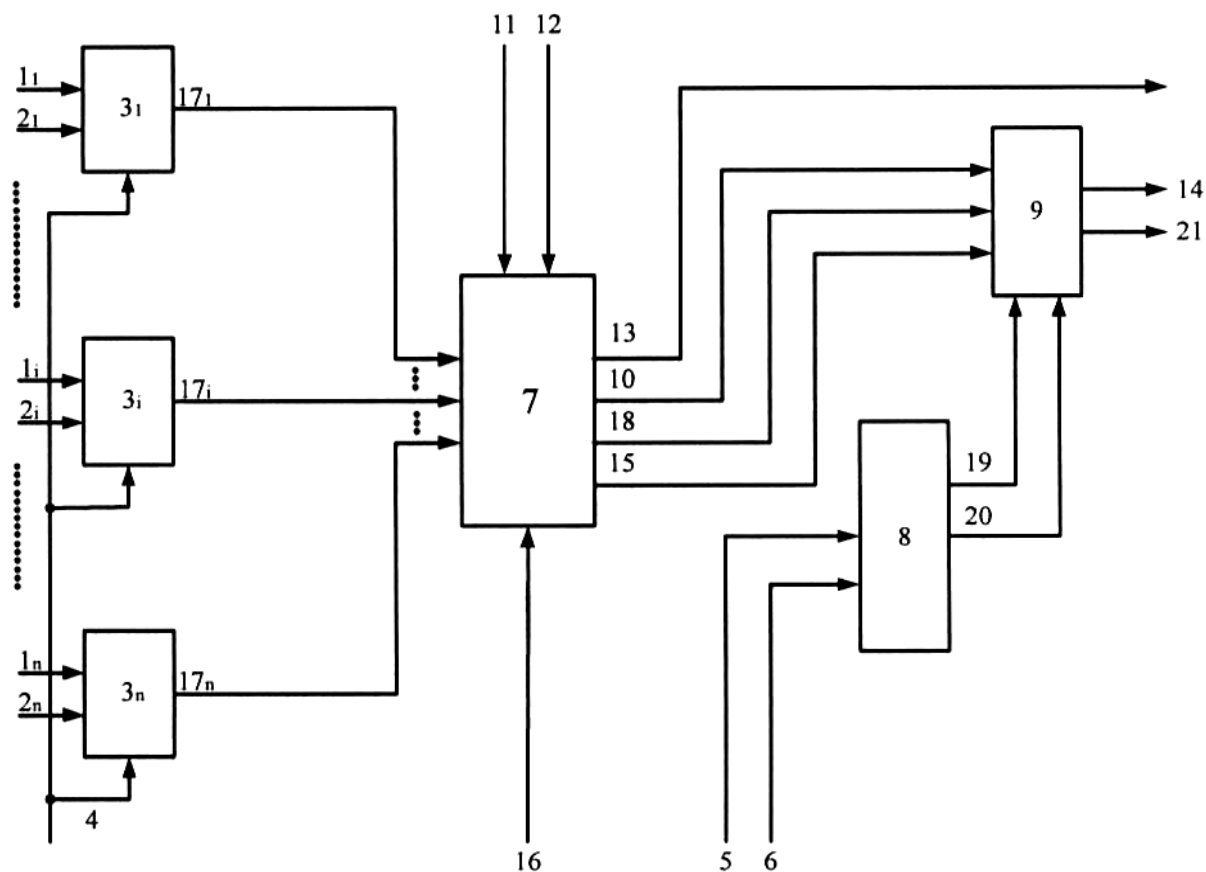
Таким чином, на виході 14 результату блока 9 комутації формується сигнал  $Y_1$  відповідно до режиму формального нейрона з пороговою функцією активації, а на інформаційному виході 21 результату блока 9 комутації формується значення  $S$  або  $S_k$  відповідно до режимів формального нейрона з лінійною або лінійною з насиченням функціями активації.

Отже, принцип роботи пристрою для моделювання нейрона наближається до роботи біологічного нейрона, час спрацювання якого залежить від порога оброблення, кількості вхідних сигналів і закону їх розподілу у вхідному масиві. Крім того, пристрій за рахунок керування режимами формального нейрона з пороговою, лінійною і лінійною з насиченням функціями активації значно розширює свої функціональні можливості.

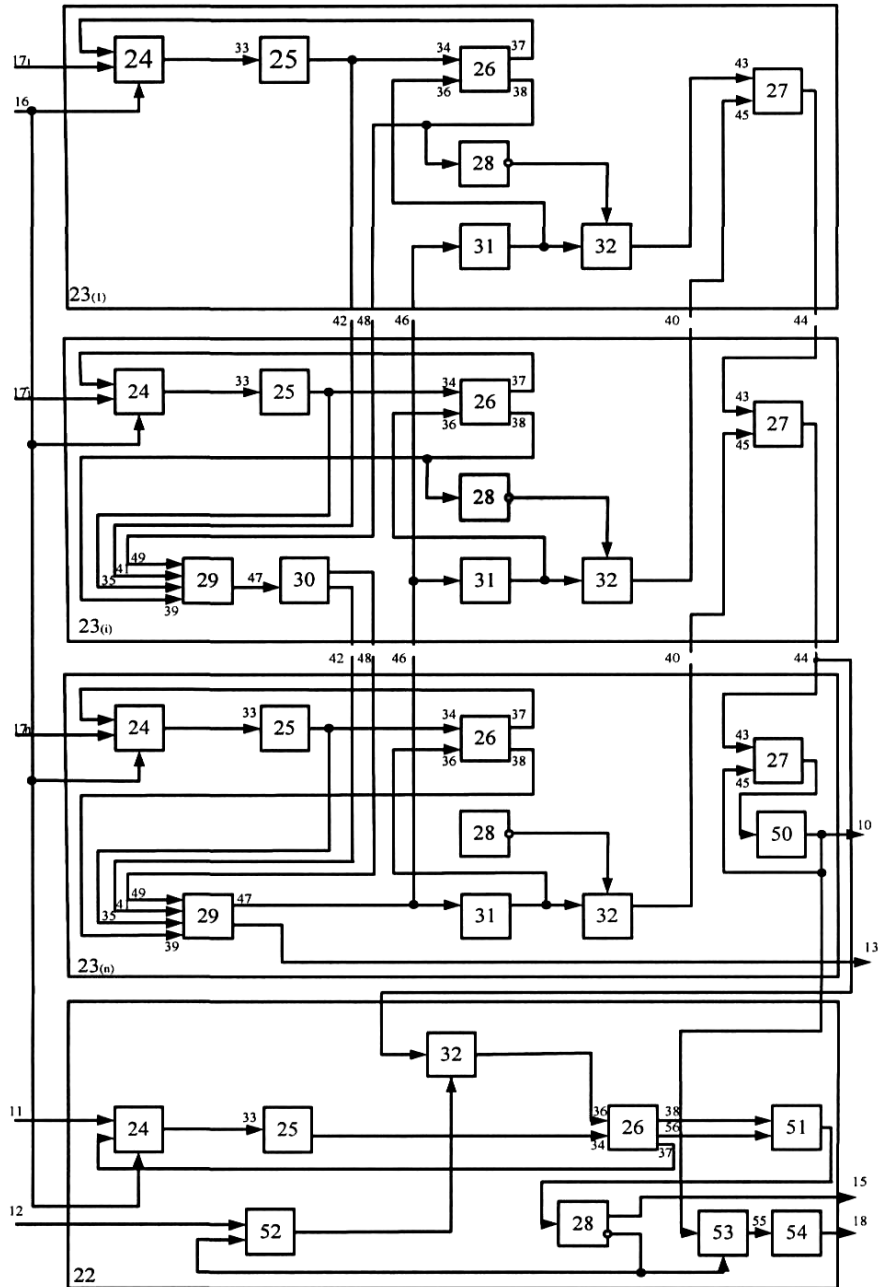
#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Пристрій для моделювання нейрона, який містить  $n$  блоків зміни синаптичних ваг, перші і другі входи яких є інформаційними входами пристрою, суматор, перші  $n$  входів якого з'єднані відповідно з виходами  $n$  блоків зміни синаптичних ваг, елемент НЕРІВНОЗНАЧНОСТІ, причому установний вхід пристрою з'єднаний з відповідним входом  $n$  блоків зміни синаптичних ваг, вхід порога, адресний і перший керуючий входи пристрою з'єднані з відповідними входами суматора, вихід ознаки нуля якого є виходом сигналу "кінець" пристрою, який відрізняється тим, що в нього введено логічний блок і блок комутації, причому логічний блок містить елемент НЕРІВНОЗНАЧНОСТІ та елемент I, а блок комутації містить мультиплексор, елемент I, елемент

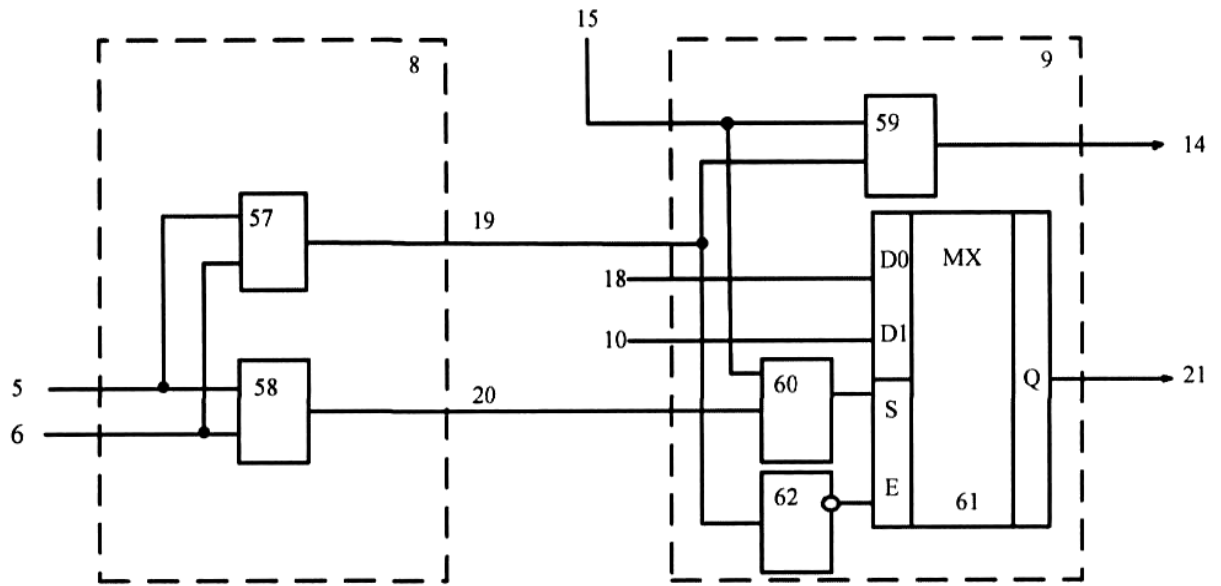
РІВНОЗНАЧНОСТІ та інвертор, другий та третій керуючі входи пристрою з'єднані відповідно з входами елемента НЕРІВНОЗНАЧНОСТІ та елемента І логічного блока, а їх виходи є відповідно першим і другим виходами логічного блока, вихід результуючого сигналу суматора і перший вихід логічного блока з'єднані з входами елемента І блока комутації, вихід якого є першим виходом результату пристрою, вихід результуючого сигналу суматора і другий вихід логічного блока з'єднані з виходами елемента РІВНОЗНАЧНОСТІ блока комутації, вихід якого з'єднаний з входом вибору мультиплектора блока комутації, перший вихід логічного блока з'єднаний через інвертор з входом дозволу мультиплектора, інформаційні входи якого з'єднані відповідно з другим і першим інформаційними виходами суматора, а його інформаційний вихід є другим виходом результату пристрою.



Фіг. 1



Фиг. 2



Фіг. 3

---

Комп'ютерна верстка І. Мироненко

---

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601