



УКРАЇНА

(19) UA (11) 12879 (13) U  
(51) МПК (2006)  
H03M 1/36

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС

### ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під  
відповідальність  
власника  
патенту

#### (54) АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

1

2

(21) u200505418

(22) 06.06.2005

(24) 15.03.2006

(46) 15.03.2006, Бюл. № 3, 2006 р.

(72) Бортник Геннадій Григорович, Бортник Сергій Геннадійович, Стальченко Олександр Володимирович

(73) Вінницький національний технічний університет

(57) Аналого-цифровий перетворювач, який містить послідовно з'єднані джерело опорних напруг,

$\frac{n}{2^2} - 1$  компараторів, різницевий пристрій, причому перші входи компараторів з'єднані з шиною джерела вхідної напруги, що підлягає перетворенню, а другі входи під'єднані до шини джерела опо-

рних напруг, виходи  $\frac{n}{2^2} - 1$  компараторів з'єднані з входами  $\frac{n}{2}$  елементів пам'яті через першу групу

елементів I та групу елементів АБО, входи  $\frac{n}{2}$

елементів пам'яті під'єднані до шин старших розрядів, який **відрізняється** тим, що введені анало-

говий комутатор,  $\frac{n}{2^2} - 1$  D-тригери, друга група елементів I, елементи I з інверсним входом, елемент затримки, елемент АБО з  $\frac{n}{2} + 1$  входами, RS-

тригер, два аналогових ключі, елемент I, причому аналогові входи аналогового комутатора під'єднані до шини джерела опорної напруги, а виходи аналогового комутатора з'єднані з інверсним входом різницевого пристрою, прямий вхід якого, як і вхід

першого аналогового ключа, під'єднаний до шини джерела вхідної напруги, що підлягає перетворенню, вихід різницевого пристрою з'єднаний з входом другого аналогового ключа, вихід якого, як і вихід першого аналогового ключа під'єднаний до шини джерела вхідної напруги, що підлягає перетворенню, керуючий вхід першого аналогового ключа з'єднаний з інверсним виходом RS-тригера, а керуючий вхід другого аналогового ключа - з прямим виходом RS-тригера, R-вхід якого під'єднаний до вхідної шини керуючого сигналу, до R-входів елементів пам'яті і до інверсних входів елементів I з інверсним входом, а S-вхід тригера

під'єднаний до виходу елемента АБО з  $\frac{n}{2} + 1$  входами,  $\frac{n}{2}$  входи якого з'єднані відповідно з  $\frac{n}{2}$  прямими виходами елементів пам'яті, а останній вхід елемента АБО з  $\frac{n}{2} + 1$  входами з'єднаний з входом

елемента I, перший вхід якого з'єднаний з інверсним виходом першого компаратора, а другий - з входом елемента затримки, вхід якого з'єднаний з інверсним виходом RS-тригера, з другими входами другої групи елементів I, перші входи яких з'єднані з виходами групи елементів АБО і з шиною молодших розрядів, виходи другої групи елементів I з'єднані з S-входами елементів пам'яті, інверсний вихід RS-тригера під'єднаний до керуючих входів D-тригерів, інформаційні входи яких з'єднані з виходами першої групи елементів I і прямим виходом n-го компаратора відповідно, виходи D-тригерів під'єднані до прямих входів елементів I з інверсним входом, виходи яких з'єднані з керуючими входами аналогового комутатора.

Корисна модель відноситься до імпульсної техніки і призначена для використання в системах обробки швидкоплинної інформації.

Відомий паралельний аналого-цифровий перетворювач (АЦП), який містить  $2^{m-1}$  пристроїв порівняння, де m - кількість розрядів вихідного

коду, яка визначається за один вимірювальний такт перетворювача, перші входи яких з'єднані з шиною джерела вхідного сигналу, другі входи - з відповідними виходами резистивного подільника, а виходи з'єднані з цифровими входами блоку керування, перший вихід блоку керування з'єднаний з

(19) UA (11) 12879 (13) U

першим входом першого перетворювача код-струм, вихід якого з'єднаний з першим виходом резистивного подільника, другий вихід блоку керування з'єднаний з першим входом другого перетворювача код-струм, вихід якого з'єднаний з  $2^{m-1}$  виходом резистивного подільника, а вхід резистивного подільника з'єднаний з шиною джерела початкового зміщення, третій вихід блоку керування з'єднаний з входом блоку пам'яті, перший вихід якого через цифро-аналоговий перетворювач (ЦАП) з'єднаний з другими входами першого і другого перетворювачів код-струм, другий вихід блоку пам'яті з'єднаний з першими входами додаткових перетворювачів код-струм, вихід одного з яких з'єднаний з першим входом резистивного подільника, а вихід другого з  $2^{m-1}$  виходом резистивного подільника [авторське свідоцтво СРСР №651475 - МКИ - Н03К13/02 бюлетень №9, 1979р.].

Недоліком цього пристрою є низька швидкодія і складність АЦП.

Відомий аналого-цифровий перетворювач, який містить малорозрядний АЦП, виходи якого підключені до шин старших розрядів, ЦАП, вихід якого з'єднаний з входом подільника напруги, до виходів подільника під'єднані компаратори, другі входи яких під'єднані до шин вхідної напруги, виходи компараторів під'єднані до шин молодших розрядів [заявка ФРН №274316, кл. Н03К13/05].

Недоліком даного АЦП є низька швидкодія перетворення.

Найбільш близьким є 8-розрядний аналого-цифровий перетворювач, який містить два 4-розрядних АЦП, кожен з яких містить послідовно

з'єднані джерело опорних напруг і набір  $2^{\frac{n}{2}} - 1$  компараторів, різницевого пристрій, перші входи компараторів першого 4-розрядного АЦП з'єднані з шиною джерела вхідної напруги, що підлягає перетворенню, виходи компараторів першого 4-розрядного АЦП з'єднані з входами елементів пам'яті через групу елементів І та АБО, виходи елементів пам'яті під'єднані до шин старших розрядів і до входів ЦАП, вихід якого з'єднаний з другим входом різницевого пристрою, перший вхід якого під'єднаний до шин джерела вхідної напруги, що підлягає перетворенню, вихід різницевого пристрою з'єднаний з першими входами компараторів другого 4-розрядного АЦП, другі входи яких і другі входи першого 4-розрядного АЦП під'єднані до шин джерела опорних напруг, виходи компараторів другого 4-розрядного АЦП через групу елементів І та АБО під'єднані до шин молодших розрядів [патент США №41248224, кл. 330/252 МКИ - Н03М1/36].

Недоліком даного АЦП є обмеження по швидкодії перетворення і складність пристрою.

В основу корисної моделі поставлено задачу створення аналого-цифрового перетворювача, в якому за рахунок введення нових блоків та зв'язків підвищується швидкодія та спрощується пристрій.

Поставлена задача досягається тим, що в АЦП, який містить послідовно з'єднані джерело

опорних напруг, набір  $2^{\frac{n}{2}} - 1$  компараторів, різни-

цевий пристрій, перші входи  $2^{\frac{n}{2}} - 1$  компараторів з'єднані з шиною джерела вхідної напруги, яка підлягає перетворенню, а другі входи під'єднані до шин джерела опорних напруг, виходи компараторів з'єднані з входами елементів пам'яті через групу елементів І та АБО, виходи елементів пам'яті під'єднані до шин старших розрядів, введені ана-

логовий комутатор,  $2^{\frac{n}{2}} - 1$  D-тригери, друга група елементів І, елементи І з інверсним входом, елемент затримки, елемент АБО з  $\frac{n}{2} + 1$  входами, RS-

тригер, два аналогових ключа, причому аналогові входи аналогового комутатора під'єднані до шин джерела опорної напруги, а входи аналогового комутатора з'єднані з інверсним входом різницевого пристрою, прямий вхід якого і вхід першого аналогового ключа під'єднані до шин джерела вхідної напруги, що підлягає перетворенню, вихід різницевого пристрою з'єднаний з входом другого аналогового ключа, вихід якого і вихід першого аналогового ключа під'єднані до перших входів компараторів, керуючий вхід першого аналогового ключа з'єднаний з інверсним виходом RS-тригера, а керуючий вхід другого аналогового ключа - з прямим виходом RS-тригера, R-вхід якого підключений до вхідної шини керуючого сигналу, до R-входів елементів пам'яті і до інверсних входів елементів І з інверсним входом, а S-вхід тригера під'єднаний до виходу елемента АБО з  $\frac{n}{2} + 1$  вхо-

дами, перші  $\frac{n}{2}$  входи якого з'єднані відповідно з прямими виходами елементів пам'яті, а останній вхід елемента АБО  $\frac{n}{2} + 1$  входами з'єднаний з ви-

ходом елемента І, перший вхід якого з'єднаний з інверсним виходом першого компаратора, а другий - з виходом елемента затримки, вхід якого з'єднаний з інверсним виходом RS-тригера, з другими входами другої групи елементів І, перші входи яких з'єднані з виходами групи елементів АБО і з шинами молодших розрядів, виходи елементів І другої групи з'єднані з S-входами елементів пам'яті, інверсний вихід RS-тригера під'єднаний до керуючих входів D-тригерів, інформаційні входи яких з'єднані з виходами елементів І першої групи і з

прямим виходом  $2^{\frac{n}{2}} - 1$  компаратора відповідно, виходи D-тригерів під'єднані до прямих входів елементів І з інверсним входом, виходи яких з'єднані з керуючими входами аналогового комутатора.

На кресленні наведена структурна електрична схема аналого-цифрового перетворювача.

Пристрій містить шину 1 джерела вхідної напруги, що підлягає перетворенню  $U_{вх}$ , вхід шини 2 керуючого сигналу  $E_k$ , вхід 3 джерела опорної на-

пруги, коло  $2^{\frac{n}{2}} - 1$  резисторів 4,  $2^{\frac{n}{2}} - 1$  компараторів 5 з прямими і інверсними виходами, першу

групу елементів I 6, елемент затримки 7, зокрема елемент АБО, елемент I 8, елемент АБО 9 з  $\frac{n}{2} + 1$

входами,  $2^{\frac{n}{2}} - 1$  D-тригери 10, елементи I 11 з інверсним входом, аналоговий комутатор 12, групу елементів АБО 13, другу групу елементів I 14,  $\frac{n}{2}$  елементи пам'яті 15, зокрема RS-тригери, з виходами 16 старших розрядів, виходи 17 молодших розрядів, RS-тригер 18, перший аналоговий ключ 19, другий аналоговий ключ 20, різницевий пристрій 21, зокрема диференціальний підсилювач.

Число компараторів і ключів в аналого-цифровому комутаторі в АЦП, який заявляється залежить від n - двійкових розрядів перетворення і

дорівнює  $2^{\frac{n}{2}} - 1$ , причому перші входи  $2^{\frac{n}{2}} - 1$  компараторів 5 з'єднані з шиною 1 джерела вхідної напруги, що підлягає перетворенню, а другі входи під'єднані до входу 3 джерела опорної напруги,

виходи  $2^{\frac{n}{2}} - 1$  компараторів 5 з'єднані з входами  $\frac{n}{2}$  елементів пам'яті 15 через першу групу елементів I 6 та групу елементів АБО 13, входи  $\frac{n}{2}$  елементів пам'яті 15 під'єднані до виходів старших розрядів 16, аналогові входи аналогового комутатора 12 під'єднані до входу 3 джерела опорної напруги, а входи аналогового комутатора 12 з'єднані з інверсним входом різницевого пристрою 21, прямий вхід якого і вхід першого аналогового ключа 19 під'єднані до шини 1 джерела вхідної напруги, що підлягає перетворенню, вихід різницевого пристрою 21 з'єднаний з входом другого аналогового ключа 20, вихід якого і вихід першого аналогового ключа 19 під'єднані до перших входів

$2^{\frac{n}{2}} - 1$  компараторів 5, керуючий вхід першого аналогового ключа 19 з'єднаний з інверсним виходом RS-тригера 18, а керуючий вхід другого аналогового ключа 20 - з прямим виходом RS-тригера 18, R-вхід якого підключений до вхідної шини 2 керуючого сигналу, до R-входів елементів пам'яті 15 і до інверсних входів елементів I 11 з інверсним входом, а S-вхід RS-тригера 18 під'єднаний до виходу елемента АБО 9 з  $\frac{n}{2} + 1$  входами, перші  $\frac{n}{2}$  входи якого з'єднані відповідно з прямими виходами елементів пам'яті 15, а останній вхід елемента АБО 9 з  $\frac{n}{2} + 1$  входами з'єднаний з виходом елемента I 8, перший вхід якого з'єднаний з інверсним виходом першого компаратора 5, а другий - з виходом елемента затримки 7, вхід якого з'єднаний з інверсним виходом RS-тригера 18, з другими входами другої групи елементів I 14, перші входи яких з'єднані з виходами групи елементів АБО 13 і з виходами 17 молодших розрядів, виходи елементів I другої групи 14 з'єднані з S-входами елементів

пам'яті 15, інверсний вихід RS-тригера 18 під'єднаний до керуючих входів D-тригерів 10, інформаційні входи яких з'єднані з виходами елементів I першої групи 6 і з прямим виходом  $2^{\frac{n}{2}} - 1$  компараторів 5 відповідно, виходи D-тригерів 10 під'єднані до прямих входів елементів I 11 з інверсним входом, виходи яких з'єднані з керуючими входами аналогового комутатора 12.

Аналого-цифровий перетворювач працює наступним чином.

В аналоговому комутаторі 12 з елементом I 8 та елементом АБО 9 з  $2^{\frac{n}{2}} - 1$  входами, причому до аналогового комутатора 12 підключають опорну напругу з лінійки компараторів 5 безпосередньо до входу різницевого пристрою 21, аналогові ключі 19 та 20, які комутують вхідну шину лінійки компараторів 5 в залежності від величини вхідного сигналу, керуючі імпульси надходять на вхід шини 2 керуючого сигналу встановлюють RS-тригер 18 в нульовий стан ( $Q=0, \bar{Q}=1$ ) і при надходженні на інверсні входи елементів I 11 з інверсними входами, встановлюють їх в „0”, відкриваючи таким чином всі ключі аналогового комутатора 12. В результаті встановлення RS-тригера 18 в нульовий стан перший аналоговий ключ 19 замикається, а другий аналоговий ключ 20 розмикається. Елемент I 8 і елемент АБО 9 з  $\frac{n}{2} + 1$  входами через

присутність елемента затримки 7 спрацьовують дещо пізніше моменту встановлення RS-тригера 18, що дозволяє вирівняти запізнення в першому аналоговому ключі 19 і в компараторах 5.

На шину 1, джерела вхідної напруги, яка підлягає перетворенню надходить аналоговий сигнал. Через перший аналоговий ключ 19 цей сигнал подається на перші входи компараторів 5, другі входи яких підключені до кола резисторів 4, які формують опорні напруги після того, як на вхід 3 джерела опорної напруги подана опорна напруга  $U_{оп}$ . При цьому можуть мати місце два випадки:

- значення, яке реєструється, менше напруги, яка прикладена до нижнього по схемі резистора кола резисторів 4;
- значення, яке реєструється, більше напруги, яка прикладена до нижнього по схемі резистора кола резисторів 4.

В першому випадку на всіх виходах першої групи елементів I 6 з'являється логічний „0”, і в силу цього всі ключі аналогового комутатора 12 залишаються розімкнутими, а на інверсний вхід різницевого пристрою 21, відповідно подається логічний „0”. Так як на виходи елементів пам'яті 15 сигнал не надходить, тому що на входах групи елементів АБО 13 логічні „0”, що веде за собою появу логічних „0” на перших входах другої групи елементів I 14 і, відповідно, на S-входах елементів пам'яті 15, то на виходах 16 старших розрядів зберігається „0”. З інверсного виходу першого компаратора 5<sub>1</sub> і з елемента затримки 7 подаються логічні „1” на входи елемента I 8, з елемента I 8 подається „1” на вхід елемента АБО 9 з  $\frac{n}{2} + 1$  вхо-

дами через присутність елемента затримки 7 спрацьовують дещо пізніше моменту встановлення RS-тригера 18, що дозволяє вирівняти запізнення в першому аналоговому ключі 19 і в компараторах 5.

На шину 1, джерела вхідної напруги, яка підлягає перетворенню надходить аналоговий сигнал. Через перший аналоговий ключ 19 цей сигнал подається на перші входи компараторів 5, другі входи яких підключені до кола резисторів 4, які формують опорні напруги після того, як на вхід 3 джерела опорної напруги подана опорна напруга  $U_{оп}$ . При цьому можуть мати місце два випадки:

- значення, яке реєструється, менше напруги, яка прикладена до нижнього по схемі резистора кола резисторів 4;
- значення, яке реєструється, більше напруги, яка прикладена до нижнього по схемі резистора кола резисторів 4.

В першому випадку на всіх виходах першої групи елементів I 6 з'являється логічний „0”, і в силу цього всі ключі аналогового комутатора 12 залишаються розімкнутими, а на інверсний вхід різницевого пристрою 21, відповідно подається логічний „0”. Так як на виходи елементів пам'яті 15 сигнал не надходить, тому що на входах групи елементів АБО 13 логічні „0”, що веде за собою появу логічних „0” на перших входах другої групи елементів I 14 і, відповідно, на S-входах елементів пам'яті 15, то на виходах 16 старших розрядів зберігається „0”. З інверсного виходу першого компаратора 5<sub>1</sub> і з елемента затримки 7 подаються логічні „1” на входи елемента I 8, з елемента I 8 подається „1” на вхід елемента АБО 9 з  $\frac{n}{2} + 1$  вхо-

дами, ця „1” з виходу елемента АБО  $9 \text{ з } \frac{n}{2} + 1$  входами надходить на S-вхід RS-тригера 18, який маючи на R-вході логічний „0”, встановлюється в одиничний стан ( $Q = 1, \bar{Q} = 0$ ). При цьому перший аналоговий ключ 19 - розмикається, а другий аналоговий ключ 20 замикається. Логічний „0” з інверсного виходу RS-тригера 18 забезпечує незмінний „0” на виходах 16 старших розрядів, тому що „0” на других входах 22 другої групи елементів I 14 веде до збереження „0” на S-входах елементів пам'яті 75. З виходу різницевого пристрою 27 аналоговий сигнал подається на перші входи компараторів 5, перетворюється за допомогою першої групи елементів I 6 та групи елементів АБО 13 в двійковий код, який надходить на виходи 77 молодших розрядів. Так як RS-тригер 18 знаходиться в одиничному стані, то „0” з його інверсного виходу, поступаючи на керуючі входи D-тригерів 10, залишає їх в попередньому стані. Таким чином, нові стани першої групи елементів I 6 не можуть бути більше поданими на керуючі входи аналогового комутатора 72. Тому потенціал на виході аналогового комутатора 72 зберігає свій попередній стан. Внаслідок цього аналоговий сигнал на виході різницевого пристрою 27 не перешкоджає формуванню коду на виходах 77 молодших розрядів.

Другий випадок. Якщо значення сигналу, що реєструється з шини 7 джерела вхідної напруги, що підлягає перетворенню перевищить падіння напруги на нижньому резисторі, то на виході елемента АБО  $9 \text{ з } \frac{n}{2} + 1$  входами з'являється логічний „0”. Аналоговий сигнал перетворюється компараторами 5, першою групою елементів I 6 та групою елементів АБО 13 в цифровий сигнал, який через другу групу елементів I 14 та елементи пам'яті 75 з'являється на виходах 16 старших розрядів, звідки надходить на входи елемента АБО  $9 \text{ з } \frac{n}{2} + 1$  входами і встановлює його в „1”. Тільки після цього

RS-тригер 18 встановлюється в одиничний стан. У той час, коли аналоговий сигнал перетворюється в цифрову форму, група елементів I 6, D-тригери 10, елементи 111 з інверсним входом формують для аналогового комутатора 12 керуючі сигнали таким чином, що на інверсний вхід різницевого пристрою

$\frac{n}{2}$  подається та точка кола  $2^{\frac{n}{2}} - 1$  резисторів 4, напруга якої завжди менше значення аналогового сигналу, який перетворюється. Різниця напруг між значенням аналогового сигналу з шини 1 джерела вхідної напруги, яка підлягає перетворенню і вихідним сигналом компаратора 12 з'являється на виході різницевого пристрою 21. RS-тригер 18 встановлюється в одиничний стан, перший аналоговий ключ 19 розмикається, другий аналоговий ключ 20 замикається. При цьому на виходах 16 старших розрядів зберігається попередній стан (так як  $R=0, S=0$ ). На виході різницевого пристрою 21 зберігається підсилений різницевий сигнал, який, при надходженні на входи компараторів 5, перетворюється, як і в першому випадку, і формується у вигляді двійкового коду молодших розрядів на виходах 17 молодших розрядів.

Виконання аналого-цифрового перетворювача згідно схеми корисної моделі з використанням аналогового комутатора, підключеного безпосередньо до кола резисторів, що задає величини опорних напруг компараторів, дозволяє підвищити швидкодію аналого-цифрового перетворювача з одночасним спрощенням пристрою загалом.

Для реалізації 8-розрядного АЦП, який заявляє необхідно  $2^{\frac{8}{2}} - 1 = 15$  компараторів, тоді як 8-розрядний прототип пропонує використання двох 4-розрядних АЦП, тобто  $2 \cdot (2^4 - 1) = 30$  компараторів, що значно ускладнює вихідну кодуючу логіку, а також весь пристрій загалом.

