



УКРАЇНА

(19) **UA** (11) **102620** (13) **U**  
(51) МПК  
*Н03К 19/088* (2006.01)

ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

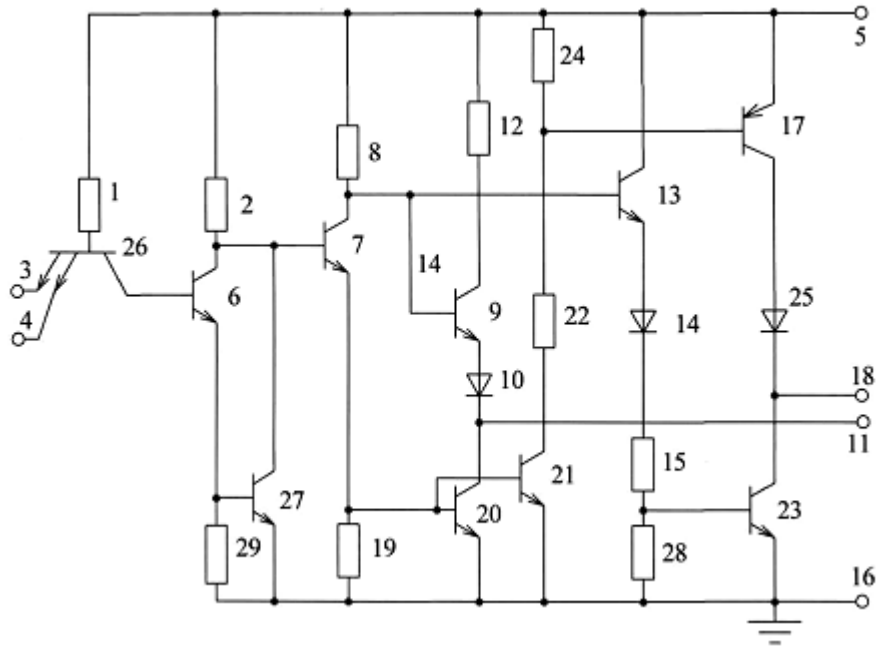
(21) Номер заявки: <b>u 2015 04327</b>	(72) Винахідник(и): <b>Стронський Віктор Володимирович (UA), Рогозіна Лідія Альбертівна (UA)</b>
(22) Дата подання заявки: <b>05.05.2015</b>	(73) Власник(и): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b>
(24) Дата, з якої є чинними права на корисну модель: <b>10.11.2015</b>	
(46) Публікація відомостей про видачу патенту: <b>10.11.2015, Бюл.№ 21</b>	

## (54) ЛОГІЧНИЙ ЕЛЕМЕНТ

### (57) Реферат:

Логічний елемент, який містить джерело постійної напруги, перший, другий входи, перший, другий виходи пристрою, перший, другий проміжні транзистори, перший, другий, третій, четвертий, п'ятий вихідні транзистори, транзистор зворотної провідності, перший, другий, третій діоди, перший, другий, третій, четвертий, п'ятий, шостий, сьомий, восьмий резистори, причому колектор другого проміжного транзистора через третій резистор підключений до додатного полюса джерела постійної напруги і з'єднаний з базами першого і третього вихідних транзисторів, колектор третього вихідного транзистора підключений до додатного полюса джерела постійної напруги, емітер з'єднаний з анодом другого діода, катод якого з'єднаний з першим виводом шостого резистора, а колектор першого вихідного транзистора через четвертий резистор підключений до додатного полюса джерела постійної напруги, емітер з'єднаний з анодом першого діода, катод якого підключений до першого виходу пристрою і з'єднаний з колектором другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, а база через п'ятий резистор підключена до загальної шини джерела постійної напруги та з'єднана з емітером другого проміжного транзистора і базою п'ятого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор з'єднаний з першим виводом сьомого резистора, а також, перші виходи першого, другого, восьмого резисторів підключені до додатного полюса джерела постійної напруги і катод третього діода підключений до другого виходу пристрою. Додатково введено вхідний двоємітерний транзистор, третій проміжний транзистор, дев'ятий, десятий резистори, причому база вхідного двоємітерного транзистора з'єднана з другим виводом першого резистора, перший, другий емітери підключені відповідно до першого і другого входів пристрою, колектор з'єднаний з базою першого проміжного транзистора, емітер якого через десятий резистор підключений до загальної шини джерела постійної напруги і з'єднаний з базою третього проміжного транзистора.

UA 102620 U



Корисна модель належить до області мікроелектроніки і обчислювальної техніки та призначена для синхронізації (узгодження) цифрових пристроїв різної швидкості.

Відомий логічний елемент I-NI, який містить схему I на багатоємітерному транзисторі і резисторі, підсилювальний каскад і складний інвертор на доповнюючих транзисторах типу n-p-n і p-n-p, крім того, в ньому додатково встановлений транзистор типу p-n-p, емітер якого з'єднаний з шиною живлення, колектор - з базою доповнюючого транзистора типу p-n-p складного інвертора і через резистор - з базою багатоємітерного транзистора, а база доповнюючого транзистора типу p-n-p з'єднана з середньою точкою подільника напруги на резисторах, який підключено між шиною живлення і колектором транзистора підсилювального каскаду [див. а.с. СРСР № 466620, м. кл Н03К 19/36, бюл. № 13, 1975].

Недоліком такого пристрою, що реалізує тільки одну логічну функцію I-NI, є обмежені функціональні можливості, тому що він не дозволяє реалізувати логічну функцію I на додатковому виході з кращими показниками швидкодії.

Відомий неінвертуючий вентиль містить звичайний інвертуючий вентиль, до якого доданий інвертуючий каскад по схемі Дарлінгтона і в підсумку пристрій виконує логічну операцію I (I-NI-NI), містить джерело постійної напруги та має перший, другий входи, вихід та складається з вхідного резистора, вхідного двоємітерного транзистора, першого, другого транзисторів інвертуючого каскаду, першого, другого резисторів інвертуючого каскаду, транзистора фазорозподільчого каскаду, першого, другого резисторів фазорозподільчого каскаду, першого, другого, третього вихідних транзисторів, вхідного резистора, першого, другого додаткових вихідних резисторів, причому перший, другий емітери вхідного двоємітерного транзистора підключені до першого, другого входів пристрою, база через вхідний резистор підключена до додатного полюса джерела постійної напруги, колектор з'єднаний з базою першого транзистора інвертуючого каскаду, емітер якого через перший резистор інвертуючого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого транзистора інвертуючого каскаду, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий резистор інвертуючого каскаду підключений до додатного полюса джерела постійної напруги та з'єднаний з колектором першого транзистора інвертуючого каскаду і базою транзистора фазорозподільчого каскаду, емітер якого через другий резистор фазорозподільчого каскаду підключений до загальної шини джерела постійної напруги і з'єднаний з базою другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор через другий додатковий вихідний резистор з'єднаний з емітером транзистора фазорозподільчого каскаду та підключений до виходу пристрою і з'єднаний з емітером першого вихідного транзистора, база якого через перший додатковий вихідний резистор підключена до загальної шини джерела постійної напруги і з'єднана з емітером третього вихідного транзистора, колектор першого вихідного транзистора через вихідний резистор підключений до додатного полюса джерела постійної напруги і з'єднаний з колектором третього вихідного транзистора, база якого через перший резистор фазорозподільчого каскаду підключена до додатного полюса джерела постійної напруги і з'єднана з колектором транзистора фазорозподільчого каскаду [див. Дж. Скарлетт. Транзисторно-транзисторные логические интегральные схемы и их применение. Пер. с англ. В.Л.Левина и Л.С.Ходоша. Под ред. Б.И.Ермолаева. - М: Мир, 1974. - С. 73, фиг. 7.1.].

Недоліком такого пристрою, що реалізує на виході логічну функцію I, є обмежені функціональні можливості, тому що він не дозволяє реалізувати інверсну логічну функцію I-NI на додатковому виході з затримкою часу  $t$  відносно сигналу на виході елемента, де реалізована логічна функція I.

За прототип вибрано логічний елемент [див. а.с. СРСР № 1568234, м. кл. Н03К 19/088, бюл. № 20, 1990], який містить перший і другий вхідні транзистори, бази яких через перший і другий резистори підключені до шини живлення, в подальшому додатного полюса джерела постійної напруги, емітери підключені до першого і другого входів логічного елемента, а колектори з'єднані з базами відповідно першого і другого проміжних транзисторів, колектори яких підключені через третій резистор до додатного полюса джерела постійної напруги і з'єднані з базою першого вихідного транзистора, емітер якого через перший діод підключений до першого виходу пристрою, а колектор через четвертий резистор підключений до додатного полюса джерела постійної напруги і колектора третього вихідного транзистора, база якого з'єднана з базою першого вихідного транзистора, емітер з'єднаний з анодом другого діода, катод якого через шостий резистор підключений до загальної шини, в подальшому загальної шини джерела постійної напруги і з'єднаний з базою транзистора зворотної провідності, колектор якого підключений до загальної шини джерела постійної напруги, а емітер підключений до другого виходу пристрою, емітери першого і другого проміжних транзисторів підключені через п'ятий

резистор до загальної шини джерела постійної напруги і з'єднані з базами другого і п'ятого вихідних транзисторів, емітери яких підключені до загальної шини джерела постійної напруги, колектор другого вихідного транзистора підключений до першого виходу пристрою, а колектор п'ятого вихідного транзистора через сьомий резистор підключений до додатного полюса постійної напруги і з'єднаний з базою четвертого вихідного транзистора, колектор якого через восьмий резистор підключений до додатного полюса джерела постійної напруги, а емітер з'єднаний з анодом третього діода, катод якого підключений до другого виходу пристрою.

Недоліком пристрою, що реалізує логічну функцію АБО-НІ на першому та на другому виході - логічну функцію АБО-НІ з затримкою часу  $t$  відносно появи сигналу на першому виході, є обмежені функціональні можливості, тому що він не дозволяє реалізувати логічну функцію І на першому виході та на другому виході - логічну функцію І-НІ з затримкою часу  $t$  відносно появи сигналу на першому виході.

В основу корисної моделі поставлена задача створення логічного елемента з розширеними функціональними можливостями, в якому за рахунок введення нових елементів і зв'язків між ними, крім прямої логічної функції І, що реалізована на першому виході пристрою, на другому виході пристрою реалізовано інверсну логічну функцію І-НІ з затримкою часу  $t$  відносно появи сигналу на першому виході пристрою, де реалізовано пряму логічну функцію І. Це дозволяє використовувати запропонований логічний елемент для синхронізації(узгодження) цифрових пристроїв різної швидкодії.

Поставлена задача вирішується тим, що в логічний елемент, який містить джерело постійної напруги, перший, другий входи, перший, другий виходи пристрою, перший, другий проміжні транзистори, перший, другий, третій, четвертий, п'ятий вихідні транзистори, транзистор зворотної провідності, перший, другий, третій діоди, перший, другий, третій, четвертий, п'ятий, шостий, сьомий, восьмий резистори, причому колектор другого проміжного транзистора через третій резистор підключений до додатного полюса джерела постійної напруги і з'єднаний з базами першого і третього вихідних транзисторів, колектор третього вихідного транзистора підключений до додатного полюса джерела постійної напруги, емітер з'єднаний з анодом другого діода, катод якого з'єднаний з першим виводом шостого резистора, а колектор першого вихідного транзистора через четвертий резистор підключений до додатного полюса джерела постійної напруги, емітер з'єднаний з анодом першого діода, катод якого підключений до першого виходу пристрою і з'єднаний з колектором другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, а база через п'ятий резистор підключена до загальної шини джерела постійної напруги і з'єднана з емітером другого проміжного транзистора та базою п'ятого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор з'єднаний з першим виводом сьомого резистора, а також перші виводи першого, другого восьмого резисторів підключені до додатного полюса джерела постійної напруги і катод третього діода підключений до другого виходу пристрою, введено вхідний двоємітерний транзистор, третій проміжний транзистор, дев'ятий, десятий резистори, причому база вхідного двоємітерного транзистора з'єднана з другим виводом першого резистора, перший, другий емітери підключені відповідно до першого і другого входів пристрою, колектор з'єднаний з базою першого проміжного транзистора, емітер якого через десятий резистор підключений до загальної шини джерела постійної напруги і з'єднаний з базою третього проміжного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор з'єднаний з другим виводом другого резистора, колектором першого проміжного транзистора і базою другого проміжного транзистора, а емітер транзистора зворотної провідності підключений до додатного полюса джерела постійної напруги, колектор з'єднаний з анодом третього діода, база з'єднана з другими виводами сьомого і восьмого резисторів та емітер четвертого вихідного транзистора підключений до загальної шини джерела постійної напруги, колектор підключений до другого виходу пристрою, а база з'єднана з другим виводом шостого резистора і через дев'ятий резистор підключена до загальної шини джерела постійної напруги.

На кресленні представлено схему логічного елемента.

Пристрій містить додатний полюс 5 і загальну шину 16 джерела постійної напруги, перший 3, другий 4 входи і перший 11, другий 18 виходи пристрою, перший 6, другий 7, третій 27 проміжні транзистори, перший 9, другий 20, третій 13, четвертий 23, п'ятий 21 вихідні транзистори, транзистор зворотної провідності 17, вхідний двоємітерний транзистор 26, перший 10, другий 14, третій 25 діоди, перший 1, другий 2, третій 8, четвертий 12, п'ятий 19, шостий 15, сьомий 28, восьмий 24, дев'ятий 28, десятий 29 резистори, причому колектор другого проміжного транзистора 7 через резистор 8 підключений до додатного полюса 5 джерела постійної напруги і з'єднаний з базами першого 9 і третього 13 вихідних транзисторів. Колектор третього вихідного

транзистора 13 підключений до додатного полюса 5 джерела постійної напруги, емітер з'єднаний з анодом другого діода 14, катод якого з'єднаний першим виводом шостого резистора 15, а колектор першого вихідного транзистора 9 через четвертий резистор 12 підключений до додатного полюса 5 джерела постійної напруги, емітер з'єднаний з анодом першого діода 10, катод якого підключений до першого виходу пристрою 11 і з'єднаний з колектором другого вихідного транзистора 20, емітер якого підключений до загальної шини 16 джерела постійної напруги, а база через п'ятий резистор 19 підключена до загальної шини 16 джерела постійної напруги і з'єднана з емітером другого проміжного транзистора 7 та базою п'ятого вихідного транзистора 21, емітер якого підключений до загальної шини 16 джерела постійної напруги, колектор з'єднаний з першим виводом сьомого резистора 22. Перші виводи першого 1, другого 2, восьмого 24 резисторів підключені до додатного полюса 5 джерела постійної напруги і катод третього діода 25 підключений до другого виходу пристрою 18 та база вхідного двоємітерного транзистора 26 з'єднана з другим виводом першого резистора 1, перший, другий емітери підключені відповідно до першого 3 і другого 4 входів пристрою, колектор з'єднаний з базою першого проміжного транзистора 6, емітер якого через десятый резистор 29 підключений до загальної шини 16 джерела постійної напруги і з'єднаний з базою третього проміжного транзистора 27, емітер якого підключений до загальної шини 16 джерела постійної напруги, колектор з'єднаний з другим виводом другого резистора 2, колектором першого проміжного транзистора 6 і базою другого проміжного транзистора 7. Емітер транзистора зворотної провідності 17 підключений до додатного полюса 5 джерела постійної напруги, колектор з'єднаний з анодом третього діода 25, база з'єднана з другими виводами сьомого 22 і восьмого 24 резисторів. Емітер четвертого вихідного транзистора 23 підключений до загальної шини 16 джерела постійної напруги, колектор підключений до другого виходу пристрою 18, а база з'єднана з другим виводом шостого резистора 15 і через дев'ятий резистор 28 підключена до загальної шини 16 джерела постійної напруги.

Пристрій працює наступним чином.

Нехай в початковому стані на одному з входів пристрою першому 3 або другому 4, або на обох входах пристрою 3, 4 присутній низький потенціал, що відповідає рівню логічного нуля на першому 3 або другому 4 входах пристрою, або на обох входах пристрою 3, 4. В цьому випадку вхідний двоємітерний транзистор 26 відкривається за рахунок струму від додатного полюса 5 джерела постійної напруги через перший резистор 1 і один з відкритих емітерних переходів вхідного двоємітерного транзистора 26, на який подано рівень логічного нуля, або через обидва відкритих емітерних переходів. На базі відкритого двоємітерного транзистора 26 низький потенціал  $U_{Б1} \approx 1,0V$  якого недостатньо, щоб відкрити перший 6, третій 27 проміжні транзистори, де треба потенціал на базі вхідного двоємітерного транзистора 26  $U_{Б2} \approx 2,1V$  для відкриття першого 6, третього 27 проміжних транзисторів. Це призводить до закритого стану першого 6, третього 27 проміжних транзисторів, на колекторах яких і базі другого проміжного транзистора 7 присутній високий потенціал, тому що вони підключені через другий резистор 2 до додатного полюса 5 джерела постійної напруги, що призведе до відкритого стану другого проміжного транзистора 7. Струм емітера відкритого другого проміжного транзистора 7 створює падіння напруги  $U_{БЕ} \approx 0,7V$  на п'ятому резисторі 19, який підключено паралельно емітерним переходом другого 20, п'ятого 21 вихідних транзисторів, що призводить до відкритого стану другого 20, п'ятого 21 вихідних транзисторів. Через невеликий опір відкритого другого вихідного транзистора 20 перший вихід пристрою 11 підключається до загальної шини 16 джерела постійної напруги. Малий опір відкритого п'ятого вихідного транзистора 21 послідовно підключений до подільника напруги на восьмому 24, сьомому 27 резисторах і від додатного полюса джерела постійної напруги через подільник напруги на восьмому 24, сьомому 27 резисторах тече струм, який створює падіння напруги  $U_{БЕ} \approx 0,7V$  на восьмому резисторі 24, який підключено паралельно емітерному переходу транзистора зворотної провідності 17, що призводить до відкритого стану транзистора зворотної провідності 17 і прямо включеного третього діода 15. Через невеликі опори відкритого транзистора зворотної провідності 17 і відкритого прямо включеного третього діода другий вихід пристрою 18 підключений до додатного полюса 5 джерела постійної напруги. На колекторі відкритого другого проміжного транзистора 7 низький потенціал  $U_K \approx 1,0V$ , якого недостатньо, щоб відкрити перший 9, третій 13 вихідні транзистори, що призведе до закритого стану першого 9, третього 13 вихідних транзисторів і першого 10, другого 14 діодів. Перший вихід пристрою 11 відключений від додатного полюса 5 джерела постійної напруги великим опором закритого першого вихідного транзистора 9 і закритого першого діода 10. Великий опір закритого третього вихідного транзистора 13 і закритого другого діода 12 послідовно підключено до подільника напруги на шостому 15, дев'ятому 28 резисторах і струм від додатного полюса 5 джерела постійної напруги

через подільник напруги не тече, що призведе до закритого стану четвертого вихідного транзистора 23. Другий вихід пристрою 18 відключений від загальної шини 16 джерела постійної напруги великим опором закритого четвертого вихідного транзистора 23. Таким чином, перший вихід пристрою 11 через невеликий опір відкритого вихідного транзистора 20 підключено до загальної шини 16 джерела постійної напруги і відключено від додатного полюса 5 джерела постійної напруги великим опором закритого першого вихідного транзистора 9 і закритого першого діода 10, що відповідає низькому потенціалу на першому виході пристрою 11, тобто логічному нулю. Другий вихід пристрою 18 через невеликий опір відкритого транзистора зворотної провідності 17 і відкритий третій діод 25 підключено до додатного полюса 5 джерела постійної напруги і відключено від загальної шини 16 джерела постійної напруги великим опором закритого четвертого вихідного транзистора 23, що відповідає високому потенціалу на другому виході пристрою 18, тобто логічній одиниці.

Але логічний нуль на першому виході пристрою 11 формується через час  $\tau_{11}^0$ , що дорівнює:

$$\tau_{11}^0 = \tau_{26}^B + \tau_6^3 + \tau_{27}^3 + \tau_7^B + \tau_{20}^B, \quad (1)$$

де  $\tau_{26}^B$  - час відкривання вхідного двоємітерного транзистора 26;  $\tau_6^3$ ,  $\tau_{27}^3$ , - час закривання першого 6 і третього 27 проміжних транзисторів;  $\tau_7^B$ ,  $\tau_{20}^B$  - час відкривання другого проміжного транзистора 7 і другого вихідного транзистора 20. Логічна одиниця на другому виході пристрою 18 формується через час  $\tau_{18}^1$ , що дорівнює

$$\tau_{18}^1 = \tau_{26}^B + \tau_6^3 + \tau_{27}^3 + \tau_7^B + \tau_{21}^B + \tau_{17}^B, \quad (2)$$

де  $\tau_{21}^B$ ,  $\tau_{17}^B$  - час відкривання п'ятого вихідного транзистора 21 і транзистора зворотної провідності 17.

Вважаємо однаковим час відкривання другого 22, п'ятого 21 вихідних транзисторів, емітерні переходи яких підключені паралельно і час розсмоктування неосновних носіїв заряду в базах цих транзисторів 22, 21 можна вважати однаковим. Та можна також нехтувати часом відкривання третього діода 25 в порівнянні з часом відкривання будь-якого з транзисторів, з урахуванням виразів (1), (2) маємо наступний вираз

$$\tau_{18}^1 = \tau_{11}^0 + \tau_{17}^B, \quad (3)$$

тобто одиничний сигнал на другому виході пристрою 18 з'являється пізніше, ніж логічний нуль на першому виході пристрою 11 на час відкривання транзистора зворотної провідності 17.

Якщо на обох входах пристрою першому 3, четвертому 4 присутня логічна одиниця, то вхідний двоємітерний транзистор 26 знаходиться в інверсному активному режимі і його струм колекторного, що визначається величиною опору першого резистора 1, тече в базу першого проміжного транзистора 6, що призведе до відкритого стану першого проміжного транзистора 6. Емітерний струм відкритого першого проміжного транзистора створює на десятому резисторі 29 падіння напруги 0,7В, якого достатньо, щоб відкрити паралельно підключений до десятого резистора 29 емітерний перехід третього проміжного транзистора, що призведе до відкритого стану третього проміжного транзистора 27. На колекторах відкритих першого 6, третього 27 проміжних транзисторів і базі другого проміжного транзистора 7 низький потенціал і в базу другого проміжного транзистора 7 не надходить струм від додатного полюса джерела постійної напруги 5 через другий резистор 2, що призведе до закритого стану другого проміжного транзистора 7. На емітері закритого другого проміжного транзистора 7 і базах другого 20, п'ятого 21 вихідних транзисторів низький потенціал, тому що вони підключені через п'ятий резистор 19 до загальної шини 16 джерела постійної напруги, що призведе до закритого стану другого 20, п'ятого 21 вихідних транзисторів. Перший вихід пристрою 11 відключено від загальної шини 16 джерела постійної напруги великим опором закритого другого вихідного транзистора 20. Великий опір закритого п'ятого вихідного транзистора 21 послідовно підключено до подільника напруги на восьмому 24, сьомому 22 резисторах і струм від додатного полюса 5 джерела постійної напруги через подільник напруги на восьмому 24, сьомому резисторах не тече, що призведе до закритого стану третього діода 25 і транзистора зворотної провідності 17, емітерний перехід якого паралельно підключений до восьмого

резистора 24. Другий вихід пристрою 18 відключено від додатного полюса 5 джерела постійної напруги великим опором закритого транзистора зворотної провідності 17 і закритого третього діода 25. На колекторі закритого другого проміжного транзистора 7 і базах першого 9, третього 13 вихідних транзисторів високий потенціал, тому що вони підключені через третій резистор 8 до додатного полюса 5 джерела постійної напруги, що призведе до відкритого стану першого 9, третього 13 вихідних транзисторів за рахунок протікання струму від додатного полюса 5 джерела постійної напруги через третій резистор 8 в бази першого 9, третього 13 вихідних транзисторів. Струм емітера відкритого третього вихідного транзистора 13 через прямо включений другий діод 14 потрапляє в подільник напруги на шостому 15 і дев'ятому 28 резисторах, де створює падіння напруги  $U_{BE} \approx 0,7V$  на дев'ятому резисторі 28, який підключено паралельно емітерному переходу четвертого вихідного транзистора 23. Через невеликий опір відкритого четвертого вихідного транзистора 23 другий вихід пристрою 18 підключено до загальної шини 16 джерела постійної напруги. Через невеликий опір відкритого першого вихідного транзистора 9, емітерний струм якого відкриває прямо включений перший діод 10, перший вихід пристрою 11 підключено до додатного полюса 5 джерела постійної напруги. Таким чином, перший вихід пристрою 11 через невеликий опір відкритого першого вихідного транзистора 9, відкритого першого діода підключено до додатного полюса 5 джерела постійної напруги і відключено від загальної шини 16 великим опором закритого другого вихідного транзистора 20, що відповідає високому потенціалу на першому виході пристрою 11, тобто логічній одиниці. Другий вихід пристрою 18 через невеликий опір відкритого четвертого вихідного транзистора 23 підключено до загальної шини 16 джерела постійної напруги і відключено від додатного полюса 5 джерела постійної напруги великим опором закритого транзистора зворотної провідності 17 і закритого діода 27, що відповідає низькому потенціалу на другому виході пристрою 18, тобто логічному нулю.

Вважаємо однаковим час відкривання першого 9, третього 13 вихідних транзисторів, бази яких з'єднані між собою і час розсмоктування неосновних носіїв заряду в базах цих транзисторів 9, 13 можна вважати однаковими, та можна також нехтувати часом відкривання першого 10, другого 14 діодів в порівнянні з часом відкривання будь-якого з транзисторів, то аналогічно до виразів (1-3) можна записати таке рівняння

$$\tau_{18}^0 = \tau_{11}^1 + \tau_{23}^B, \quad (4)$$

де  $\tau_{18}^0$ ,  $\tau_{11}^1$  - час формування нульового сигналу на другому виході пристрою 18 і одиничного сигналу на першому виході пристрою 11, а  $\tau_{23}^B$  - час відкривання четвертого вихідного транзистора 23.

Нульовий сигнал на другому виході пристрою 18 з'являється пізніше, ніж нульовий сигнал на першому виході пристрою 11 на величину часу відкривання четвертого вихідного транзистора 23. Підбором відповідних номіналів третього 8, п'ятого 19, шостого 15, дев'ятого 28, восьмого 24, сьомого 22 резисторів можна забезпечити такі рівняння

$$\tau = \tau_{17}^B + \tau_{23}^B, \quad (5)$$

$$\tau_{18}^{0(1)} = \tau_{11}^{1(0)} + \tau, \quad (6)$$

тобто нульовий (одиничний) сигнал на другому виході пристрою 18 з'являється з затримкою часу  $\tau$  відносно одиничного (нульового) сигналу на першому виході пристрою 11.

Перший діод 10, другий діод 14 використовуються для того, щоб забезпечити стан першого 9, третього 13 вихідних транзисторів 9, якщо відкритий другий проміжний транзистор 7. Перший 6 і третій 27 проміжні транзистори включені по схемі Дарлінгтона, що забезпечує активний режим роботи третьому проміжному транзистору 27. В підсумку другий проміжний транзистор 7 знаходиться в активному режимі роботи, що забезпечує його швидке включення.

Стан входів 3, 4 і виходів 11, 18 логічного елемента зведено в таблиці:

Таблиця

№ п/п	Входи		Виходи		Час формування сигналів на виходах	
	3	4	11	18	11	18
1	0	0	0	1	$\tau_{11}^0$	$\tau_{18}^1 = \tau_{11}^0 + \tau$
2	0	1	0	1	$\tau_{11}^0$	$\tau_{18}^1 = \tau_{11}^0 + \tau$
3	1	0	0	1	$\tau_{11}^0$	$\tau_{18}^1 = \tau_{11}^0 + \tau$
4	1	1	1	0	$\tau_{11}^1$	$\tau_{18}^0 = \tau_{11}^1 + \tau$

З таблиці бачимо, що логічний елемент реалізує на першому виході пристрою 11 логічну функцію I, а на другому виході пристрою 18 логічну функцію I-NI, але сигнал на другому виході пристрою 18 з'являється із затримкою часу  $\tau$  відносно появи сигналу на першому виході пристрою 11.

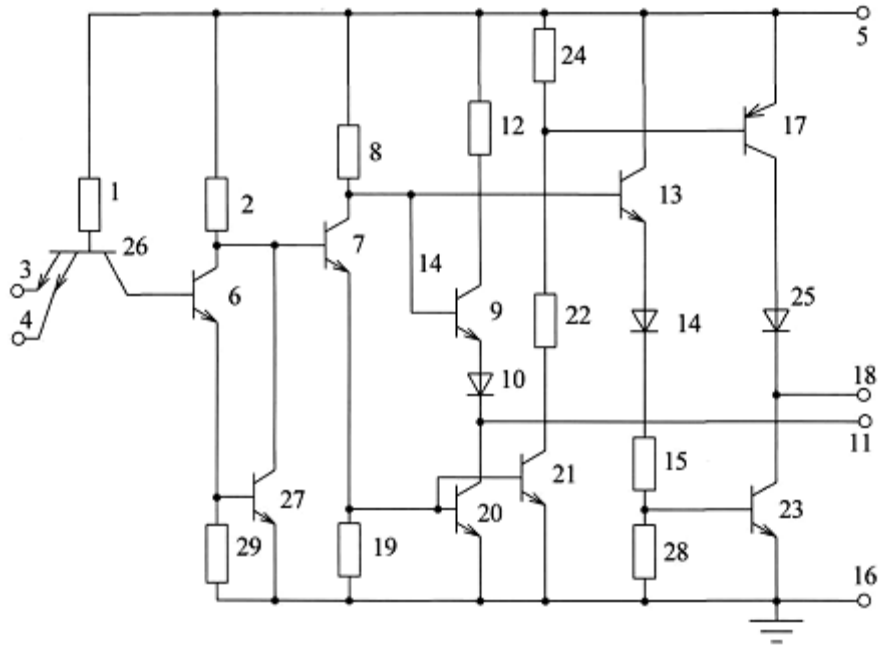
Таким чином, запропонований логічний елемент (на відміну від відомих логічних елементів) має більш широкі функціональні можливості, тому що він дозволяє реалізувати на другому виході пристрою 18 інверсну логічну функцію I-NI із затримкою часу  $\tau$  відносно прямої логічної функції

I, що реалізована на першому виході пристрою 11, що дозволяє використовувати цей логічний елемент для синхронізації (узгодження) цифрових пристроїв різної швидкодії.

#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Логічний елемент, який містить джерело постійної напруги, перший, другий входи, перший, другий виходи пристрою, перший, другий проміжні транзистори, перший, другий, третій, четвертий, п'ятий вихідні транзистори, транзистор зворотної провідності, перший, другий, третій діоди, перший, другий, третій, четвертий, п'ятий, шостий, сьомий, восьмий резистори, причому колектор другого проміжного транзистора через третій резистор підключений до додатного полюса джерела постійної напруги і з'єднаний з базами першого і третього вихідних транзисторів, колектор третього вихідного транзистора підключений до додатного полюса джерела постійної напруги, емітер з'єднаний з анодом другого діода, катод якого з'єднаний з першим виводом шостого резистора, а колектор першого вихідного транзистора через четвертий резистор підключений до додатного полюса джерела постійної напруги, емітер з'єднаний з анодом першого діода, катод якого підключений до першого виходу пристрою і з'єднаний з колектором другого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, а база через п'ятий резистор підключена до загальної шини джерела постійної напруги та з'єднана з емітером другого проміжного транзистора і базою п'ятого вихідного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор з'єднаний з першим виводом сьомого резистора, а також перші виводи першого, другого, восьмого резисторів підключені до додатного полюса джерела постійної напруги і катод третього діода підключений до другого виходу пристрою, який **відрізняється** тим, що додатково введено вхідний двоємітерний транзистор, третій проміжний транзистор, дев'ятий, десятий резистори, причому база вхідного двоємітерного транзистора з'єднана з другим виводом першого резистора, перший, другий емітери підключені відповідно до першого і другого входів пристрою, колектор з'єднаний з базою першого проміжного транзистора, емітер якого через десятий резистор підключений до загальної шини джерела постійної напруги і з'єднаний з базою третього проміжного транзистора, емітер якого підключений до загальної шини джерела постійної напруги, колектор з'єднаний з другим виводом другого резистора, колектором першого проміжного транзистора і базою другого проміжного транзистора, а емітер транзистора зворотної провідності типу р-п-р підключений до додатного полюса джерела постійної напруги, колектор з'єднаний з анодом третього діода, база з'єднана з другими виводами сьомого і восьмого резисторів та емітер четвертого вихідного транзистора підключений до загальної шини джерела постійної напруги, колектор підключений до другого виходу пристрою, а база з'єднана з другим виводом шостого резистора і через дев'ятий резистор підключена до загальної шини джерела постійної напруги.






---

Комп'ютерна верстка М. Мацело

---

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601