

Винахід відноситься до обчислювальної техніки і може бути використаний в системах обробки, збереження та передачі дискретних даних.

Відомий пристрій для виправлення двократних помилок в блоках передачі та збереження інформації. який містить вхідний регістр, перший і другий формувачі синдрому помилки, схему порівняння, регістр помилок, блок пам'яті помилок, блок корекції, групу інверторів з керуючим виходом, елемент АБО і тригер помилки корекції [див. А.С. СССР N 1173417, кл. G 06 F 11/08, бюл. N30, 1985р.].

Недоліком цього пристрою є низька коректуюча здатність та великі апаратні затрати.

Найбільш близьким технічним розв'язком до запропонованого є пристрій для знаходження пакетних помилок, який містить перетворювач кодів, блок синхронізації, блок формування типу помилки. блок порівняння, лічильник, обчислювач адреси пакета помилки, регістр і дешифратор, причому перший вхід перетворювача кодів є першим інформаційним входом пристрою, перші виходи перетворювача кодів з'єднані з першими входами блока порівняння, другі виходи перетворювача кодів з'єднані з першими входами обчислювача адреси пакета помилки, виходи якого є першими інформаційними виходами пристрою, перший вхід лічильника є входом початкового установлення пристрою, вихід лічильника - другим інформаційним виходом пристрою, перший і другий виходи блока синхронізації з'єднані відповідно з другим входом лічильника і першим входом блока формування типу помилки, перший і другий виходи якого з'єднані з другим входом блока порівняння і з першими входами блока синхронізації та регістра і з другими входами блока синхронізації та обчислювача адреси пакета помилки і є першим та другим керуючими виходами пристрою відповідно, треті виходи перетворювача кодів з'єднані з другими входами блока формування типу помилки та регістра і з третіми входами блока порівняння, вихід якого з'єднаний з третіми входами блока формування типу помилки, четверті і п'яті входи якого під'єднані відповідно до перших і других виходів перетворювача кодів, четверті виходи якого з'єднані з шостими входами блока формування типу помилки, виходи регістра з'єднані з третіми входами обчислювача адреси пакета помилки, четверті входи якого і входи дешифратора під'єднані до виходів лічильника, третій і четвертий виходи блока синхронізації з'єднані відповідно з другим і третім входами перетворювача кодів, четвертий вхід якого є входом вибору режима роботи пристрою. п'ятий вхід перетворювача кодів, шостий вхід блока формування типу помилки і треті входи блока синхронізації і регістра даних об'єднані та під'єднані до входу початкового установлення пристрою, четвертий вхід блока синхронізації є входом синхронізації пристрою, п'ятий і другий виходи перетворювача кодів і вихід дешифратора є відповідно третім та четвертим інформаційними виходами і третім керуючим виходом пристрою [див. А.С. СССР N 1541607 кл. G 06 F 11/08. бюл. N5 1990р.].

Недоліком цього пристрою є невисока продуктивність роботи та низька коректуюча здатність, яка полягає в тому, що виявляються лише 4-розрядні пакети помилок при великій довжині циклічного (n, k)-коду (наприклад, n=341, k=325, r=16).

В основу винаходу поставлена задача створення пристрою для паралельного декодування пакетів помилок в циклічних (n, k)-кодах, в якому за рахунок введення нових блоків та зв'язків між ними досягається можливість швидкого знаходження довільних поодиноких пакетів помилок у відповідності із ймовірністю їх появи (спочатку пакети помилок довжини 1, потім довжини 2, і т. д.).

Найкращим відомим циклічним кодом для локалізації та виправлення одиночного пакета помилок є двійковий код Файра. Породиний многочлен цього коду

$$P(x)=g(x)(x^c+1),$$

де $g(x)$ - незвідний многочлен степені v , яка належить степені $m(m=2^v-1)$;

c - просте число, яке не ділиться на m без остачі.

Для виправлення одиночного пакету помилок довжиною z за допомогою коду Файра число перевірочних розрядів r повинно бути

$$r=c+z \text{ або } r=3z-1,$$

а довжина n коду дорівнює найменшому спільному кратному (НСК) чисел c та m тобто

$$n=\text{НСК}(c, m);$$

при цьому величина n буде не меншою, ніж

$$(2^z-1)(2z-1).$$

За допомогою запропонованого методу можна буде виявляти та виправляти поодинокі пакети помилок максимальною довжиною z ($z=n-1$) розрядів, для будь-якого циклічного (n, k)-коду, для якого виконується умова:

$$2^{z-1} \geq \frac{n(n-1)}{2}.$$

Таким чином для виявлення пакетів помилок однакової довжини z в запропонованому пристрої знадобиться значно менша довжина коду n . Невелике збільшення апаратних затрат в запропонованому пристрої дає можливість підвищити продуктивність роботи за рахунок одночасного пошуку можливих пакетів помилок, а також проводити послідовність пошуку пакетів помилок у відповідності із ймовірністю їх появи (спочатку пакети помилок довжини 1, потім довжини 2, і т. д.).

Поставлена задача розв'язується за рахунок того, що в пристрій для паралельного декодування пакетів помилок в циклічних (n, k)-кодах, де n - довжина коду, а k - кількість інформаційних символів коду, який містить перший перетворювач кодів і блок синхронізації, вихід якого з'єднаний з входом синхронізації першого перетворювача кодів, інформаційний вхід і вхід початкового установлення якого під'єднані відповідно до інформаційного входу пристрою і до входу початкового установлення пристрою, введені додатково $\frac{n-1}{2}$

перетворювачів кодів і блок визначення параметрів пакетів помилок, перша $2m$ -розрядна група інформаційних виходів якого і друга $2m$ -розрядна група інформаційних виходів якого, під'єднані відповідно до першої групи інформаційних виходів пристрою і до другої групи інформаційних виходів пристрою, $m=\lceil \log_2 n \rceil$, де $\lceil \cdot \rceil$ означає округлення до цілого в більшу сторону, вхід керування пристрою з'єднаний з першим входом керування блока синхронізації, вихід якого з'єднаний також з входами синхронізації інших перетворювачів кодів та блока визначення параметрів пакетів помилок, інформаційний вихід якого з'єднаний з другим входом керування блока синхронізації і під'єднаний до першого інформаційного виходу пристрою, перший інформаційний вихід i -го

перетворювача кодів з'єднаний з інформаційним входом $(i+1)$ -го перетворювача кодів $(i = 1 \div \frac{n-1}{2})$, а другий інформаційний вихід i -го перетворювача кодів з'єднаний з i -м інформаційним входом блока визначення параметрів пакетів помилок, $(i = 1 \div \frac{n+1}{2})$, а другий інформаційний вихід першого перетворювача кодів також під'єднаний до другого інформаційного виходу пристрою, вхід початкового установлення якого з'єднаний також з входами початкового установлення інших перетворювачів кодів, блока синхронізації та блока визначення параметрів пакетів помилок.

На фіг. 1 представлена функціональна схема пристрою; на фіг. 2 - функціональна схема перетворювача кодів; на фіг. 3 - функціональна схема блока визначення параметрів пакетів помилок; на фіг. 4 - функціональна схема можливої реалізації лінійної послідовної схеми перетворювача кодів пристрою.

Пристрій для паралельного декодування пакетів помилок в циклічних (n, k) -кодах, де n - довжина коду, а k - кількість інформаційних символів коду, (фіг. 1) містить f ($f = (n+1)/2$) перетворювачів кодів 1, блок 2 визначення параметрів пакетів помилок, блок 3 синхронізації. Вхід 4 інформаційний пристрою з'єднаний з інформаційним входом першого перетворювача кодів 1. Вхід 5 початкового установлення пристрою з'єднаний з входами початкового установлення всіх перетворювачів кодів 1, блоку 2 та блоку 3, перший вхід керування якого з'єднаний з входом керування 6 пристрою. Перша $2m$ -розрядна група інформаційних виходів блока 2, і друга $2m$ -розрядна група інформаційних виходів блока 2 під'єднані відповідно до першої групи інформаційних виходів 7 пристрою і до другої групи інформаційних виходів 8 пристрою $m = \lceil \log_2 n \rceil$, де $\lceil \cdot \rceil$ означає округлення до цілого в більшу сторону. Інформаційний вихід блока 2 з'єднаний з другим входом керування блока 3 і під'єднаний до першого інформаційного виходу 9 пристрою. Перший інформаційний вихід i -го перетворювача кодів 1 з'єднаний з інформаційним входом $(i+1)$ -го перетворювача кодів 1, $(i = 1 + f - 1)$. Другий інформаційний вихід i -го перетворювача кодів 1 з'єднаний з i -м інформаційним входом блока 2, $(i = 1 + f)$, а другий інформаційний вихід першого перетворювача кодів 1 також під'єднаний до другого інформаційного виходу 10 пристрою. Вихід блока 3 з'єднаний з входами синхронізації всіх перетворювачів кодів 1 та блока 2.

Перетворювач кодів 1 (фіг. 2) містить лінійну послідовну схему (ЛПС) 11, елемент 112, D-тригер 13 Інформаційний вхід перетворювача кодів 1 під'єднаний до входу 4 пристрою і з'єднаний з інформаційним входом ЛПС 11 і з D-входом D-тригера 13, прямих вихід якого з'єднаний з першим інформаційним входом перетворювача кодів 1. Вхід початкового установлення перетворювача кодів 1 під'єднаний до входу 5 пристрою і з'єднаний з входом початкового установлення ЛПС 11. Вхід 14 синхронізації перетворювача кодів 1 з'єднаний з синхровходом D-тригера 13 і з входом синхронізації ЛПС 11, другий інформаційний вихід i -го перетворювача кодів 1 з'єднаний з виходом елемента 112, j -й вхід якого з'єднаний з прямим значенням j -го виходу ЛПС 11, якщо j -й розряд i -го еталонного вектору дорівнює одиниці, а j -й вхід елемента 112 з'єднаний з інверсним значенням j -го виходу ЛПС 11, якщо j -й розряд i -го еталонного вектору дорівнює нулю, де еталонний вектор визначається вибраним породним многочленом циклічного (n, k) -коду ($j = 1 + r, l = 1 + f$).

Блок 2 формування параметрів пакетів помилок (фіг. 3) містить m -розрядний регістр зсуву 17, m -розрядний лічильник 18, шифратор 19, перший паралельний двійковий m -розрядний суматор 20, другий паралельний двійковий m -розрядний суматор 21, третій паралельний двійковий m -розрядний суматор 22, елемент АБО 23, вихід якого з'єднаний з входом паралельного запису регістра 17 та з інформаційним виходом блоку, $\frac{n+1}{2}$

інформаційних входів 25 якого з'єднані з входами елемента АБО 23 та з входами шифратора 19, група m -розрядних інформаційних виходів якого з'єднана з групою інформаційних входів регістра 17 та з першими групами інформаційних входів суматорів 20 та 21, вхід 24 синхронізації блока з'єднаний з входом зсуву регістра 17 та з входом додавання лічильника 18, група m -розрядних інформаційних виходів якого з'єднана з першою групою інформаційних входів суматора 22, другу групу m -розрядних інформаційних входів якого з'єднано з групою інформаційних виходів регістра 17, а вихід - з другою m -розрядною групою інформаційних входів суматора 21, на другу групу m -розрядних інформаційних входів суматора 20 подано число n , m -розрядна група інформаційних виходів шифратора 19 і m -розрядна група інформаційних виходів суматора 20 створюють першу $2m$ -розрядну групу інформаційних виходів блока, m -розрядна група інформаційних виходів суматора 21 та m -розрядна група інформаційних виходів суматора 22 створюють другу $2m$ -розрядну групу інформаційних виходів блока, вхід початкового установлення якого з'єднаний з входами початкового установлення регістра 17 та лічильника 18.

ЛПС 11 (варіант реалізації при $r=8$) перетворювача кодів 1 (фіг. 4) містить суматор 26 по модулю два, D-тригери 27-34, входи синхронізації яких з'єднані з входом 14 перетворювача кодів 1. Перший вхід суматора 26 з'єднаний з інформаційним входом перетворювача кодів 1, а його вихід з'єднаний з D-тригера 27. Виходи D-тригера 29, D-тригера 30, D-тригера 31, D-тригера 34 з'єднані з іншими чотирма входами суматора 26. Входи установки D-тригерів 27-34 з'єднані з входом початкового установлення перетворювача кодів 1 і під'єднані до входу 5 пристрою, прямі виходи D-тригерів 27-34 створюють 8-розрядну групу інформаційних виходів 35 перетворювача кодів 1, причому прямих вихід $(j-1)$ -го D-тригера з'єднаний з D-входом j -го D-тригера ($j = 2 + 8$).

Пристрій працює таким чином.

Є два режими роботи пристрою: режим декодування і режим локалізації помилок.

В режимі декодування в перетворювачі кодів 1 визначається вірність кодового вектора, який поступає послідовно на вхід 4 пристрою.

В режимі локалізації помилок визначаються параметри пакета помилки в кодовому векторі. В цей режим роботи пристрій переходить після виявлення помилки в кодовому векторі.

Теоретичною основою декодування циклічних кодів є математичний апарат ЛПС.

В перетворювачі кодів 1 апаратно реалізована двійкова ЛПС, яка описується лінійною функцією переходів (стану) S та лінійною функцією виходів Y :

$$S = AS + BU \quad (1)$$

$$Y = S,$$

де S, U, Y - відповідно вектори станів, вхідний та вихідний;

$A = \|a_{ij}\|_{n \times n}$ - основна характеристична матриця ЛПС;

$B = \|b_i\|_r$ - характеристична матриця ЛПС.

В формулах (1) символи '+' та '-' позначають відповідно операції додавання та множення по модулю два.

Можливі два варіанта матриць A та B, які можуть бути реалізовані апаратно в перетворювачі кодів 1:

$$A = \begin{pmatrix} 0 & 1 & 0 & \dots & 0 \\ 0 & 0 & 1 & \dots & 0 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & \dots & 1 \\ p_0 & p_1 & p_2 & \dots & p_{r-1} \end{pmatrix} \quad B = \begin{pmatrix} 0 \\ 0 \\ \dots \\ 0 \\ 1 \end{pmatrix} \quad (2)$$

або

$$A = \begin{pmatrix} 0 & 0 & \dots & 0 & p_0 \\ 1 & 0 & \dots & 0 & p_1 \\ 0 & 1 & \dots & 0 & p_2 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & 1 & p_{r-1} \end{pmatrix} \quad B = \begin{pmatrix} 1 \\ 0 \\ 0 \\ \dots \\ 0 \end{pmatrix} \quad (3)$$

Елементи останнього рядка матриці A в (2) або останнього стовпчика в (3) представляють собою коефіцієнти породного многочлена P(x) коду:

$$P(x) = p_0 + p_1x + \dots + p_{r-1}x^{r-1} + p_r x^r$$

Під дією t-розрядного вхідного вектора

$$U = u(1), u(2), \dots, u(3), \dots, u(t),$$

який поступає на вхід ЛПС, відбувається послідовна зміна її внутрішніх станів

$$S = s(0), s(1), \dots, s(i-1), s(i), \dots, s(t),$$

для обчислення яких замість формул (1) зручно користуватись наступними співвідношеннями:

$$s(i) = \begin{cases} A \cdot s(i-1) + B, & \text{якщо } u(i-1) = 1, \\ A \cdot s(i-1), & \text{якщо } u(i-1) = 0, \end{cases} \quad (4)$$

$$i = 1+t.$$

Якщо на вхід ЛПС 11 поступає n-розрядний кодовий вектор без помилок, тоді r-розрядна ЛПС 11 з початкового нульового стану s(0) через n тактів роботи знову перейде в стан s(n):

$$s(n) = s(0),$$

тобто буде одержано попередній нульовий стан.

При наявності помилки в кодовому векторі ЛПС 11 перейде в деякий ненульовий стан, який будемо називати синдромом помилки:

$$s(n) = s_w^z(n)$$

Розглянемо кодовий вектор $c_w^z(x)$, який містить пакет помилок довжини z, який починається з w-ої позиції.

Введемо вектор помилки $F_w^z(x)$.

$$F_w^z(x) = c(x) + c_w^z(x)$$

Під дією кодового вектора $c_w^z(x)$ ЛПС 11 перейде в стан $s_w^z(n)$, для переходу із якого знову в стан s(0) необхідно подати на вхід ЛПС 11 вектор $F_w^z(x)$.

Особливістю двійкових циклічних кодів є те, що до одного і того ж синдрому помилки $s_w^z(n)$ призводить кодовий вектор з двома варіантами одиночних пакетів помилок довжини відповідно z_1 та z_2 , які починаються в позиціях відповідно w_1 та w_2 .

Якщо відомі параметри одного пакета помилки (z_1 і w_1), тоді можна визначити також параметри другого пакету помилок по формулах

$$z_2 = n - z_1, \quad (5)$$

$$w_2 = \begin{cases} w_1 + z_1, & \text{якщо } w_1 + z_1 \leq n \\ w_1 + z_1 - n, & \text{якщо } w_1 + z_1 > n \end{cases} \quad (6)$$

Перед початком роботи пристрою на вхід 5 поступає сигнал, по якому всі блоки встановлюються в початковий стан.

Після приходу керуючого сигналу на вхід 6 починається робота пристрою в режимі декодування. Протягом наступних n циклів на вхід 4 поступає n-розрядний кодовий вектор c(x). На інформаційний вхід 1-го перетворювача кодів 1 j-й розряд кодового вектора c(x) поступає в (i+j-1)-му циклі, тобто протягом f циклів j-й розряд вектора c(x) по чергові проходить крізь f перетворювачів кодів 1 ($i = 1+f, j = 1+n$). Тривалість циклу роботи пристрою визначається проміжком між початками двох сусідніх синхроімпульсів, які поступають з виходу блоку 3 на всі інші блоки пристрою.

Таким чином, в (i+1)-му перетворювачі кодів 1 відбувається декодування кодового вектора із затримкою на один цикл відносно i-го перетворювача кодів 1 ($i = 1 \div f$). Через перші n циклів в першому перетворювачі кодів 2 закінчується етап декодування. При відсутності в кодовому векторі помилок на виході 10 пристрою в кінці n-циклу режиму декодування з'явиться сигнал логічної 1, а при наявності в кодовому векторі помилок - значення логічного 0 і робота пристрою далі продовжується в режимі локалізації помилок. При наявності в кодовому векторі помилок робота пристрою далі продовжується: перший перетворювач кодів 1 в (n+1)-му циклі переходить в режим

локалізації помилок, а інші перетворювачі кодів 1 закінчують роботу в режимі декодування. На вхід 4 пристрою в кожному циклі, починаючи з (n+1)-го циклу, поступають сигнали логічного 0.

В режимі локалізації помилок i-й перетворювач кодів 1 призначений для виявлення першого можливого пакету помилок довжиною $z_1=i-1$ ($i=2 \div f$). З цієї метою в i-му перетворювачі кодів 1 відбувається порівняння

чергового стану своєї ЛПС 11 з відповідним i-м еталонним вектором $s_i^B(t)$, який визначається так:

$$\begin{aligned} s_1^B(t) &= s(0), \\ s_2^B(t) &= B, \\ s_3^B(t) &= A \cdot s_2^B(t), \end{aligned} \quad (7)$$

$$s_f^B(t) = A \cdot s_{f-1}^B(t) + B, \text{ GF}(2).$$

При співпаданні в n-му циклі режиму локалізації помилок стану ЛПС 11 в i-му перетворювачі кодів 1 з відповідним еталонним вектором, на виході 9 пристрою з'явиться сигнал логічної 1 - ознака успішного закінчення режиму локалізації помилок і виявлення довжини z_1 першого можливого пакету помилок за формулою:

$$z_1 = i - 1, \quad i = 2 \div n - 1.$$

Далі в наступному циклі роботи в блоці 2 відбувається визначення позиції w_1 першого можливого пакету помилок за формулою:

$$w_1 = (h - 2z_1 + 1) \bmod n, \quad (8)$$

а також визначаються параметри z_2 та w_2 другого можливого пакету помилок за формулами (5) і (6). В усіх перетворювачах кодів 1 відбувається одночасний пошук пакетів помилок, які знаходяться в різних позиціях Кодового вектора. При цьому першими виявляються пакети помилок довжиною 1, потім довжиною 2, ..., довжиною n-1.

В таблиці показана для кожного перетворювача кодів 1 послідовність зміни станів ЛПС 11, яка задається породним многочленом.

$$P(x) = 1 + x^3 + x^4 + x^5 + x^8, \quad n=17, \quad k=9, \quad r=8,$$

і такими матрицями A та B:

$$A = \begin{pmatrix} 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 0 \end{pmatrix} \quad B = \begin{pmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \\ 1 \end{pmatrix} \quad (9)$$

Апаратна реалізація такої ЛПС 11 показана на фіг. 4.

Для матриць (9) пристрій містить 9 перетворювачів кодів 1, в i-му перетворювачі кодів 1 відбувається порівняння стану ЛПС 11 з відповідним еталонним вектором $s_i^B(t)$ ($i=1 \div 9$). Список цих еталонних кодів такий (з метою економії місця подаємо їх в транспонованому вигляді):

$$\begin{aligned} s_1^B(t) &= 00000000, \\ s_2^B(t) &= 00000001, \\ s_3^B(t) &= 00000011, \\ s_4^B(t) &= 00000111, \\ s_5^B(t) &= 00001110, \\ s_6^B(t) &= 00011101, \\ s_7^B(t) &= 00111010, \\ s_8^B(t) &= 01110101, \\ s_9^B(t) &= 11101011. \end{aligned} \quad (10)$$

В першому рядку таблиці показано, що в 17-му циклі роботи в першому перетворювачі кодів 1 отримано синдром помилки

$$s_w^z(n) = 10111100. \quad (11)$$

В наступному циклі роботи (h=1, другий рядок таблиці) перший перетворювач кодів 1 переходить в режим локалізації помилок, а в другому перетворювачі кодів 1 формується синдром (11).

В дев'ятому циклі роботи цього режиму (h=9) в четвертому перетворювачі кодів 1 відбувається співпадання чергового стану ЛПС 11 (0 0 0 0 0 1 1 1) з відповідним еталонним вектором.

Режим локалізації помилок на цьому закінчується і в блоці 2 формуються такі параметри двох можливих пакетів помилок:

$$z_1 = i - 1 = 3; \quad w_1 = (h - 2z_1 + 1) = 4; \quad (12)$$

$$z_2 = n - z_1 = 17 - 3 = 14; \quad w_2 = z_1 + w_1 = 3 + 4 = 7. \quad (13)$$

Тобто виявлено перший можливий пакет помилок довжиною 3 а позиції 4 кодового вектора, і другий можливий пакет помилок довжиною 14 в позиції 7 кодового вектора.

Після завершення роботи пристрою в режимі локалізації помилок величини z_1 та z_2 передаються відповідно по m молодшим та m старшим розрядам першої 2 m -розрядної групи виходів 7 пристрою. Величини w_1 та w_2 передаються відповідно по m молодшим та m старшим розрядам другої 2 m -розрядної групи виходів 8 пристрою.

Ліч. 16	Перетв. 1 $l=1$	Перетв. 1 $l=2$	Перетв. 1 $l=3$	Перетв. 1 $l=4$...	Перетв. 1 $l=9$
h	Еталон. Вектор 00000000	Еталон. Вектор 00000001	Еталон. Вектор 00000011	Еталон. Вектор 00000111	...	Еталон. Вектор 11101011
17	10111100				...	
1	01111000	10111100			...	
2	11110000	01111000	10111100		...	
3	11100000	11110000	01111000	10111100	...	
4	11000001	11100000	11110000	01111000	...	
5	10000011	11000001	11100000	11110000	...	
6	00000111	10000011	11000001	11100000	...	
7		00000111	10000011	11000001	...	
8			00000111	10000011	...	10111100
9				00000111	...	01111000
10					...	11110000
11					...	11100000
12					...	11000001
13					...	10000011
14					...	00000111

Максимальна тривалість роботи пристрою в режимі локалізації помилок може скласти $\frac{3(n-1)}{2}$ циклів, а з врахуванням режиму декодування $\frac{5n-3}{2}$ циклів.

Якщо $z_1+w_1 > n$ або $z_2+w_2 > n$, тоді згідно циклічних властивостей коду помилковими розрядами кодового вектора будуть перші 6 розрядів ($\delta = z_1+w_1 - n - 1$ або $\delta = z_2+w_2 - n - 1$), а також останні (w_1-n) або (w_2-n) розрядів.

Відсутність на виході 9 пристрою сигналу логічної 1 через $(3n-1)/2$ циклів роботи в режимі локалізації помилок буде свідчити про наявність в перевіряємому кодовому векторі пакетів помилок кратності два або більше.

Перший перетворювач кодів 1 працює таким чином.

Перед початком режиму декодування на вхід 5 поступає сигнал логічної 1, який установлює ЛПС 11 в нульовий стан $s(0)$.

В режимі декодування протягом перших n циклів на вхід 4 поступає n -розрядний кодовий вектор. Відсутність в кодовому векторі помилок призведе за допомогою елемента І 12 до появи сигналу логічної одиниці на другому інформаційному виході 16 (тобто на виході 10 пристрою). При наявності в кодовому векторі помилок ЛПС 11 із початкового нульового стану $s(0)$ через n циклів перейде в ненульовий стан $s_w^z(n)$ і на виході 10 пристрою буде значення логічного нуля. Кожний розряд кодового вектора поступає також на D-вхід D-тригера 13 і з затримкою в один цикл з'являється на виході 15 першого перетворювача кодів 1. Робота ЛПС 11 і D-тригера 13 синхронізується синхроімпульсами, що поступають на вхід 14 блока.

В режимі локалізації помилок на вхід 4 поступають сигнали логічного нуля, але результати роботи першого перетворювача кодів 1 далі не враховуються. Наступні, $(f-1)$ перетворювачів кодів 1 в режимі декодування працюють аналогічно, але із затримкою на один цикл для i -го перетворювача кодів 1 відносно $(i-1)$ -го

перетворювача кодів 1. Результати роботи всіх перетворювачів кодів 1, крім першого, в режимі декодування не враховуються.

Виявлення в режимі локалізації помилок першого можливого пакету помилок в i -му перетворювачі кодів 1 відбувається наступним чином ($i = 2 \div f$).

Після $(n+i-1)$ -го циклу роботи в ЛПС 11 в i -му перетворювачі кодів 1 буде отримано синдром помилки $s_w^z(n)$. В наступних циклах роботи на вхід 4 поступають нульові сигнали ($u(i)=0$), під впливом яких ЛПС 11 буде по чергово змінювати свій стан згідно формул (4):

$$s_w^z(n+1) = A \cdot s_w^z(n),$$

$$s_w^z(n+2) = A \cdot s_w^z(n+1),$$

...

$$s_w^z(n+i) = A \cdot s_w^z(n+i-1), \quad (14)$$

...

$$s_w^z(2n-1) = A \cdot s_w^z(2n-2).$$

В i -му перетворювачі кодів 1 виходи ЛПС 11 з'єднані з входами елемента І 12 так, що на виході цього елемента з'являється одиничний сигнал тільки при співпаданні чергового стану ЛПС 11 з одним, наперед визначеним еталонним вектором $s_i^B(t)$. Вектор $s_i^B(t)$ є ознакою наявності поодинокого пакету помилок у відповідному розряді кодового вектора.

Для визначення нульового стану $s(0)$ ЛПС 11 в першому перетворювачі кодів 1 входи елемента І 12 з'єднані з інверсними виходами D-тригерів 27-34, які входять до складу цієї ЛПС 11. Для визначення моменту співпадання стану ЛПС 11 в i -му перетворювачі кодів 1 з еталонним вектором $s_i^B(t)$ j -й вхід елемента І 12 з'єднаний з прямим (інверсним) значенням j -го виходу ЛПС 11, якщо j -й розряд вектора $s_i^B(t)$ дорівнює одиниці (нулю) ($i = 2 \div f$, $j = 1 \div r$).

Розглянемо роботу ЛПС 11, апаратна реалізація якої задається матрицями $A = |a_{ij}|_{r \times r}$ і $B = |b_{ij}|_r$, виду (2) та (3). При апаратній реалізації ЛПС 11 матриця A задає структуру зв'язків між елементами пам'яті (тригерами), а матриця B - структуру вхідних зв'язків. Якщо матриці A і B мають вигляд (2), тоді ЛПС 11 має вигляд r -розрядного регістра зсуву з одним багатовходовим суматором по модулю 2 на його вході. Якщо матриці A і B мають вигляд (3), тоді ЛПС 11 має вигляд r -розрядного регістра зсуву з кількома суматорами по модулю 2, які розташовані між окремими тригерами.

Елементи $a_{ij}=1$ останнього рядка матриці $A = |a_{ij}|_{r \times r}$, виду (2) показують наявність зв'язку між виходом $(r-j+1)$ -го тригера і входом суматора по модулю 2, вихід якого з'єднаний з входом першого тригера. Елементи $a_{ir}=1$ останнього стовпчика матриці $A = |a_{ij}|_{r \times r}$ виду (3) показують наявність зв'язку між виходом r -го тригера і першим входом суматора по модулю 2, другий вхід якого з'єднаний з виходом $(i-1)$ -го тригера, а вихід - з входом i -го тригера. В обох реалізаціях значення інших елементів $a_{ij}=1$ ($a_{ij}=0$) матриці $A = |a_{ij}|_{r \times r}$ показують наявність (відсутність) зв'язку між виходом j -го тригера і входом i -го тригера.

Для одноходової ЛПС 11 значення елемента $b_1=1$ ($b_1=0$) матриці $B = |b_{ij}|_r$ показує наявність (відсутність) зв'язку інформаційного входу ЛПС 11 з входом i -го тригера через суматор по модулю 2.

Розглянемо роботу ЛПС наприклад! конкретної 8-розрядної ЛПС, показаної на фіг. 4.

Перед початком роботи пристрою поступаючим по входу 5 сигналу D-тригери 27-34 встановлюються в нульовий стан. Під дією сигналів, які приходять на інформаційний вхід 4, тригери 27-34 будуть по чергово змінювати свій стан.

Значення виходів тригерів 27-34 в будь-якому циклі роботи представляють собою 8-розрядний код внутрішнього стану ЛПС 11, який відображається на фупі інформаційних виходів 35.

Нехай, наприклад, після закінчення режиму декодування в цій ЛПС 11 був сформований синдром помилки $s_w^z(17) = 10111100$.

В режимі локалізації помилок ЛПС 11, після подачі на її входи сигналів логічного 0, ЛПС 11 буде по чергово переходити в такі стани:

```
01111000,
11110000,
11100000,
11000001,
10000011,
00000111.
```

Останній стан ЛПС 11 співпадає з еталонним вектором $s_4^B(t)$ із списку векторів (10), що буде свідчити про виявлення в кодовому векторі двох можливих пакетів помилок з параметрами (12) та (13).

Блок 2 працює таким чином.

Перед початком роботи регістр 17 та лічильник 18 обнуляються. Далі в кожному циклі роботи пристрою на вхід 24 надходить один синхросигнал, під дією якого вміст лічильника 18 збільшуються на 1. Після закінчення режиму декодування лічильник 18, який має коефіцієнт перерахунку n , знову переходить в початковий стан і в першому циклі режиму локалізації помилок його вміст дорівнює 1.

Якщо в режимі локалізації помилок на одному із виходів перетворювача кодів 1 (окрім першого) з'явиться сигнал логічної 1, тоді цей сигнал через елемент АБО 23 з'явиться на виході 9 пристрою, що буде свідчити про закінчення цього режиму.

За допомогою шифратора 19 буде сформовано двійковий код i -го перетворювача кодів 1, на другому інформаційному виході якого з'явився сигнал логічної 1, тобто буде визначено довжину z_1 першого можливого пакету помилок. По сигналу логічної 1 з виходу елемента АБО 23 в кінці режиму локалізації помилок двійковий

код числа z_1 буде записано в реєстр 17. Далі на вхід 24 поступає останній синхросигнал, по якому вміст лічильника 18 збільшується на 1, а вміст реєстра 17 зсувається вліво на один розряд в сторону старших розрядів, тобто вміст реєстра 17 збільшується вдвічі. Тим самим в реєстрі 17 буде сформоване значення $2z_1$, а в лічильнику 18 - значення $(h+1)$. Далі суматор 22 обчислює величину позиції w_1 по формулі (8) заміною операції віднімання операцією додавання в обернених кодах. Потім суматор 21 обчислює величину позиції w_2 по формулі (6) заміною операції віднімання операцією додавання в обернених кодах. Суматор 20 обчислює величину довжини z_2 другого можливого пакету помилок по формулі (5) заміною операції віднімання операцією додавання в обернених кодах.

Для оцінки техніко-економічної ефективності запропонованого і відомого пристроїв проведемо порівняння їх коректуючої здатності по формулі, яка показує відношення довжини n коду до довжини z виявляемого пакету помилок, тобто $E = \frac{n}{z}$. В загальному випадку у відомому пристрої вказане відношення дорівнює:

$$E_1 = \frac{(2^{z-1} - 1)(2z - 1)}{z} \approx 2^{z-1},$$

а в запропонованому пристрої:

$$E_2 = \frac{z-1}{z} \approx 1.$$

Оскільки потрібна довжина n коду по запропонованому методу локалізації помилок майже в 2^{z-1} разів менше в порівнянні з відомим методом, тому в запропонованому пристрої можна виявляти більш часті види помилок, тобто пакети помилок більшої довжини, які розташовані ближче один до одного в 2^{z-1} разів.

Виправити поодинокі пакети помилок за допомогою запропонованого методу можна при наявності навіть одного перетворювача кодів, в якому буде проходити і декодування і локалізація помилок. Але при такій реалізації пристрою максимальна кількість циклів роботи буде дорівнювати

$$T_{\text{пос}} = \frac{n(n-1)}{2}.$$

При паралельній локалізації пакетів помилок максимальна кількість циклів роботи пристрою буде дорівнювати

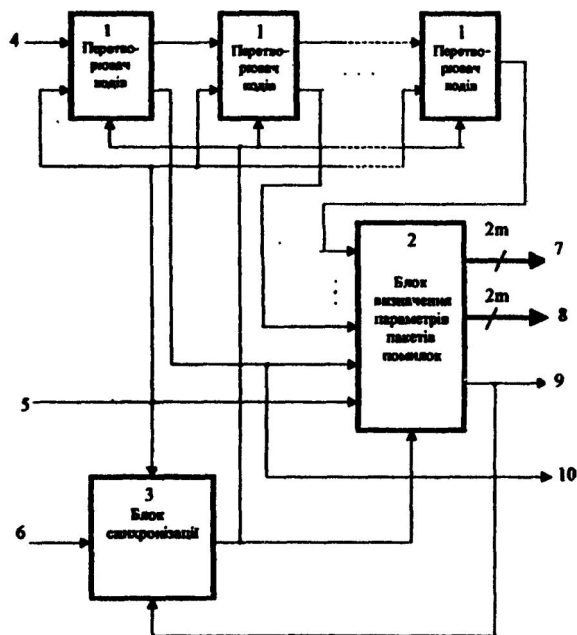
$$T_{\text{пар}} = \frac{3(n-1)}{2}$$

Невелике збільшення апаратних затрат в запропонованому пристрої дасть можливість прискорити режим локалізації помилок в

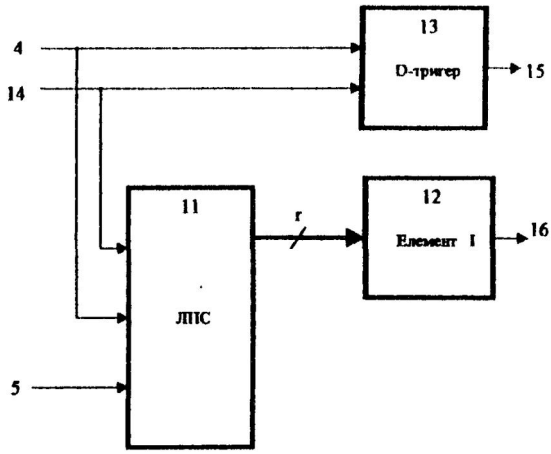
$$\frac{T_{\text{пос}}}{T_{\text{пар}}} = \frac{n}{3}$$

разів.

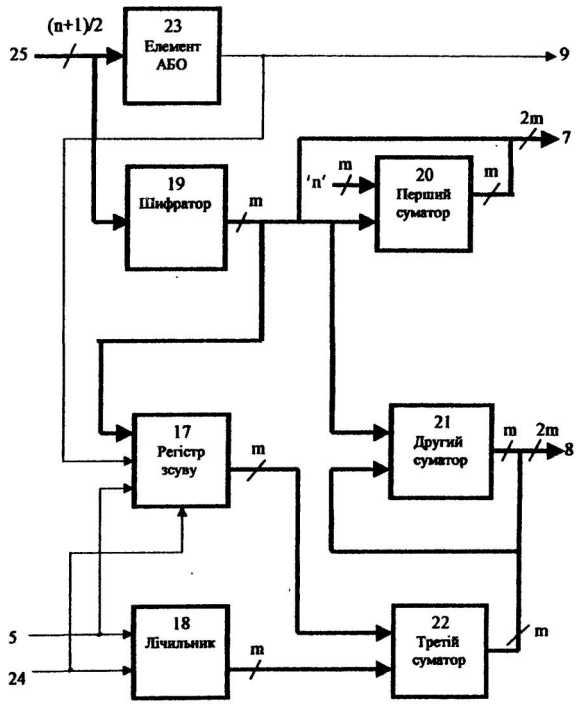
В порівнянні з відомим пристроєм виявляти пакети помилок однакової довжини z можна у $\eta = 3 \cdot 2^z$ разів швидше за рахунок зменшення довжини потрібного коду.



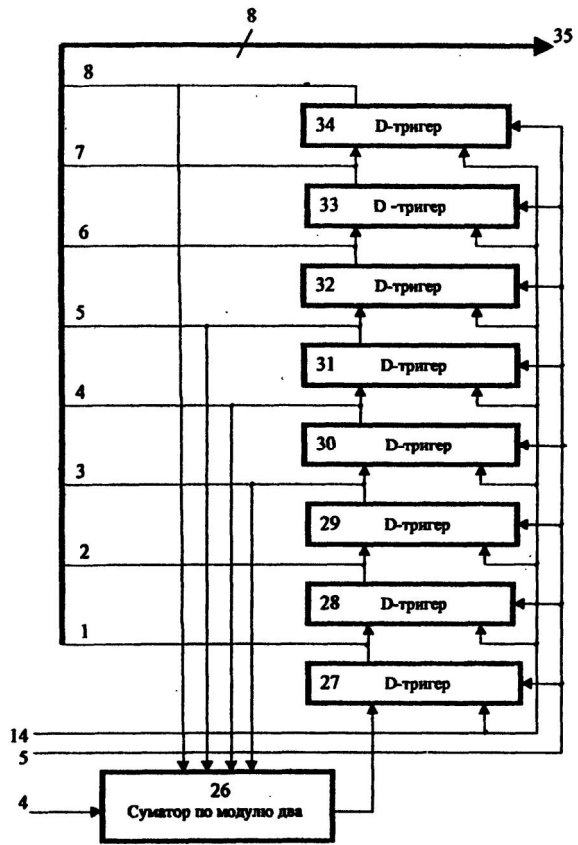
Фіг. 1



Фиг. 2



Фиг. 3



Фиг. 4