



МІНІСТЕРСТВО  
ЕКОНОМІЧНОГО  
РОЗВИТКУ І ТОРГІВЛІ  
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **127510** (13) **U**  
(51) МПК  
*Н03М 1/46* (2006.01)

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

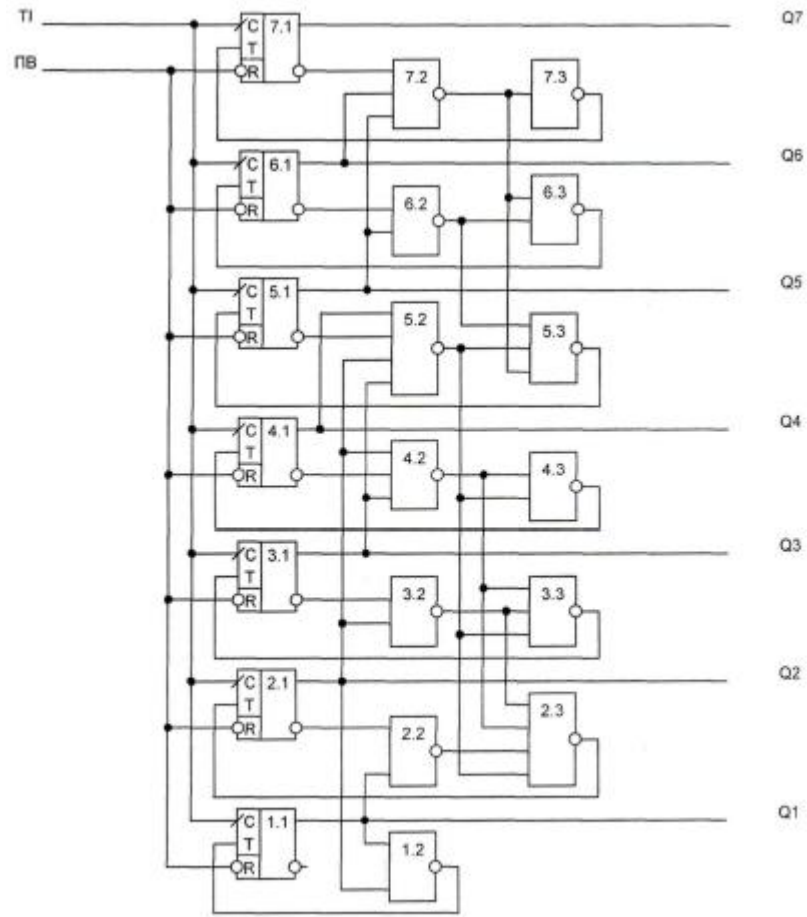
(21) Номер заявки: <b>u 2018 01074</b>	(72) Винахідник(и): <b>Азаров Олексій Дмитрович (UA), Черняк Олександр Іванович (UA)</b>
(22) Дата подання заявки: <b>05.02.2018</b>	(73) Власник(и): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</b>
(24) Дата, з якої є чинними права на корисну модель: <b>10.08.2018</b>	
(46) Публікація відомостей про видачу патенту: <b>10.08.2018, Бюл.№ 15</b>	

## (54) ЛІЧИЛЬНИК

### (57) Реферат:

Лічильник має вхід початкового встановлення, вхід тактових імпульсів, N інформаційних виходів та N розрядів, кожен з яких містить лічильний тригер та перший логічний елемент І-НІ, а кожен розряд, крім першого, другого та N-го, містить другий логічний елемент І-НІ, причому, вхід початкового встановлення з'єднаний з R-входами всіх лічильних тригерів, вхід тактових імпульсів з'єднаний з С-входами всіх лічильних тригерів, прямі виходи всіх лічильних тригерів з'єднані з відповідними інформаційними виходами лічильника, інверсний вихід лічильного тригера кожного розряду, крім першого, з'єднаний з першим входом першого логічного елемента І-НІ того ж розряду, прямий вихід лічильного тригера кожного i-го розряду, крім N-го, з'єднаний з другим входом першого логічного елемента І-НІ (i+1)-го розряду, прямий вихід лічильного тригера кожного i-го розряду, крім N-го, (N-1)-го та (3·i-2)-го, з'єднаний з третім входом першого логічного елемента І-НІ (i+2)-го розряду, вихід першого логічного елемента І-НІ кожного розряду, крім першого, другого та N-го, з'єднаний з першим входом другого логічного елемента І-НІ того ж розряду, вихід першого логічного елемента І-НІ кожного i-го розряду, крім першого, другого та третього, з'єднаний з другим входом другого логічного елемента І-НІ (i-1)-го розряду.

UA 127510 U



Фиг. 1

Корисна модель належить до обчислювальної техніки і автоматики та може бути використана у цифрових пристроях.

Відомо перешкодостійкий лічильник імпульсів Борисенко-Стахова [патент на винахід UA 104939 C2 23/00 (2014/01), опублікований 25.03.2014, бюл. № 6], що складається з регістра, що містить  $n$  тригерів і  $n$  схем I, перші входи яких сполучені з входом тактових імпульсів, а виходи з входами установки в одиницю відповідних тригерів, а також має блок аналізу, що містить  $(n-1)$  двовходових схем I, блок диспозицій, що містить  $(n-1)$  двовходових схем I з інверторами на вході, блок контролю, що містить  $(n-1)$  двовходових схем I, які об'єднані схемою АБО, блок установки нуля, що містить  $(n-1)$  двовходових схем АБО і одну допоміжну схему I, до першого входу якої приєднаний вхід тактових імпульсів, при цьому входи встановлення в одиницю тригерів регістра сполучені з першими входами двовходових схем АБО сусідніх молодших розрядів блока встановлення нуля, виходи яких сполучені з входами встановлення в нуль відповідних тригерів і з другими входами схем АБО сусідніх молодших розрядів цього блока, до другого входу схеми АБО  $(n-i)$ -го розряду і входу встановлення в нуль тригера  $n$ -го розряду підключений вихід допоміжної схеми I блока встановлення нуля, інверсні виходи кожного з тригерів регістра заведені на перший і другий входи відповідних йому двох двовходових схем I блока аналізу, прямий вихід кожного з перших  $n-1$  тригерів заведений на другий вхід схеми I сусіднього старшого розряду регістра, прямий вихід тригера  $n$ -го розряду сполучений з другим входом допоміжної схеми I, виходи схеми I блока аналізу зв'язані через інвертори з першими і другими входами відповідних їм двох двовходових схем I блока диспозицій і з третім входом схеми I цього ж розряду регістра, вихід кожної з  $n-2$  схем I блока диспозицій, починаючи з першого розряду, заведений на третій вхід сусідньої схеми I старшого розряду цього ж блока і четвертий вхід схеми I старшого розряду регістра, що стоїть через два розряди, вихід старшої  $n-1$  схеми I блока диспозицій заведений на третій вхід допоміжної схеми I блока установки нуля, прямі виходи двох розміщених поруч тригерів заведені на перший і другий входи відповідних їм двох двовходових схем I блока контролю, виходи яких об'єднані схемою АБО.

Недоліком даного лічильника є великі апаратні витрати та низька швидкодія, яка визначається наявністю у схемі довгих шляхів розповсюдження сигналу через всі розряди протягом одного такту лічби.

Як найближчий аналог вибрано патент на корисну модель "Цифро-аналоговий перетворювач" (№ 94085, м. кл. H03M 1/46, опублікований 27.10.2014, бюл. № 20), в якому описано швидкодіючий лічильник у фібоначчівій системі числення, що містить вхід встановлення у початковий стан, вхід тактових імпульсів, вхід одиничного потенціалу,  $N$  інформаційних виходів, та у кожному  $i$ -му розряді містить лічильний тригер, вхід  $S$  синхронізації якого з'єднаний з входом тактових імпульсів лічильника, вхід  $R$  встановлення у початковий стан з'єднаний з входом встановлення у початковий стан лічильника, а вихід з'єднаний з  $i$ -м інформаційним виходом лічильника, крім того, перший і другий розряди лічильника містять по одному першому логічному елементу I-NI, а кожний розряд лічильника, починаючи з третього, містить перший і другий логічні елементи I-NI, причому, перший вхід логічного елемента I-NI першого розряду з'єднаний з прямим виходом лічильного тригера першого розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з T-входом лічильного тригера першого розряду; перший вхід логічного елемента I-NI другого розряду з'єднаний з інверсним виходом лічильного тригера першого розряду, другий його вхід з'єднаний з виходом першого логічного елемента I-NI четвертого розряду, а вихід з'єднаний з T-входом лічильного тригера другого розряду; у кожному  $i$ -му розряді лічильника, починаючи з третього, перший вхід першого логічного елемента I-NI з'єднаний з інверсним виходом лічильного тригера  $i$ -го розряду, другий його вхід з'єднаний з прямим виходом лічильного тригера  $(i-1)$ -го розряду, третій вхід з'єднаний з прямим виходом лічильного тригера  $(i-2)$ -го розряду, а вихід з'єднаний з першим входом другого логічного елемента I-NI  $i$ -го розряду; другий вхід другого логічного елемента I-NI  $i$ -го розряду, крім біго, з'єднаний з виходом першого логічного елемента I-NI  $(i+1)$ -го розряду, третій вхід другого логічного елемента I-NI  $i$ -го розряду, крім  $N$ -го та  $(N-1)$ -го, з'єднаний з виходом першого логічного елемента I-NI  $(i+2)$ -го розряду, а вихід другого логічного елемента I-NI  $i$ -го розряду з'єднаний з T-входом лічильного тригера  $i$ -го розряду; другий і третій входи другого логічного елемента I-NI  $N$ -го розряду та третій вхід другого логічного елемента I-NI  $(N-1)$ -го розряду з'єднані з входом одиничного потенціалу лічильника.

Недоліком лічильника є те, що лічба в ньому виконується у фібоначчівій системі числення, що ускладнює перетворення у двійкову систему числення результатів лічби.

В основу корисної моделі поставлено задачу створення такого лічильника, в якому за рахунок введення нових елементів та зв'язків організується лічба з вагами розрядів 1, 2, 2, 4, 8,

8, ..., що призводить до спрощення перетворення у двійкову систему числення результатів лічби пристрою, що заявляється.

Поставлена задача вирішується тим, що в лічильник, який має вхід початкового встановлення, вхід тактових імпульсів, N інформаційних виходів та N розрядів, кожен з яких містить лічильний тригер та перший логічний елемент I-NI, а кожен розряд, крім першого, другого та N-го, містить другий логічний елемент I-NI, причому, вхід початкового встановлення з'єднаний з С-входами всіх лічильних тригерів, вхід тактових імпульсів з'єднаний з С-входами всіх лічильних тригерів, прямі виходи всіх лічильних тригерів з'єднані з відповідними інформаційними виходами лічильника, інверсний вихід лічильного тригера кожного розряду, крім першого, з'єднаний з першим входом першого логічного елемента I-NI того ж розряду, прямий вихід лічильного тригера кожного i-го розряду, крім N-го, з'єднаний з другим входом першого логічного елемента I-NI (i+1)-го розряду, прямий вихід лічильного тригера кожного i-го розряду, крім N-го, (N-1)-го та (3-i-2)-го, з'єднаний з третім входом першого логічного елемента I-NI (i+2)-го розряду, вихід першого логічного елемента I-NI кожного розряду, крім першого, другого та N-го, з'єднаний з першим входом другого логічного елемента I-NI того ж розряду, вихід першого логічного елемента I-NI кожного i-го розряду, крім першого, другого, четвертого та (3-i)-го, з'єднаний з третім входом другого логічного елемента I-NI (i-2)-го розряду, вихід другого логічного елемента I-NI кожного розряду з'єднаний з Т-входом лічильного тригера того ж розряду, прямий вихід лічильного тригера першого розряду з'єднаний з першим входом першого логічного елемента I-NE першого розряду, другий вхід якого з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду, згідно з корисною моделлю, введено логічний елемент NE N-го розряду та другий логічний елемент I-NI другого розряду, причому, вихід першого логічного елемента I-NI другого розряду з'єднаний з першим входом другого логічного елемента I-NI другого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента I-NI третього розряду, третій вхід з'єднаний з виходом першого логічного елемента I-NI четвертого розряду а вихід з'єднаний з Т-входом лічильного тригера другого розряду, прямий вихід кожного лічильного тригера (3-i-2)-го розряду, крім N-го, (N-1)-го та (N-2)-го, з'єднаний з четвертим входом першого логічного елемента I-NE (3-i+2)-го розряду, вихід кожного першого логічного елемента I-NI (3-i+2)-го розряду з'єднаний з четвертим входом другого логічного елемента I-NI (3-i-2)-го розряду, вихід першого логічного елемента I-NI N-го розряду з'єднаний з входом логічного елемента NE N-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера цього ж розряду.

На фіг. 1 зображено схему корисної моделі на прикладі семи-розрядного лічильника. На фіг. 2 зображено часові діаграми роботи семи-розрядного лічильника з вагами розрядів 1, 2, 2, 4, 8, 8, ... На діаграмах не враховані затримки часу на перемикання логічних елементів і тригерів.

Лічильник, що має вхід ПВ початкового встановлення, вхід ТІ тактових імпульсів, 7 інформаційних виходів Q1÷Q7 та 7 розрядів, кожен i-й з яких містить лічильний тригер і.1 та перший логічний елемент і.2 I-NI, кожен i-й розряд, крім першого та 7-го, містить другий логічний елемент і.3 I-NI, а 7-й розряд містить логічний елемент 7.3 NE, причому, вхід початкового встановлення з'єднаний з R-входами всіх лічильних тригерів 1.14-7.1, вхід тактових імпульсів з'єднаний з С-входами всіх лічильних тригерів 1.1÷7.1, прямі виходи всіх лічильних тригерів 1.1÷7.1 з'єднані з відповідними інформаційними виходами Q1÷Q7, інверсний вихід лічильного тригера і А кожного i-го розряду, крім першого, з'єднаний з першим входом першого логічного елемента і.2 I-NI того ж розряду, прямий вихід лічильного тригера і.1 кожного i-го розряду, крім 7-го, з'єднаний з другим входом першого логічного елемента (i+1).2 I-NI (i+1)-го розряду, прямий вихід лічильного тригера і А кожного i-го розряду, крім 7-го, 6-го, 4-го та 1-го, з'єднаний з третім входом першого логічного елемента (i+2).2 I-NI (i+2)-го розряду, вихід першого логічного елемента і.2 I-NI кожного i-го розряду, крім першого, другого та 7-го, з'єднаний з першим входом другого логічного елемента і.3 I-NI того ж розряду, вихід першого логічного елемента і.2 I-NI кожного i-го розряду, крім першого, другого та третього, з'єднаний з другим входом другого логічного елемента (i-1).3 I-NI (i-1)-го розряду, вихід першого логічного елемента і.2 I-NI кожного i-го розряду, крім першого, другого, четвертого та (3-i)-го, з'єднаний з третім входом другого логічного елемента (i-2).3 I-NI (i-2)-го розряду, вихід другого логічного елемента і.3 I-NI кожного i-го розряду з'єднаний з Т-входом лічильного тригера і А того ж розряду, прямий вихід лічильного тригера 1.1 першого розряду з'єднаний з першим входом першого логічного елемента 1.2 I-NI першого розряду, другий вхід якого з'єднаний з прямим виходом лічильного тригера 2.1 другого розряду, а вихід з'єднаний з Т-входом лічильного тригера 1.1 першого розряду, вихід першого логічного елемента 2.2 I-NI другого розряду з'єднаний з першим входом

другого логічного елемента 2.3 I-НІ другого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента 3.2 I-НІ третього розряду, третій вхід з'єднаний з виходом першого логічного елемента 4.2 I-НІ четвертого розряду а вихід з'єднаний з Т-входом лічильного тригера 2.1 другого розряду, прямий вихід лічильного тригера (3i-1).1 кожного (3i-1)-го розряду, крім 7-го, 6-го та 5-го, з'єднаний з четвертим входом першого логічного елемента (3i+2).2 I-НІ (3i+2)-го розряду, вихід кожного першого логічного елемента (3i+2).2 I-НІ (3i+2)-го розряду з'єднаний з четвертим входом другого логічного елемента (3i-i).3 I-НЕ (3i+2)-го розряду, вихід першого логічного елемента 7.2 I-НІ 7-го розряду з'єднаний з входом логічного елемента 7.3 НЕ 7-го розряду, вихід якого з'єднаний з Т-входом лічильного тригера 7.1 цього ж розряду.

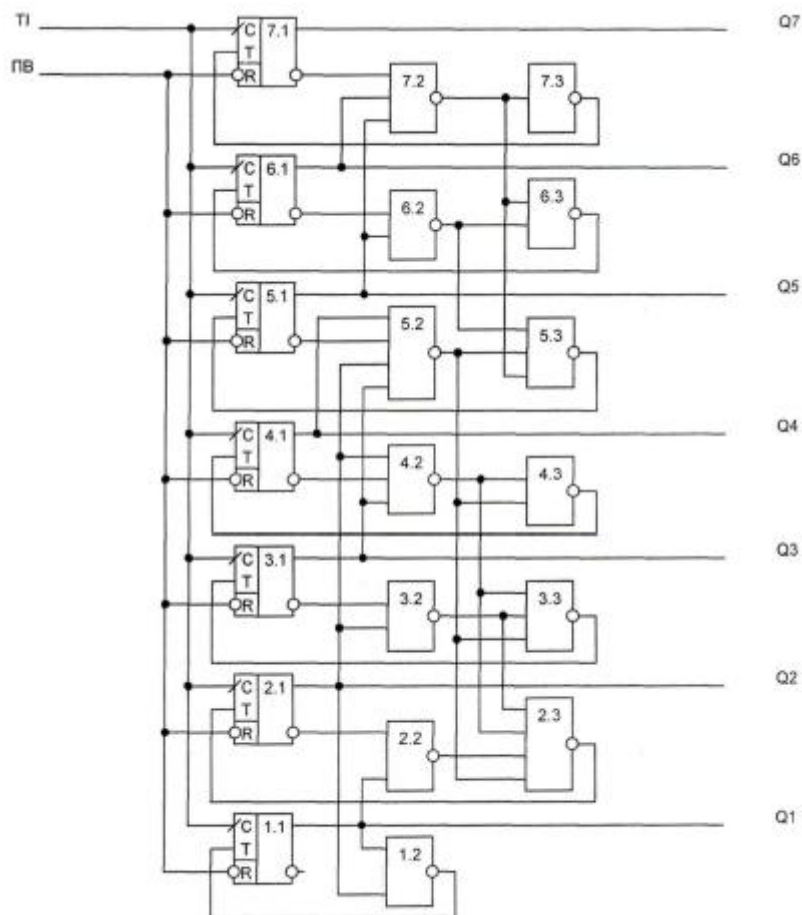
Лічильник працює таким чином. Робота починається з подання на вхід ПВ початкового встановлення нульового сигналу, який надходить на R-входи лічильних тригерів 1.1-5-7.1 розрядів з першого по сьомий. Лічильні тригери 1.1÷7.1 розрядів з першого по сьомий встановлюються у нульовий стан. У кожному i-му розряді нульовий сигнал з прямого виходу лічильного тригера і А надходить на інформаційний вихід Qi. Нульові сигнали з прямих виходів лічильних тригерів 1.1÷6.1 розрядів з першого по шостий надходять на другі входи перших логічних елементів 2.2÷7.2 розрядів з другого по сьомий, на виходах яких встановлюються одиничні сигнали. Нульовий сигнал з прямого виходу лічильного тригера 1.1 першого розряду надходить на перший вхід першого логічного елемента 1.2 I-НІ першого розряду, на виході якого встановлюється одиничний сигнал, який надходить на Т-вхід лічильного тригера 1.1 першого розряду. Одиничні сигнали з виходів перших логічних елементів 2.2÷7.2 I-НІ розрядів з другого по сьомий надходять на всі входи других логічних елементів 2.3÷6.3 I-НІ розрядів з другого по шостий, на виходах яких встановлюються нульові сигнали, які надходять на Т-входи лічильних тригерів 2.1÷6.1 розрядів з другого по шостий. Одиничний сигнал з виходу логічного елемента 7.2 I-НІ сьомого розряду надходить на вхід логічного елемента 7.3 НЕ сьомого розряду, на виході якого встановлюється нульовий сигнал, який надходить на Т-вхід лічильного тригера 7.1 сьомого розряду. При поданні на вхід ТІ першого тактового імпульсу він надходить на С-входи лічильних тригерів 1.1÷7.1 розрядів з першого по сьомий. Під час переходу цього імпульсу з нульового потенціалу в одиничний лічильні тригери 2.1÷7.1 розрядів з другого по сьомий встановлюються у нульовий стан, а лічильний тригер 1.1 першого розряду встановлюється в одиничний стан. На інформаційних виходах Q7÷Q1 встановлюється код 0000001. Подальша робота лічильника пояснюється за допомогою часових діаграм, представлених на фіг. 2.

Представлений на фіг. 1 лічильник у процесі своєї роботи формує двійкові коди чисел з вагами розрядів 1, 2, 2, 4, 8, 8, 16. Перетворення таких кодів у коди класичної двійкової системи числення виконується за допомогою одного простого додавання у класичній двійковій системі числення частини коду з вагами 1, 2, 4, 8, 16 та частини коду з вагами 2, 8, що підтверджує вирішення поставленої задачі.

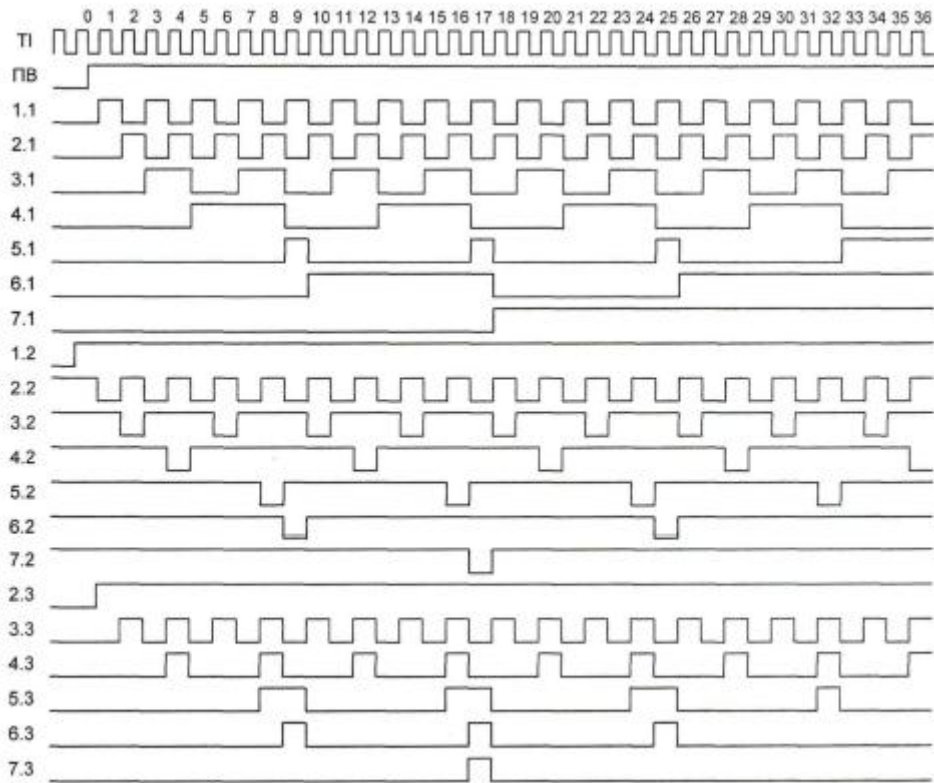
#### ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Лічильник, що має вхід початкового встановлення, вхід тактових імпульсів, N інформаційних виходів та N розрядів, кожен з яких містить лічильний тригер та перший логічний елемент I-НІ, а кожен розряд, крім першого, другого та N-го, містить другий логічний елемент I-НІ, причому, вхід початкового встановлення з'єднаний з R-входами всіх лічильних тригерів, вхід тактових імпульсів з'єднаний з С-входами всіх лічильних тригерів, прямі виходи всіх лічильних тригерів з'єднані з відповідними інформаційними виходами лічильника, інверсний вихід лічильного тригера кожного розряду, крім першого, з'єднаний з першим входом першого логічного елемента I-НІ того ж розряду, прямий вихід лічильного тригера кожного i-го розряду, крім N-го, з'єднаний з другим входом першого логічного елемента I-НІ (i+1)-го розряду, прямий вихід лічильного тригера кожного i-го розряду, крім N-го, (N-1)-го та (3-i-2)-го, з'єднаний з третім входом першого логічного елемента I-НІ (i+2)-го розряду, вихід першого логічного елемента I-НІ кожного розряду, крім першого, другого та N-го, з'єднаний з першим входом другого логічного елемента I-НІ того ж розряду, вихід першого логічного елемента I-НІ кожного i-го розряду, крім першого, другого, третього, з'єднаний з другим входом другого логічного елемента I-НІ (i-1)-го розряду, вихід першого логічного елемента I-НІ кожного i-го розряду, крім першого, другого, четвертого та (3-i)-го, з'єднаний з третім входом другого логічного елемента I-НІ (i-2)-го розряду, вихід другого логічного елемента I-НІ кожного розряду з'єднаний з Т-входом лічильного тригера того ж розряду, прямий вихід лічильного тригера першого розряду з'єднаний з першим входом першого логічного елемента I-НІ першого розряду, другий вхід якого з'єднаний з прямим виходом лічильного тригера другого розряду, а вихід з'єднаний з Т-входом лічильного тригера першого розряду, який **відрізняється** тим, що в нього введено логічний елемент НЕ N-го

розряду та другий логічний елемент I-HI другого розряду, причому, вихід першого логічного елемента I-HI другого розряду з'єднаний з першим входом другого логічного елемента I-HI другого розряду, другий вхід якого з'єднаний з виходом першого логічного елемента I-HI третього розряду, третій вхід з'єднаний з виходом першого логічного елемента I-HI четвертого розряду а вихід з'єднаний з T-входом лічильного тригера другого розряду, прямиий вихід кожного лічильного тригера (3·i-1)-го розряду, крім N-го, (N-1)-го та (N-2)-го, з'єднаний з четвертим входом першого логічного елемента I-HE (3·i+2)-го розряду, вихід кожного першого логічного елемента I-HI (3·i+2)-го розряду з'єднаний з четвертим входом другого логічного елемента I-HI (3·i-1)-го розряду, вихід першого логічного елемента I-HI N-го розряду з'єднаний з входом логічного елемента HE N-го розряду, вихід якого з'єднаний з T-входом лічильного тригера цього ж розряду.



Фиг. 1



Фиг. 2

---

Комп'ютерна верстка Г. Паяльніков

---

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

---

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601