УКРАЇНА

(19) UA (11) 10089 (13) U

(51) 7 G06F7/50

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ

ОПИС
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під відповідальність власника патенту

(54) КОНВЕЄРНИЙ ПІДСУМОВУЮЧИЙ ПРИСТРІЙ

1

(21) 20041109356
(22) 15.11.2004
(24) 15.11.2005
(46) 15.11.2005, Бюл. № 11, 2005 р.
(72) Мартинюк Тетяна Борисівна, Кожем'яко Андрій Вікторович, Балашов Костянтин Анатолійович, Мороз Ірина Віталіївна
(73) Вінницький національний технічний університет
(57) Конвеєрний підсумовуючий пристрій, який містить n входів та n комірок, крім того, і-та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів І, причому перший вхід і-ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів І та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів І, вихід якого є першим виходом і-ої комірки, другий вхід вузла виділення загальної частини операндів і-ої комірки з'єднаний з другим виходом (і-1)-ої комірки, перший вхід суматора і-ої комірки з'єднаний з третім виходом (і-1)-ої комірки, другий вхід з'єднаний з першим виходом (і+1)-ої комірки, а вихід суматора є третім виходом і-ої комірки, вихід третього регістра є другим виходом і-ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом і-ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів І, при цьому в n-ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого

2

входу (n-1) комірок, третій вихід n-ої комірки є виходом пристрою, блок логічних елементів містить m елементів І, де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів І, який **відрізняється** тим, що він містить у кожній комірці четвертий і п'ятий регістри, другий блок логічних елементів І, другий мультиплексор, елемент І, а n-та комірка містить лічильник, другий суматор, шостий і сьомий регістри, елемент АБО-НІ, причому вхід четвертого регістра і-ої комірки з'єднаний з першим входом цієї комірки, а вихід з'єднаний з першим входом другого блока логічних елементів І, N- розрядний вихід п'ятого регістра підключений до входу мультиплексора, вихід якого і вхід дозволу пристрою через елемент І з'єднані з другим входом другого блока логічних елементів І, вихід якого є четвертим виходом і-ої комірки, інформаційний вхід п'ятого регістра з'єднаний з третім виходом блока порівняння і-ої комірки, а його вхід зсуву з'єднаний з входом зсуву пристрою, причому другий блок логічних елементів містить m елементів І, перші входи яких з'єднані з першим входом другого блока, другі входи з'єднані з другим входом другого блока, а виходи з'єднані з виходами другого блока логічних елементів І, перший і другий знакові входи вузла виділення загальної частини операндів і-ої комірки з'єднані відповідно з другим виходом блока порівняння і-ої комірки і п'ятим виходом (і-1)-ої комірки, причому у всіх комірках, крім першої і n-ої, знаковий вихід третього регістра є п'ятим виходом цієї комірки, а у першій комірці другий вихід блока порівняння є п'ятим виходом першої комірки, вихід вузла виділення загальної частини операндів n-ої комірки є другим виходом цієї комірки, а також з'єднаний з входом елемента АБО-НІ n-ої комірки, перший і другий входи лічильника n-ої комірки з'єднані відповідно з входами лічби на збільшення і на зменшення пристрою, вхід скиду з'єднаний з входом установлення в початковий стан пристрою, а інформаційний вихід підключений до п'ятого виходу n-ої комірки, який з'єднаний з третім входом (n-1)-х комірок, вихід другого регістра n-ої комірки з'єднаний з входом шостого регістра і першим входом другого суматора, другий вхід якого підключений до виходу сьомого регістра, який є другим виходом при-

(19) UA (11) 10089 (13) U

строю, вхід сьомого регістра підключений до виходу другого суматора, виходи шостого регістра і елемента АБО-НІ є відповідно третім і четвертим виходами пристрою, вихід лічильника підключений до керувального входу другого мультиплексора n-ої комірки, в усіх комірках, крім n-ої, третій вхід комірки підключений до керувального входу другого мультиплексора, а вихід першого розряду лічильника є п'ятим виходом пристрою.

Корисна модель відноситься до автоматики та обчислювальної техніки і може бути використана при розв'язанні задач паралельного підсумовування, сортування та визначення екстремальних елементів вхідного масиву даних при побудові спеціалізованих обчислювальних систем.

Відомий пристрій для підсумовування n-розрядних чисел масиву [А.с. 554537, кл. G06F7/385, 1977р.], що містить суматор з зсувом, n лічильників з m розрядами кожний, вхід кожного лічильника з'єднаний з виходом відповідного вхідного вентиля, входи всіх вхідних лічильників з'єднані з виходом блока керування, вихід кожного i-го розряду (1<i<m) кожного j-го лічильника (1<j<n-1) з'єднаний через відповідний вентиль з входом i-го розряду (j+1) лічильника, вихід кожного i-го розряду n-го лічильника з'єднаний через відповідний вентиль з входом i-го розряду суматора, входи всіх вентилів і нульові входи розрядів першого лічильника з'єднані з виходом блока керування, n-розрядний регістр, вихід кожного q-го розряду якого (l<j<n) з'єднаний з входом q-го додаткового вентиля, причому вихід старшого розряду кожного q-го лічильника з'єднаний з входом q-го розряду регістра, вихід q-го додаткового вентиля з'єднаний з входом (q+m)-го розряду суматора, входи всіх додаткових вентилів та нульові входи регістра з'єднані з виходом блока керування.

Недоліком даного пристрою є вузькі функціональні можливості через неможливість сортування та визначення екстремальних елементів масиву даних.

Відомий пристрій для одночасного виконання операцій додавання над множиною чисел [А.с.558276, кл. G06F7/385, 1977р.], що містить однотипні блоки, причому кожний i-й блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду часткового результату, тригер формування кінцевого результату, елемент І, виходи старших розрядів вузла формування часткового результату з'єднані з входами регістра часткового результату (i+1)-го блока, одиничний вихід тригера зберігання молодшого розряду часткового результату з'єднаний з першим входом елемента І, другий вхід якого з'єднаний з одиничним входом тригера формування кінцевого результату (i-I)-го блока, вихід молодшого розряду вузла формування часткового результату підключений до одиничного входу тригера зберігання молодшого розряду часткового результату, нульові входи тригерів зберігання молодшого розряду часткового результату, формування кінцевого результату та регістра часткового результату підключені до шини тактових імпульсів, причому в i-й блок пристрою введені регістр порядку, вузол формування порядку, елемент АБО та два логічних вузли, причому виходи регістра порядку з'єднані з входами вузла формування порядку, виходи якого підключені до входів регістра порядку (i+1)-го блока, крім того виходи регістра порядку з'єднані з входами елемента АБО, вихід якого з'єднаний з підсумовуючим входом вузла формування порядку, а також з керуючими входами логічних вузлів, виходи регістра часткового результату з'єднані з входами логічних вузлів, виходи першого логічного вузла підключені до входів n старших розрядів вузла формування часткового результату, а виходи другого логічного вузла підключені до входів (n+1)-го розряду вузла формування часткового результату, причому n-ий вихід другого логічного вузла підключений до n-го та (n+1)-го входів вузла формування часткового результату, до підсумовуючого входу якого підключений одиничний вихід тригера зберігання молодшого розряду часткового результату, вихід елемента І з'єднаний з -(n-1)-им розрядом регістра часткового результату (i+1)-го блока.

Недоліком даного пристрою є обмежені функціональні можливості, оскільки в процесі додавання відсутня можливість сортування та визначення екстремальних елементів вхідної множини чисел.

Найбільш близьким по технічній суті є конвеєрний підсумовуючий пристрій [патент України №46877, МПК7 G06G7/14, G06F7/50, 2002р.], в подальшому пойменований як конвеєрний пристрій, який містить n входів і n комірок, крім того, i-та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів І, причому перший вхід i-ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів І та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід - з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів І, вихід якого є першим виходом i-ої комірки, другий вхід вузла виділення загальної частини операндів i-ої комірки з'єднаний з другим виходом (i-1)-ої комірки, перший вхід суматора i-ої комірки з'єднаний з третім виходом (i-1)-ої комірки, другий вхід - з першим виходом (i+1)-ої комірки, а вихід суматора є третім виходом i-ої комірки, вихід третього регістра є другим виходом i-ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід

другого регістра є другим входом і-ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів І, при цьому в n-ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу (n-1) комірок, третій вихід n-ої комірки є виходом пристрою, блок логічних елементів містить m елементів І, де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи - з другим входом блока, а виходи - з виходами блока елементів І.

Недоліком цього пристрою є вузькі функціональні можливості, оскільки в процесі обробки в ньому відсутня можливість одночасного сортування та визначення екстремальних елементів разом із підсумовуванням чисел масиву

В основу корисної моделі поставлена задача створення конвеєрного пристрою, в якому введення нових блоків та нових зв'язків дає можливість разом із формуванням суми відсортувати та визначити екстремальні елементи вхідного масиву, що приводить до розширення функціональних можливостей пристрою

Поставлена задача досягається тим, що в конвеєрний пристрій, який містить n входів та n комірок, крім того, і-та комірка містить блок порівняння, суматор, вузол виділення загальної частини операндів, три регістри, D-тригер, мультиплексор і блок логічних елементів І, причому перший вхід і-ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом блока порівняння та першим входом вузла виділення загальної частини операндів, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом блока елементів І та другим входом блока порівняння, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід з'єднаний з D-входом D-тригера, R-вхід якого підключений до входу установлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу блока елементів І, вихід якого є першим виходом і-ої комірки, другий вхід вузла виділення загальної частини операндів і-ої комірки з'єднаний з другим виходом (і-1)-ої комірки, перший вхід суматора і-ої комірки з'єднаний з третім виходом (і-1)-ої комірки, другий вхід з'єднаний з першим виходом (і+1)-ої комірки, а вихід суматора є третім виходом і-ої комірки, вихід третього регістра є другим виходом і-ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом і-ої комірки, крім того, через відсутність в першій комірці вузла виділення загальної частини операндів та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом блока елементів І, при цьому в n-ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід з'єднаний з другим входом суматора, вихід вузла виділення загальної частини операндів з'єднаний з входом другого регістра, а також підключений до другого входу (n-1) комірок, третій вихід n-ої комірки є виходом пристрою, блок логічних елементів містить m елементів І, де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом блока, другі входи з'єднані з другим входом блока, а виходи з'єднані з виходами блока елементів І, введені в кожну комірку четвертий і п'ятий регістри, другий блок логічних елементів І, другий мультиплексор, елемент І, а в n-ту комірку введені лічильник, другий суматор, шостий і сьомий регістри, елемент АБО-НІ, причому вхід четвертого регістра і-ої комірки з'єднаний з першим входом цієї комірки, а вихід з'єднаний з першим входом другого блока логічних елементів І, N- розрядний вихід п'ятого регістра підключений до входу мультиплексора, вихід якого і вхід дозволу пристрою через елемент І з'єднані з другим входом другого блока логічних елементів І, вихід якого є четвертим виходом і-ої комірки, інформаційний вхід п'ятого регістра з'єднаний з третім виходом блока порівняння і-ої комірки, а його вхід зсуву з'єднаний з входом зсуву пристрою, причому другий блок логічних елементів містить m елементів І, перші входи яких з'єднані з першим входом другого блока, другі входи з'єднані з другим входом другого блока, а виходи з'єднані з виходами другого блока логічних елементів І, перший і другий знакові входи вузла виділення загальної частини операндів і-ої комірки з'єднані відповідно з другим виходом блока порівняння і-ої комірки і п'ятим виходом (і-1)-ої комірки, причому у всіх комірках, крім першої і n-ої, знаковий вихід третього регістра є п'ятим виходом цієї комірки, а у першій комірці другий вихід блока порівняння є п'ятим виходом першої комірки, вихід вузла виділення загальної частини операндів n-ої комірки є другим виходом цієї комірки, а також з'єднаний з входом елемента АБО-НІ n-ої комірки, перший і другий входи лічильника n-ої комірки з'єднані відповідно з входами лічби на збільшення і на зменшення пристрою, вхід скиду з'єднаний з входом установлення в початковий стан пристрою, а інформаційний вихід підключений до п'ятого виходу n-ої комірки, який з'єднаний з третім входом (n-1)-х комірок, вихід другого регістра n-ої комірки з'єднаний з входом шостого регістра і першим входом другого суматора, другий вхід якого підключений до виходу сьомого регістра, який є другим виходом пристрою, вхід сьомого регістра підключений до виходу другого суматора, виходи шостого регістра і елемента АБО-НІ є відповідно третім і четвертим виходами пристрою, вихід лічильника підключений до керувального входу другого мультиплексора n-ої комірки, в усіх комірках, крім n-ої, третій вхід комірки підключений до керувального входу другого мультиплексора, а вихід першого розряду лічильника є п'ятим виходом пристрою

На кресленні зображена функціональна схема першої, і-ої та n-ої комірок пристрою.

Конвеєрний пристрій містить n комірок 1, причому і-та комірка 1 містить блок порівняння, в якості якого використовується арифметично-логічний пристрій (АЛП) 2, суматор 3, вузол 4 виділення загальної частини операндів (крім першої комірки),

регістри 5, 6 і регістр 7 (крім першої і n-ої комірок), мультиплексор 8, блок 9 елементів І, D-тригер 10. Вихід мультиплексора 8 і-ої комірки 1 підключений до входу 11 регістра 5, у якого вихід з'єднаний з входом 12 АЛП 2 та входом 13 вузла 4 виділення загальної частини операндів. Вихід регістра 6 з'єднаний з інформаційним входом блока 9 елементів І та входом 14 АЛП 2, вихід 15 якого з'єднаний з другим інформаційним входом мультиплексора 8, а вихід 16 ознаки від'ємного результату АЛП 2 з'єднаний з D-входом D-тригера 10, R-вхід якого підключений до входу 17 установлення в початковий стан пристрою. Інверсний вихід D-тригера 10 підключений до керувального входу блока 9 елементів І, вихід якого підключений до виходу 18 і-ої комірки 1.

Крім того, вхід 19 вузла 4 виділення загальної частини операндів (i+1)-ої комірки 1 з'єднаний з виходом 20 і-ої комірки 1, вхід 21 суматора 3 і-ої комірки 1 (крім першої) з'єднаний з виходом 22 (i-1)-ої комірки 1, а вихід суматора 3 є виходом 22 і-ої комірки 1. Вхід регістра 6 підключено до входу 23 і-ої комірки 1 (крім n-ої), вихід вузла 4 виділення загальної частини операндів з'єднаний з входом регістра 7, інформаційний вихід якого є виходом 20 і-ої комірки 1 (крім першої і n-ої). Перший інформаційний вхід мультиплексора 8 з'єднаний з входом 24 і-ої комірки 1, керувальний вхід з'єднаний з керувальний входом 25 пристрою, а вхід 26 суматора 3 і-ої комірки 1 підключено до виходу 18 (i+1)-ої комірки 1.

У першій комірці 1 вихід регістра 5 є виходом 20 першої комірки 1, а вхід 21 суматора 3 з'єднаний з виходом блока 9 елементів І цієї комірки. Остання n-та комірка 1 містить регістр 27, вхід якого підключений до виходу суматора 3 n-ої комірки 1, а вихід підключений до входу 26 цього ж суматора 3, вихід вузла 4 виділення загальної частини операндів з'єднаний з входом регістра 6 цієї комірки 1, а також з входом 23 всіх молодших (n-1)-х комірок 1, вихід 22 n-ої комірки 1 є виходом пристрою. Знакові входи 28 і 29 вузла 4 виділення загальної частини операндів і-ої комірки 1 з'єднані відповідно з виходом 16 АЛП 2 і-ої комірки 1 і виходом 30 (i-1)-ої комірки 1, причому в усіх комірках 1 (крім першої і n-ої) знаковий вихід регістра 7 є виходом 30 цієї комірки 1, а у першій комірці 1 вихід 16 АЛП 2 є виходом 30 цієї комірки 1.

Крім того, і-та комірка 1 містить регістри 31, 32, блок 33 елементів І, елемент І 34 і мультиплексор 35, а n-та комірка 1 містить лічильник 36, суматор 37, регістри 38, 39 і елемент АБО-Ш 40. Вхід регістра 31 з'єднаний з входом 24 і-ої комірки, а вихід з'єднаний з інформаційним входом блока 33 елементів І, N- розрядний вихід регістра 32 підключений до входу мультиплексора 35, вихід якого з'єднаний з першим входом елемента І 34, вихід якого з'єднаний з керувальним входом блока 33 елементів І, вихід якого є виходом 41 і-ої комірки 1. Інформаційний вхід 42 регістра 32 з'єднаний з виходом ознаки нуля АЛП 2 і-ої комірки 1, а вхід зсуву з'єднаний з входом 43 зсуву пристрою. Блоки 9, 33 елементів І містять m елементів І, де m - розрядність операндів вхідного масиву, причому перші входи елементів І з'єднані з інформаційними входами блоків 9, 33 елементів І, другі входи з'єднані з відповідним керувальним входом блоків 9, 33 елементів І, а виходи підключені до відповідних інформаційних виходів блоків 9, 33 елементів І.

Перший і другий входи лічильника 36 n-ої комірки 1 з'єднані відповідно з входами 44 і 45 лічби на збільшення і на зменшення пристрою, вхід скиду з'єднаний з входом 17 установлення в початковий стан пристрою, інформаційний вихід підключений до входу 46 молодших (n-1)-х комірок 1, а вхід 47 дозволу пристрою з'єднаний з другим входом елемента І 34 і-ої комірки 1. Крім того, у n-ій комірці 1 вихід регістра 6 з'єднаний з входом регістра 39 і входом 48 суматора 37, вхід 49 якого підключений до виходу регістра 38, який є виходом 50 пристрою. Вхід регістра 38 підключений до виходу суматора 37, вихід регістра 39 є виходом 51 пристрою, вхід елемента АБО-НІ 40 з'єднаний з виходом вузла 4 виділення загальної частини операндів n-ої комірки 1, а вихід є виходом 52 пристрою. Вихід лічильника 36 підключений до керувального входу мультиплексора 35 n-ої комірки 1, в усіх комірках 1 (крім n-ої) вхід 46 підключений до керувального входу мультиплексора 35 цієї комірки 1, а вихід першого розряду лічильника 36 є виходом 53 пристрою.

Пристрій працює таким чином. Операції підсумовування і сортування виконуються в такий спосіб.

Крок 1. Визначається загальна значуща частина q_j всіх операндів масиву A_{j-1} У j-му циклі, тобто

$$q_j=\min\{a_{i,j-1}\}_{i=1}^{n}, \quad (1)$$

де $a_{i,0}$ - і-й операнд на вході 24 пристрою; $1 \le j \ge n$.

Перевіряється умова

$$q_j=0. \quad (2)$$

Якщо так, то процес обробки закінчується. Якщо ні, то виконується крок 2.

Крок 2. Виділяється зріз різниць A_j, тобто сукупність величин різниці всіх операндів масиву A_{j-1} j-го циклу з їхньою загальною частиною q_j, тобто

$$A_j = \{a_{i,j}\}_{i=1}^{n} = \{a_{i,j-1} - q_j\}_{i=1}^{n} \quad (3)$$

В подальшому отриманий зріз різниць A_j є вхідним масивом операндів для наступного (j+1)-го циклу. Формуються бінарні маски F_j, G_j, елементи яких визначаються таким чином:

$$f_{i,j} = \begin{cases} 1, \text{якщо } a_{i,j} \ge 0, \\ 0, \text{якщо } a_{i,j} < 0, \end{cases} \quad (4)$$

$$g_{i,j} = \begin{cases} 1, \text{якщо } a_{i,j} = 0, \\ 0, \text{якщо } a_{i,j} \ne 0, \end{cases} \quad (5)$$

Крок 3. Формується часткова сума S_j, де кратність p_j, визначається кількістю додатних ненульових операндів масиву A_{j-1} j-го циклу, тобто

$$S_j = q_j p_j = q_j \cdot f_{1,j} + \ldots + q_j \cdot f_{n,j} = q_j \sum_{i=1}^{n} f_{i,j}. \quad (6)$$

На цьому ж кроці підсумовуються часткові суми S_1, ..., S_j, які отримані на попередніх (j-1)-х і у поточному j-му циклах, тобто

$$S_k = \sum_{j=1}^{k} S_j = \sum_{j=1}^{k} q_j p_j, \quad k = \overline{1,N} \qquad (7)$$

Повторюються кроки 1-3, доки на кроці 1 j-го циклу не буде виконуватись умова (2).

Таким чином, остаточний результат формується в процесі накопичення часткових сум всіх N циклів, причому $N_{max}=n$, а в середньому кількість циклів визначається за формулою

$$N = n - \sum_{r=1}^{R} (m_r - 1) \qquad (8)$$

де R - кількість груп з кількістю m_r повторюваних чисел у початковому масиві даних.

Крім того, по закінченню N циклів обробки формується бінарна матриця масок G вигляду

$$G=(G_N...G_j...G_1). \qquad (9)$$

Послідовний аналіз стовпців матриці G, починаючи з стовпця G_1, дозволяє відсортувати елементи початкового масиву за зростанням.

Отже, на вхід 24 i-ої комірки 1 надходить i-ий операнд $a_{i,0}$ з масиву операндів A_0, розмірність якого дорівнює n. Запис операндів $a_{i,0}$ в комірки 1 виконується паралельно. Через мультиплексор 8 i-ий операнд $a_{i,0}$ надходить по входу 11 в регістр 5, а також безпосередньо з входу 24 у регістр 31 i-ої комірки 1. Після цього виконується послідовне виділення загальної частини двох операндів - (i-1)-го та i-го вузлом 4 виділення загальної частини операндів за інформацією, що подається на його інформаційні входи 13 і 19 та знакові входи 28 і 29 і здійснюється запис результату в регістр 7. Ця операція виконується послідовно, починаючи з другої комірки 1, згідно із виразом (1) на 1-му кроці обробки. Кінцевий результат виділення загальної частини q_1 всіх n операндів виду (1) формується в n-ій комірці 1 і з виходу вузла 4 виділення загальної частини операндів цієї комірки 1 мінімальна складова q_1 (загальна частина всіх операндів) записується в регістр 6 всіх n комірок 1 паралельно, якщо величина q_1 ненульова і на виході 52 пристрою відсутній одиничний сигнал завершення операції підсумовування. При запису у регістр 6 задіяний вхід 23 всіх комірок 1 (крім n-ої).

Після цього відбувається порівняння в АЛП 2 i-го операнда $a_{i,0}$, що надходить по входу 12 з регістра 5, та загальної частини q_1 всіх операндів, що надходить по входу 14 з регістра 6 i-ої комірки 1. Порівняння відбувається в процесі віднімання від величини операнда $a_{i,0}$ загальної частини q_1 всіх операндів, згідно із виразом (3) на 2-му кроці обробки, а різниця записується з виходу 15 АЛП 2 через мультиплексор 8 в регістр 5. При цьому з виходу 16 ознака від'ємного результату різниці, тобто сигнал $f_{i,1}$ (4) записується в D-тригер 10, який перед початком роботи пристрою був занулений сигналом по входу 17 установлення в початковий стан пристрою. Одночасно з виходу ознаки нуля АЛП2 у регістр 32 i-ої комірки 1 по його входу 42 записується відповідний сигнал $g_{i,1}$ (5). Перед початком роботи регістри 5,6,7,31,32 всіх комірок 1 та регістри 27, 38, 39 n-ої комірки 1 занулені, у лічильник 36 записано одиницю, а на вході 47 дозволу пристрою присутній нульовий сигнал.

При відсутності одиничного сигналу ознаки від'ємного результату одиничний сигнал $f_{i,1}$ з інверсного виходу D-тригера 10 дозволяє проходження через блок 9 елементів І загальної частини операндів q_1 з регістра 6 через вихід 18 i-ої комірки 1 на вхід 26 суматора 3 (i-1)-ої комірки 1 (крім n-ої), де відбувається формування часткових сум S_j виду (6) у відповідні j-ті цикли підсумовування операндів. Одночасно відбувається надходження величини q_1 на вхід регістра 39 і на вхід 48 суматора 37 n-ої комірки 1. У суматорі 37 ця величина підсумовується з величиною, що надходить з регістра 38 на вхід 49 суматора 37. Оскільки перед початком роботи пристрою регістр 38 був занулений, то у 1-му циклі у регістр 38 записується величина q_1. В подальшому запис у регістр 39 n-ої комірки 1 припиняється і в ньому зберігається значення q_1. В першій комірці 1 величина q_1 з регістра 6 проходить на вхід 21 суматора 3 цієї комірки 1 через блок 9 елементів І. У випадку, якщо на виході 16 АЛП 2 i-ої комірки 1 з'явиться одиничний сигнал ознаки від'ємного результату, то нульовий сигнал $f_{i,1}$ з інверсного виходу D-тригера 10 заборонить проходження величини q_1 в даному циклі обробки через блок 9 елементів І на вхід 26 суматора 3 (i-1)-ої комірки 1.

Таким чином, в суматорах 3 кожної комірки 1 відбувається послідовне підсумовування величин q_1, а в результаті на виході 22 суматора 3 n-ої комірки 1 формується часткова сума S_1 операндів згідно з виразом (6) на 3-му кроці обробки, в регістрах 38 і 39 n-ої комірки 1 фіксується величина q_1, а в перших розрядах регістра 32 всіх комірок 1 фіксується величина G_1. Так виконується 1-ий цикл обробки. Після кожного циклу виконується зсув вмісту регістра 32 у всіх комірках 1 у бік старших розрядів за сигналом на вході 43 зсуву пристрою і збільшення на одиницю вмісту лічильника 36 за сигналом на вході 44 лічби на збільшення пристрою. Далі цикли повторюються і кількість їх в середньому дорівнює величині (8). Процес підсумовування закінчується при появі одиничного сигналу на виході 52 пристрою.

Після виконання всіх циклів N обробки на виході 22 суматора 3 n-ої комірки 1 формується остаточна сума S_N виду (7), на виході 50 регістра 38 n-ої комірки 1 фіксується значення максимального елемента, на виході 51 регістра 39 n-ої комірки 1 фіксується значення мінімального елемента вхідного масиву, в регістрі 32 i-ої комірки 1 фіксується зсунутий на один розряд i-й рядок бінарної матриці масок G (9), тобто елемент $g_{i,1}$ знаходиться у старшому (N+1)-му розряді, а елемент $g_{i,N}$ - у другому розряді регістра 32, а у лічильнику 36 n-ої комірки 1 формується величина N+1. У таблиці наведено приклад формування суми чисел {11, 3, 5, 8, 15}, стовпців двох бінарних матриць масок F і G, а також формування значення максимального елемента у вхідному масиві і елементів відсортованого масиву за зростанням, причому рискою позначені від'ємні елементи $a_{i,j}$.

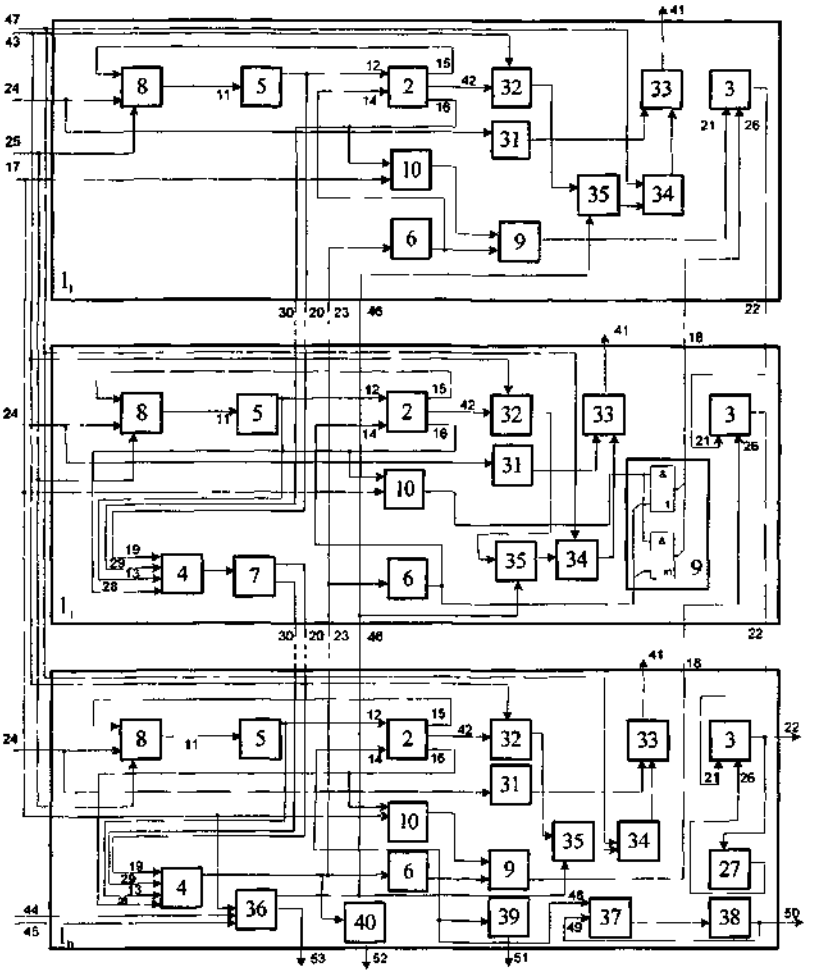
Для виконання сортування елементів початкового масиву A_0 необхідно на вхід 47 дозволу пристрою подати одиничний сигнал і виконати одночасно зчитування одного розряду вмісту у регістрі 32 всіх комірок 1. Якщо зчитування здійснювати зі старших розрядів, то буде виконуватись сортування за зростанням значень елементів масиву A_0.

Одиничний сигнал на виході елемента І 34 і-ої комірки 1 з'явиться тільки тоді, коли при наявності одиничного сигналу на вході 47 дозволу пристрою мультиплексор 35 пропустить одиничний сигнал з відповідного виходу регістра 32, в якому елемент $g_{i,1}$ знаходиться у старшому (N+1)-му розряді, а елемент $g_{i,N}$; - у другому розряді.

Таблиця

Масиви A_j / Елементи масиву $a_{i,j}$	A_0	A_1	A_2	A_3	A_4	A_5
$a_{1,j}$	11	8	6	3	0	-
$a_{2,j}$	3	0	-	-	-	-
$a_{3,j}$	5	2	0	-	-	-
$a_{4,j}$	8	5	3	0	-	-
$a_{5,j}$	15	12	10	7	4	0
Цикли обробки t_j,		1	2	3	4	5
Найменше число q_j,		3	2	3	3	4
Часткова сума S_j		15	8	9	6	4
Накопичення часткових сум S_j		15	23	32	38	42
Бінарні маски F_j / Елементи масок $f_{i,j}$		F_1	F_2	F_3	F_4	F_5
$f_{1,j}$		1	1	1	1	0
$f_{2,j}$		1	0	0	0	0
$f_{3,j}$		1	1	0	0	0
$f_{4,j}$		1	1	1	0	0
$f_{5,j}$		1	1	1	1	1
Бінарні маски G_j / Елементи масок $g_{i,j}$		G_1	G_2	G_3	G_4	G_5
$g_{1,j}$		0	0	0	1	0
$g_{2,j}$		1	0	0	0	0
$a_{3,j}$		0	1	0	0	0
$g_{4,j}$		0	0	1	0	0
$g_{5,j}$		0	0	0	0	1
Формування максимального елемента $a_{i,0}$		3	5	8	11	15
Елементи відсортованого масиву за зростанням		3	5	8	11	15

Для наведеного в таблиці прикладу при зчитуванні зі старших розрядів першим з'явиться одиничне значення на (N+1)-му вході мультиплексора 35, а отже, на виході елемента І 34 другої комірки 1, яке подається на керувальний вхід блока 33 елементів І і дозволить проходження на вихід 41 цієї комірки 1 з регістра 31 значення операнда $a_{2,0}$ який є найменшим у вхідному масиві. На виході мультиплексора 35 і-ої комірки 1 з'являється значення (N+1)-го розряду регістра 32, оскільки у першому циклі сортування саме код величини (N+1) з виходу лічильника 36 подається на керувальний вхід мультиплексора 35 по входу 46 всіх молодших (n-1)-х комірок 1, а також безпосередньо на керувальний вхід мультиплексора 35 n-ої комірки. Після цього виконується зменшення на одиницю вмісту лічильника 36. У наступному циклі знов виконується зчитування наступного, починаючи зі старших розрядів вмісту регістра 32 всіх комірок 1 і зменшення на одиницю вмісту лічильника 36 за сигналом на вході 45 лічби на зменшення пристрою. Тепер одиничний сигнал з'явиться на виході елемента І 34 третьої комірки, що дозволить проходження на вихід 41 цієї комірки 1 з регістра 31 значення операнда $a_{3,0}$, тобто виконується сортування за зростанням. Так виконуються цикли сортування, доки вміст лічильника 36 n-ої комірки 1 не буде дорівнювати одиниці і не з'явиться одиничний сигнал завершення операції сортування на виході 53 пристрою.



Комп'ютерна верстка В. Мацело Підписне Тираж 26 прим.

Міністерство освіти і науки України

Державний департамент інтелектуальної власності, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601