

МЕТОДИЧНІ АСПЕКТИ ЗАСТОСУВАННЯ ПЛІС В АНАЛОГО-ЦИФРОВИХ ПРИСТРОЯХ

ВИКОНАВ: БАЙДЖАНОВ СЕРДАР МУРАДОВИЧ

КЕРІВНИК: КРУПЕЛЬНИЦЬКИЙ ЛЕОНІД ВІТАЛІЙОВИЧ

МЕТА РОБОТИ:

Метою магістерської роботи, є створення методологічної бази і лабораторних засобів для проектування АЦ-пристроїв з використанням ПЛІС.

Об'єктом дослідження

Є процес розробки блоків керування АЦ-пристроїв і систем, що самокорегуються.

Предметом дослідження

Є методики та лабораторні засоби для розробки блоків керування АЦ-пристроїв та систем на основі ПЛІС.

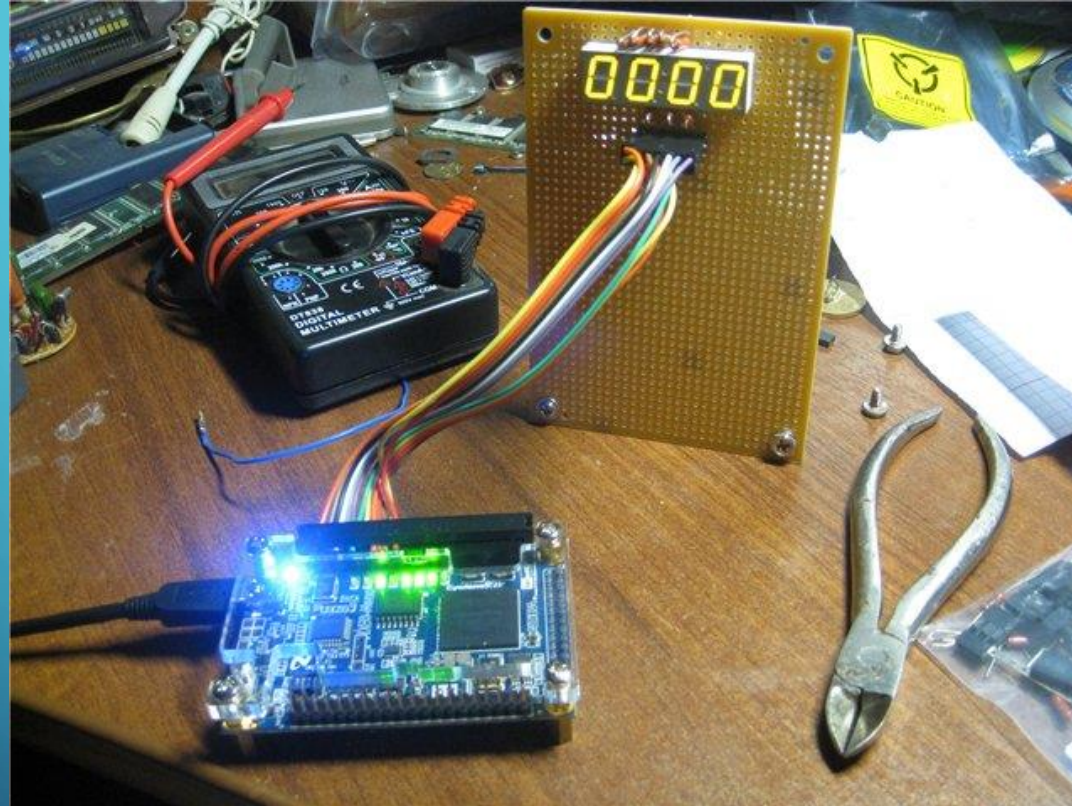
Основі цілі даної магістерської роботи:

- на основі аналізу сучасного стану і тенденцій розвитку ПЛІС, обґрунтувати вибір виробника та базовий лабораторний комплект ПЛІС;
- розробити та адаптувати ПЛІС для застосування в АЦ-техніці;
- розробити методичні матеріали для лабораторних робіт

Наукова новизна: запропоновано комплексний підход до проектування схем керування АЦ-пристроями на основі структурних блоків ПЛІС, що дало підвищити ефективність проектування вказаних пристроїв та систем.

Задачі. Знайомство з середовищем проектування Quartus II. Написання програм мовою Verilog та VHDL. Розробка методичного забезпечення для 11-ти лабораторних робіт з вивченням логічних

Програмована логічна інтегральна схема - електронний компонент, який використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування.



Приклад використання ПЛІС

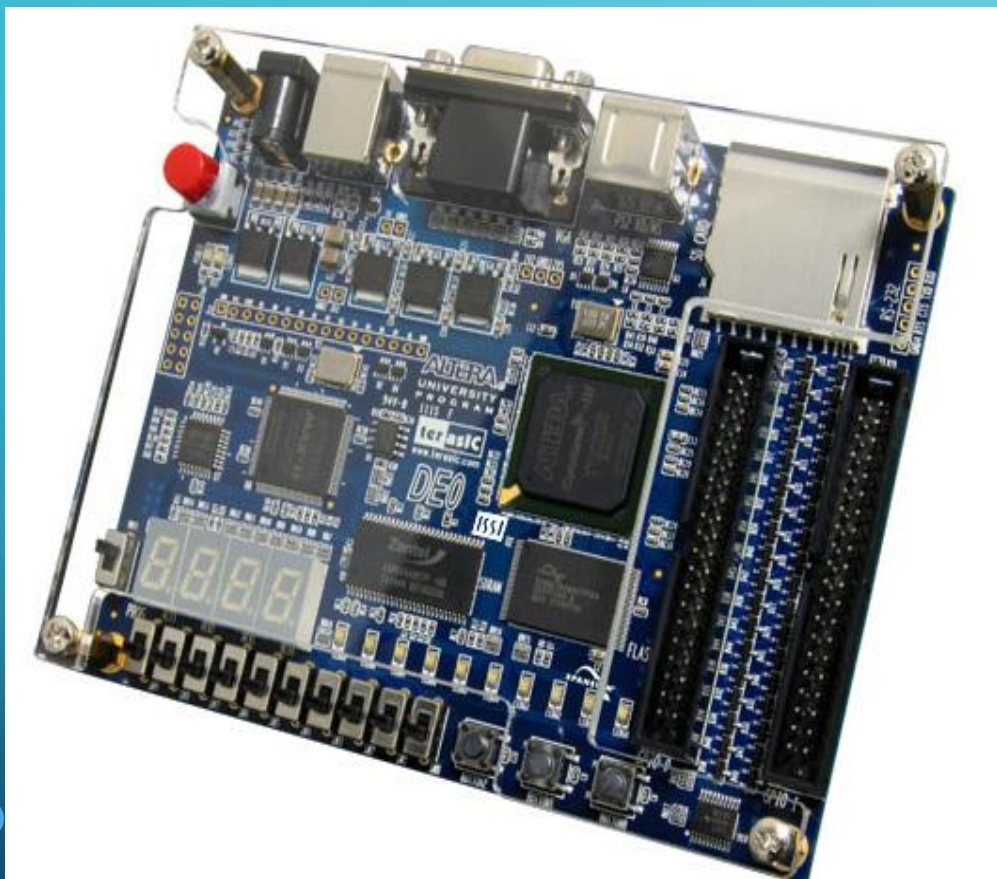
З ПОЗИЦІЇ ІНФРАСТРУКТУРИ ПЛІС, ПРОПОНУЮТЬСЯ ЗАСТОСУВАННЯ В ТАКИХ ОСНОВНИХ ОБЛАСТЯХ ЯК:

- • аналого-цифрове перетворення сигналів;
- • обробка мультимедійного контенту (звук, зображення);
- • інтерфейси введення-виведення даних;
- • формування і розподіл тактового сигналу;
- • аналого-цифрова обробка сигналів;
- • захист інтелектуальної власності на рівні мікропрограм (програмний код, алгоритми сигнальної обробки) від несанкціонованого доступу і копіювання;
- • моніторинг стану функціональних вузлів в системах з контролю і тестування;
- • система розподілу ресурсів

ПЕРИФЕРІЯ ПЛІС ДЛЯ АЦ-СИСТЕМ



СТЕНД ДЛЯ ВИВЧЕННЯ ПЛІС ALTERA

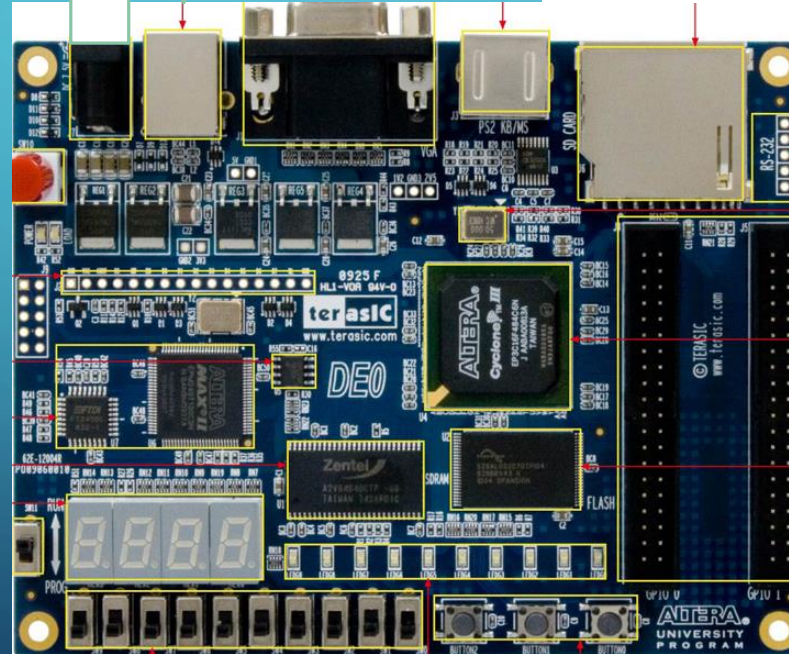


На платі змонтована мікросхема Altera Cyclone III 3C16 FPGA, яка містить 15408 логічних елементів. Плата забезпечує 346 користувальницьких ліній I / O, володіє великим набором можливостей, які роблять її зручною для використання в розширених курсах лекцій в університетах і при розробці складних цифрових систем.

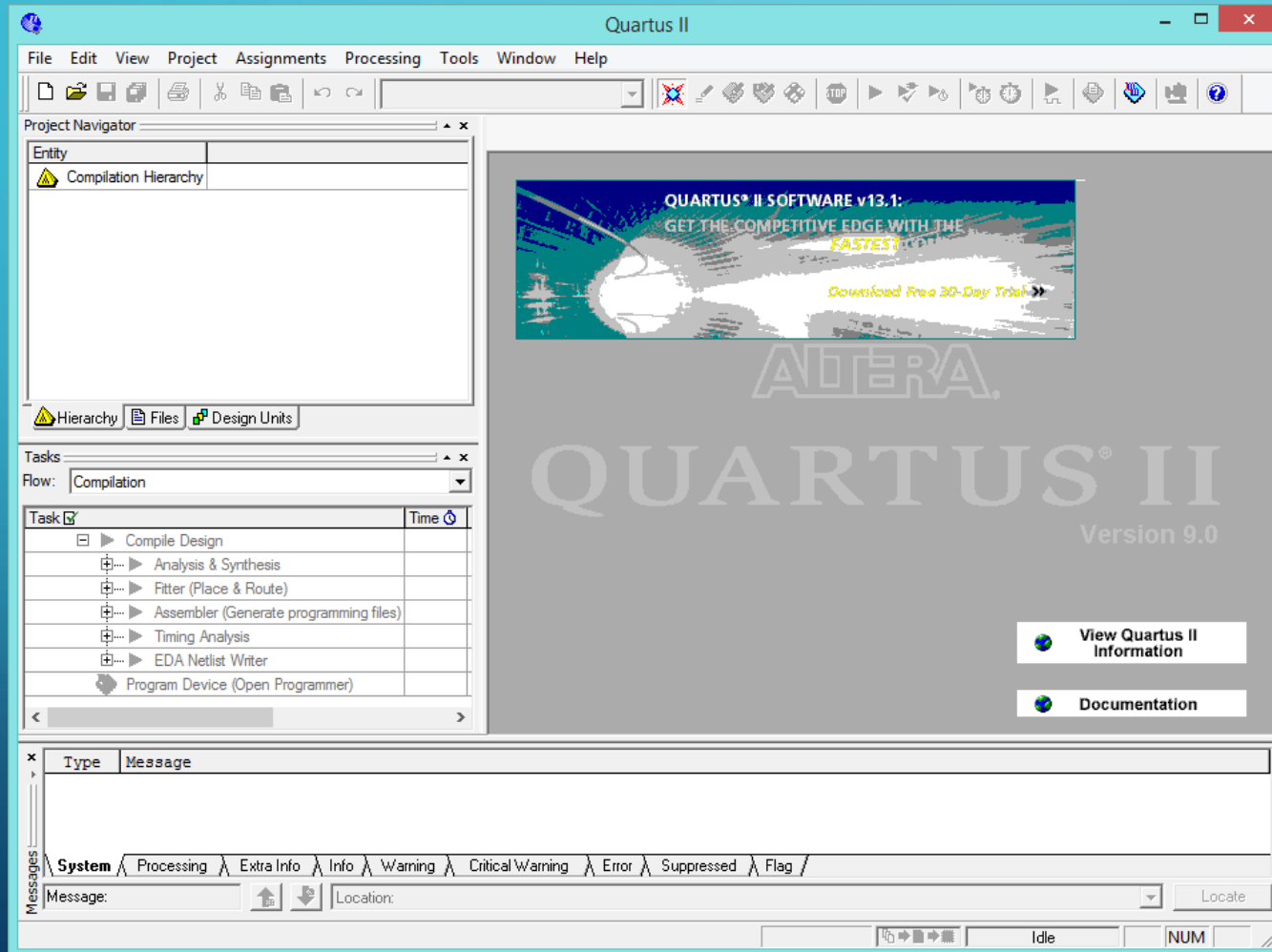
Плата DE0 об'єднує малу споживану потужність, низьку вартість і високу продуктивність Altera Cyclone III FPGA для управління різними функціями плати DE0.

У комплект поставки, крім самої плати розробки DE0 Development Board, входить програмне забезпечення, зразки розробок і допоміжні компоненти, необхідні для забезпечення простого доступу до плати DE0.

СХЕМА ПІД'ЄДНАННЯ



СЕРЕДОВИЩЕ ПРОЕКТУВАННЯ QUARTUS II.



Програмний пакет Quartus® II фірми Altera® являє собою повну, багато- платформне середовище проектування, легко адаптується до вимог конкретного проекту.

Це комплексна середовище для розробки систем на програмованому кристалі (SOPC). Пакет Quartus II включає в себе всі утиліти, необхідні для роботи з мікросхемами FPGA і CPLD.

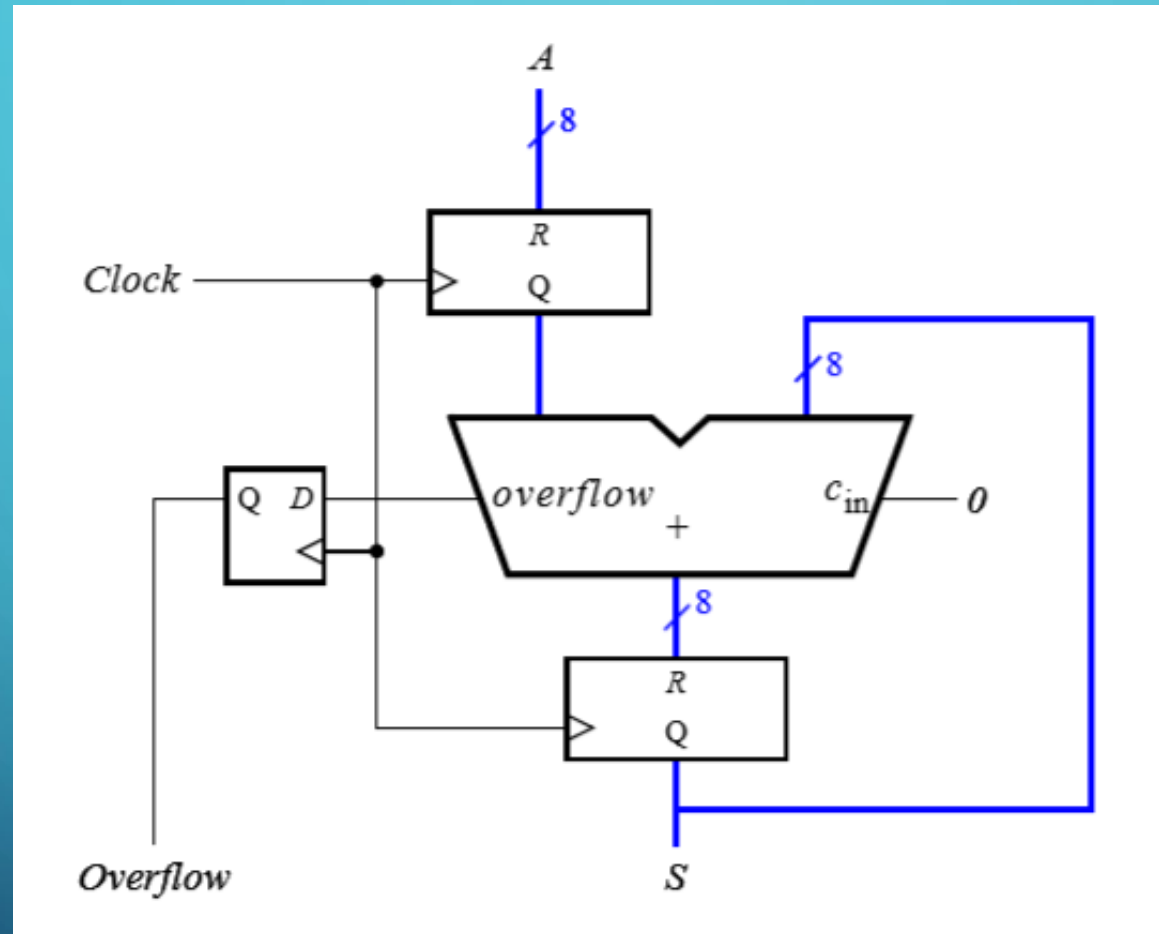
СПИСОК РОЗРОБЛЕНИХ ЛАБОРАТОРНИХ РОБІТ

Розробка цих лабораторних робіт покращує рівень викладання з курсів “Комп’ютерна електроніка”, “Цифрова обробка сигналів”, “Комп’ютерна схемотехніка”, “Архітектура комп’ютерів”.

На даний момент розроблені такі роботи:

- 1) Комутація, індикація, мультиплексування;
- 2) Схеми відтворення цифрової інформації;
- 3) Тригери та регістрові блоки;
- 4) Лічильники;
- 5) Таймери та годинники реального часу;
- 6) Суматори, віднімачі та перемножувачі ;
- 7) Кінцеві автомати;
- 8) Блоки пам'яті;
- 9) Простий процесор;
- 10) Удосконалений процесор;
- 11) Реалізація алгоритмів в обладнанні.

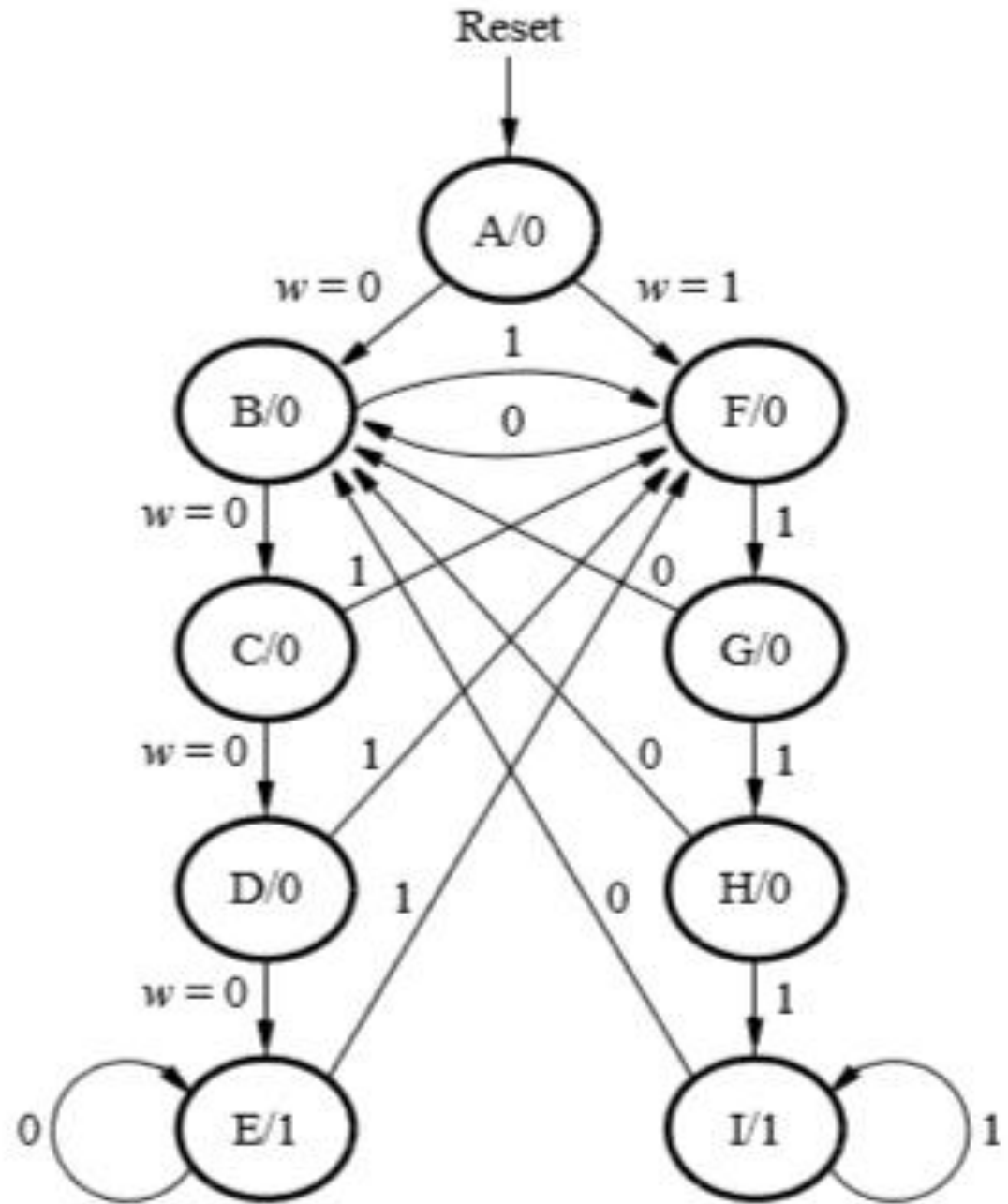
СХЕМИ, ЯКІ РЕАЛІЗОВАНІ В ЛАБОРАТОРНИХ РОБОТАХ. СУМАТОРИ, ВІДНІМАЧІ ТА ПЕРЕМНОЖУВАЧІВ;



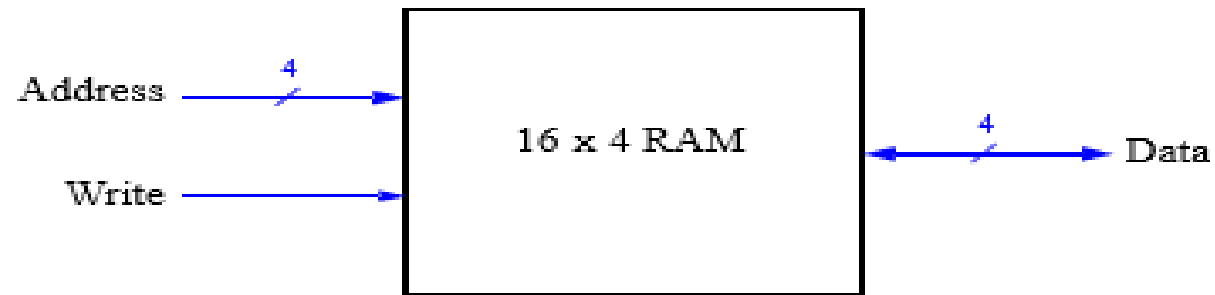
Восьми-бітна схема аккумулятора

КІНЦЕВІ АВТОМАТИ

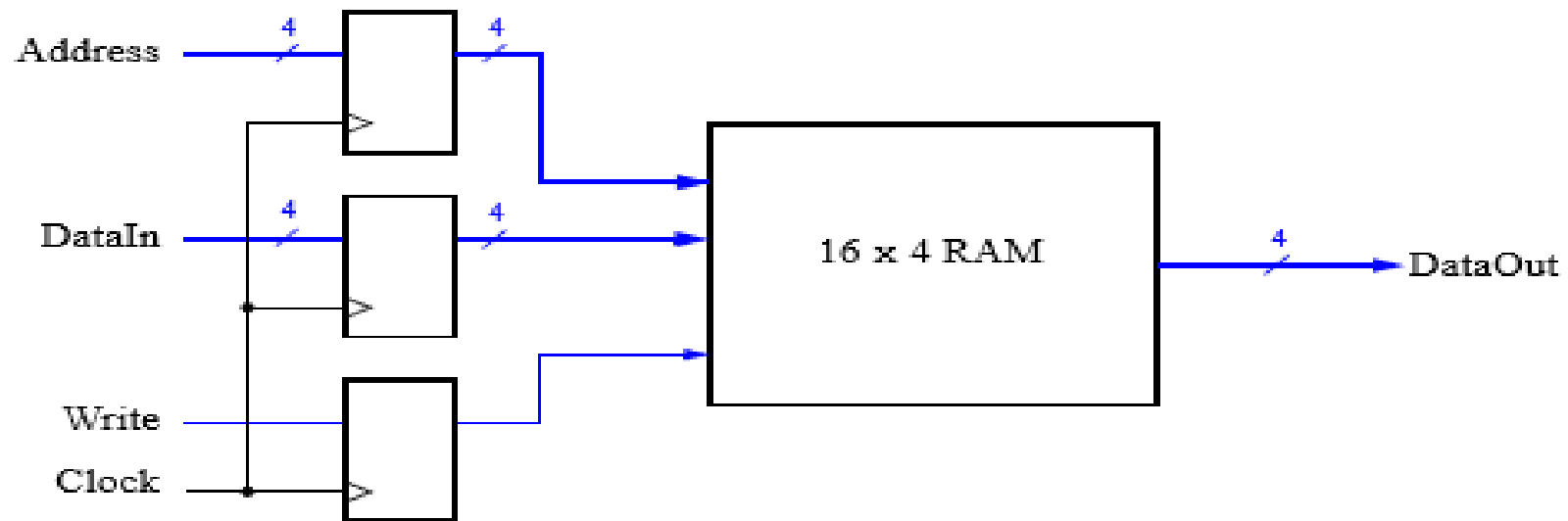
Граф станів для кінцевого автомата



БЛОКИ ПАМ'ЯТІ



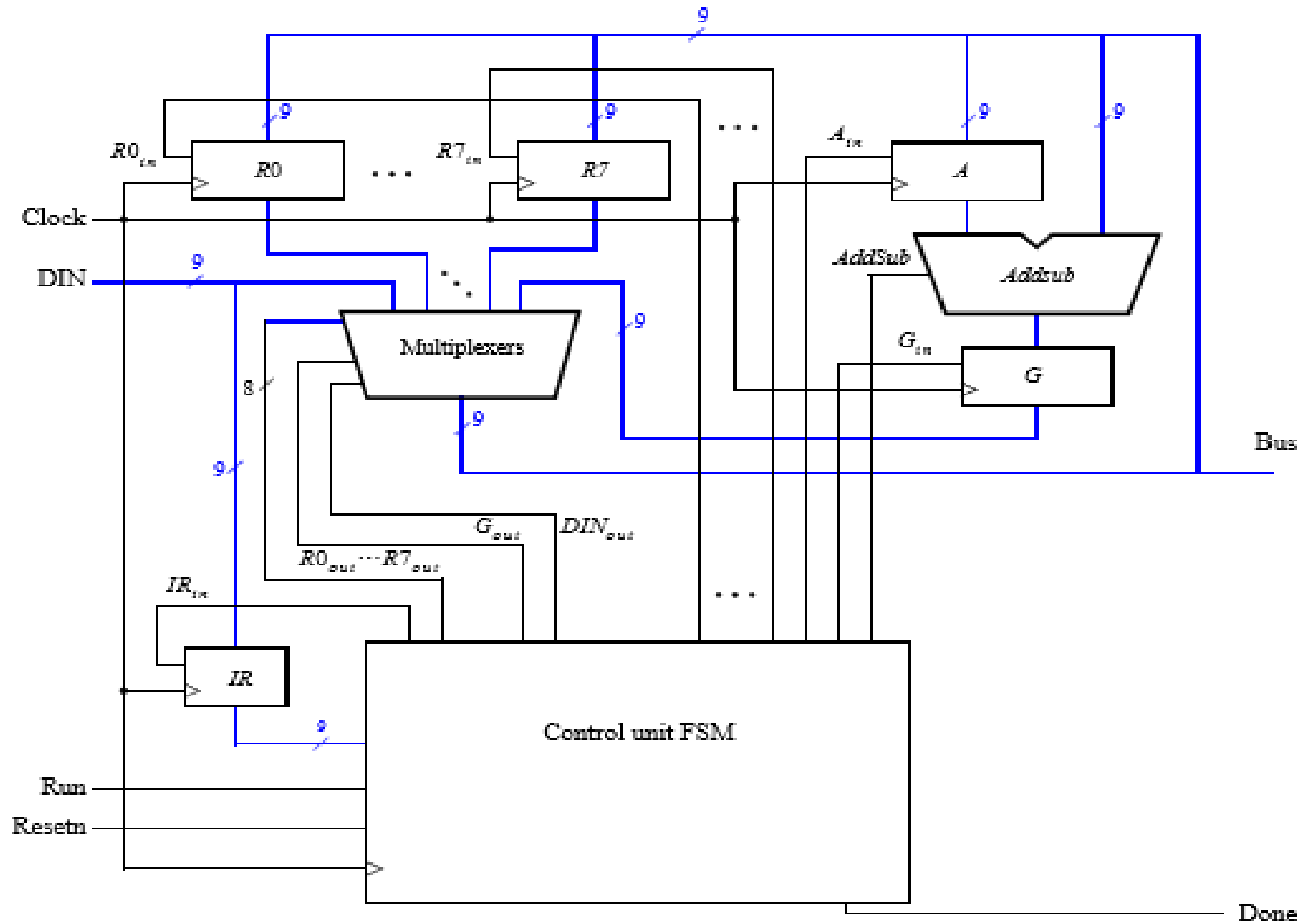
(a) RAM organization



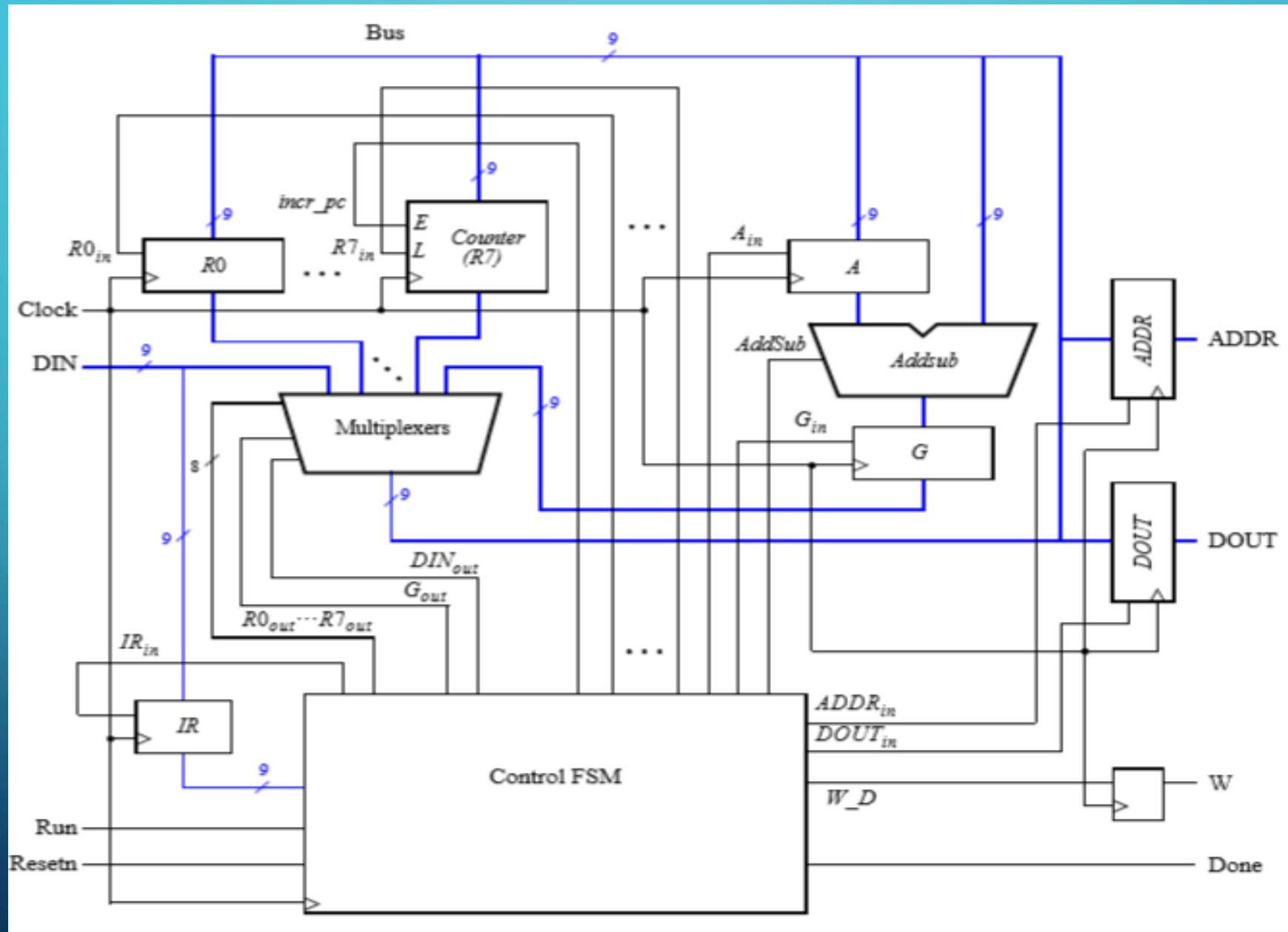
(b) RAM implementation

модуль ОЗУ 16 x 4

ПРОСТЫЙ ПРОЦЕССОР



УДОСКОНАЛЕНИЙ ПРОЦЕССОР



ЕКОНОМІЧНА ЧАСТИНА

В розділі економічної частини ми дослідили цінову політику та визначили основних конкурентів. Провели розрахунки, які підтверджують економічну доцільність нової розробки. Та визначили що необхідно, щоб розробка мала мінімальні розміри і була простою в користуванні.

- Обрахована абсолютна ефективність, що становить 2489,393 тис. грн, це свідчить про те, що інвестор буде зацікавлений у фінансуванні даної розробки.
- Термін окупності вкладених коштів у реалізацію наукового проекту становить 0,54, що означає, що вкладені кошти повернуться через пів року.

Таким чином, можна стверджувати, що фінансування розробки є доцільним.

ВИСНОВОК

- У результаті отримано методичний комплекс, який дозволяє покращити рівень викладання курсів “Комп’ютерна електроніка”, “Цифрова обробка сигналів”, “Комп’ютерна схемотехніка”, “Архітектура комп’ютерів”, а також поліпшити навички програмування та аналізу інтегральних схем. З цієї точки зору тема магістерської роботи досить актуальною.
- Основним шляхом вдосконалення розробленого комплексу є його адаптація до структур блоків керування різноманітних самокоригуючих аналого-цифрових пристроїв та систем.