

Методичні вказівки
до виконання лабораторних робіт з дисципліни
«Схемотехніка»
для студентів спеціальності
153 – «Мікро- та наносистемна техніка»

Міністерство освіти і науки України
Вінницький національний технічний університет

**Методичні вказівки
до виконання лабораторних робіт
з дисципліни «Схемотехніка»
для студентів спеціальності
153 – «Мікро- та наносистемна техніка»**

Вінниця
ВНТУ
2017

Рекомендовано до друку Методичною радою Вінницького національного технічного університету Міністерства освіти і науки України (протокол № ____ від _____)

Рецензенти:

С. Т. Барась, кандидат технічних наук, професор

О. С. Городецька, кандидат технічних наук, доцент

Методичні вказівки до виконання лабораторних робіт з дисципліни «Схемотехніка» для студентів спеціальності 153 – «Мікро- та наносистемна техніка» / Уклад. Й. Й. Білінський, Б. П. Книш. – Вінниця : ВНТУ, 2017. – 54 с.

В даних методичних вказівках наводяться теоретичні відомості за темами дисципліни «Схемотехніка», а також порядок виконання лабораторних робіт та оформлення звітів.

ЗМІСТ

ВСТУП.....	4
I ОСНОВИ СХЕМОТЕХНІКИ.....	5
1 Лабораторна робота № 1. Дослідження статичних та динамічних параметрів ТТЛ елемента і побудова його макромоделі.....	5
2 Лабораторна робота № 2. Дослідження роботи тригерів та їх синтез в середовищі WorkBench.....	10
3 Лабораторна робота № 3. Дослідження роботи регістрів та їх синтез в середовищі WorkBench.....	14
4 Лабораторна робота № 4. Дослідження роботи лічильників та їх синтез в середовищі WorkBench.....	17
5 Лабораторна робота № 5. Дослідження роботи арифметико-логічного пристрою та його синтез в середовищі WorkBench.....	23
II СХЕМОТЕХНІКА ПРИСТРОЇВ.....	27
6 Лабораторна робота № 6. Дослідження роботи мультиплексора-демультиплексора та його синтез в середовищі Multisim	27
7 Лабораторна робота № 7. Дослідження роботи шифратора-дешифратора та його синтез в середовищі Multisim.....	34
8 Лабораторна робота № 8. Дослідження роботи схем порівняння та їх синтез в середовищі Multisim.....	43
9 Лабораторна робота № 9. Дослідження роботи автомата Мілі та його синтез в середовищі Multisim.....	49
10 Лабораторна робота № 10. Дослідження роботи автомата Мура та його синтез в середовищі Multisim.....	51
СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ.....	53

ВСТУП

Методичні вказівки до виконання лабораторних робіт з дисципліни «Схемотехніка», що викладається на кафедрі електроніки та наносистем, складаються з двох частин – роботи, пов'язані з моделюванням пристроїв електроніки на лабораторних стендах, та роботи, пов'язані з моделюванням цих пристроїв в системах WorkBench та Multisim.

Ця дисципліна є однією з базових дисциплін при підготовці інженерів та науковців в галузі електроніки. Такі аналогові електронні пристрої, як фільтри, підсилювачі, генератори сигналів різної форми, стабілізатори, аналого-цифрові та цифроаналогові перетворювачі входять до складу практично будь-яких сучасних радіоелектронних приладів і систем. Знання та практичні навички, отримані при вивченні цієї дисципліни, будуть використовуватись студентами для вирішення практичних задач проектування та розрахунку радіоелектронних пристроїв.

Методичні вказівки до виконання лабораторних робіт розраховані на студентів, які навчаються за спеціальністю 153 – «Мікро- та наносистемна техніка». Також можуть бути корисними і для студентів інших спеціальностей, пов'язаних з проектуванням електронних пристроїв.

Лабораторні роботи виконуються на ПК в програмному середовищі Workbench та Multisim. В методичних вказівках наведено інструкції із синтезу і моделювання електронних схем в цьому програмному середовищі.

Основу методичних вказівок складають 10 лабораторних робіт, в яких необхідно синтезувати та промодельовати основні пристрої електроніки, зробити висновки щодо отриманих результатів.

Роботи оформлені доступно для сприйняття і відтворення з відповідними детальними інструкціями та ілюстраціями, тому студенти зможуть їх виконати без особливих ускладнень та отримати задоволення від здобутих знань та практичних навичок.

І ОСНОВИ СХЕМОТЕХНІКИ

1 ЛАБОРАТОРНА РОБОТА № 1 ДОСЛІДЖЕННЯ СТАТИЧНИХ ТА ДИНАМІЧНИХ ПАРАМЕТРІВ ТТЛ ЕЛЕМЕНТА І ПОБУДОВА ЙОГО МАКРОМОДЕЛІ

Мета роботи: вивчення принципів роботи, характеристик, основних параметрів і дослідження ТТЛ мікросхеми.

Теоретичні відомості

Інтегральні схеми (ІС) застосовуються для обробки інформації, що визначена у двійковій системі числення, тобто у вигляді комбінацій символів 0 і 1.

При потенціальному способі визначення інформації символам 0 і 1 відповідають два стани ІС, що відрізняються напругою на виході. Логічна умова, при якій символу 0 ставиться у відповідність низький рівень напруги, а символу 1 – високий рівень, називається додатною логікою. Якщо ж символу 0 відповідає високий рівень напруги, а символу 1 – низький, то така логіка називається від'ємною. Базовий елемент ТТЛ (рис.1.1) реалізує логічну операцію «І-НІ» в додатній логіці.

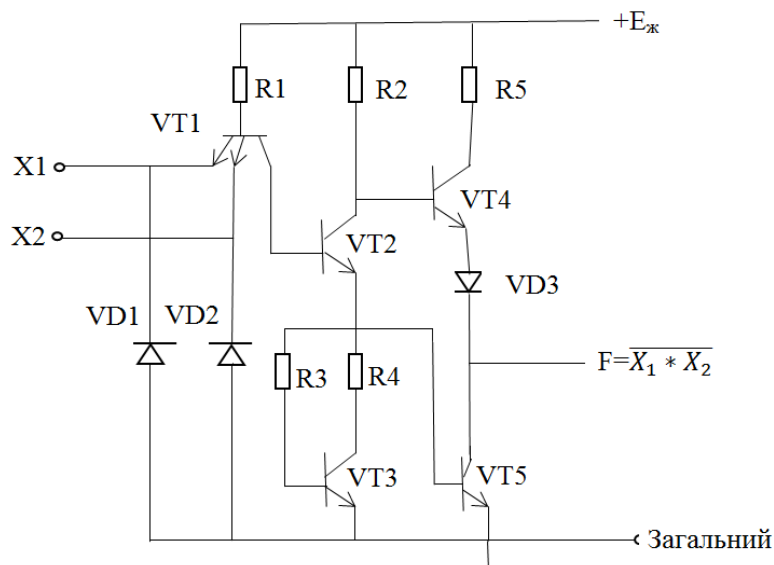


Рисунок 1.1 – Базовий елемент ТТЛ

В даній схемі операція «І» реалізується багатомітерним транзистором VT1, а операція «НІ» – складним інвертором на транзисторах VT2-VT5. Якщо на обидва входи подано високий потенціал (логічна 1), то емітерні переходи транзистора VT1 закриті, колекторний перехід відкритий, і його струм підтримує транзистор VT2 у відкритому стані. Транзистор VT2 забезпечує парафазний сигнал для керування вихідним каскадом. Транзистор VT3 служить динамічним навантаженням транзистора VT2. Якщо VT2 відкритий, то VT5 також відкритий. На виході схеми підтримується низький рівень потенціалу. При цьому між колекторами VT2 і VT5 існує невелика різниця потенціалів, яка може відкрити транзистор VT4. Щоб запобігти цьому, в коло емітера VT4 увімкнено діод VD4. Якщо хоч би на один з входів ІС подано логічний нуль, відповідний емітерний перехід транзистора VT1 відкритий. Колекторний перехід VT1 при цьому також відкритий, на базі VT2 підтримується низька напруга, яка недостатня для його відкриття. Транзистори VT2 і VT5 закриті, VT4 і VD4 відкриті і забезпечують на виході схеми високий рівень напруги, що відповідає логічній одиниці.

В момент зміни вхідного сигналу з високого рівня на низький транзистори VT2 і VT5 закриваються, а транзистор VT4 і діод VD4 відкриваються, але, вони починають проводити трохи раніше момента, коли VT5 буде повністю закритий. При цьому виникає шлях струму від шини живлення на землю, в колі живлення відбуваються кидки струму. Опір R4 обмежує пік струму рівнем 25-30 мА. Як додатний спосіб застосовують шунтування шин живлення конденсатором ємністю 0,01-0,1 мкФ.

Застосування двотактного вихідного каскада дозволяє підвищити навантажувальну здатність схеми. Діоди VD1 і VD2 служать для захисту від від'ємних кидків напруги на вході схеми, при цьому потрібний діод відкривається та утримує цю напругу на рівні -0,7 В, що є безпечним для вхідного транзистора. Струм через ці діоди не повинен перевищувати 10 мА.

Хід роботи

В даній лабораторній роботі досліджуються параметри і характеристики ТТЛ мікросхеми типу К1533ЛА3.

1. Скласти таблицю істинності логічного елемента, що досліджується, підводячи на його входи Vx1 і Vx2 комбінацію логічних сигналів 1 і 0 за

допомогою перемикачів S1 та S2. Значення логічних рівнів контролювати вольтметром.

2. Зняти передаточну характеристику $U_{вих} = \psi(U_{вх})$, змінюючи $U_{вх}$ в межах від 0 до 5 В. Схема вимірювання показана на рис. 1.2. Навантаженням служать входи однотипного логічного елемента. Ключ S2 в положенні 3.

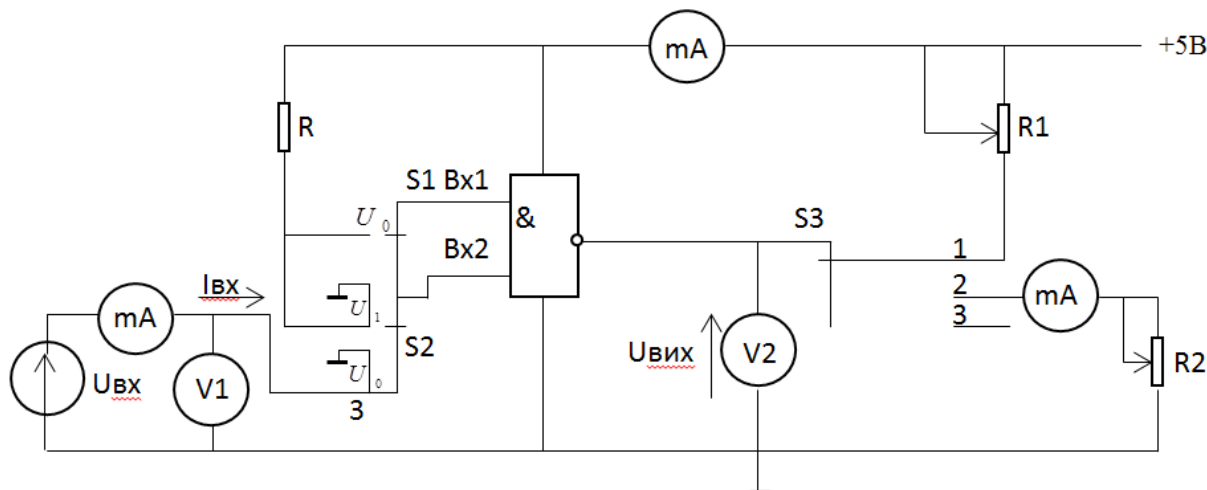


Рисунок 1.2 – Схема вимірювання

3. На графіку передаточної характеристики побудувати зворотну передаточну характеристику (рис. 1.3), яка одержується зміною $U_{вих}$ на $U_{вх}$. Ці характеристики симетричні відносно прямої одиничного нахилу $U_{вих} = U_{вх}$. Для нормального функціонування пристроїв логічний елемент повинен мати три точки перетину передаточної і зворотної характеристик. По координатах точок перетину визначити параметри U_0 , U_1 , $U_{пор}$.

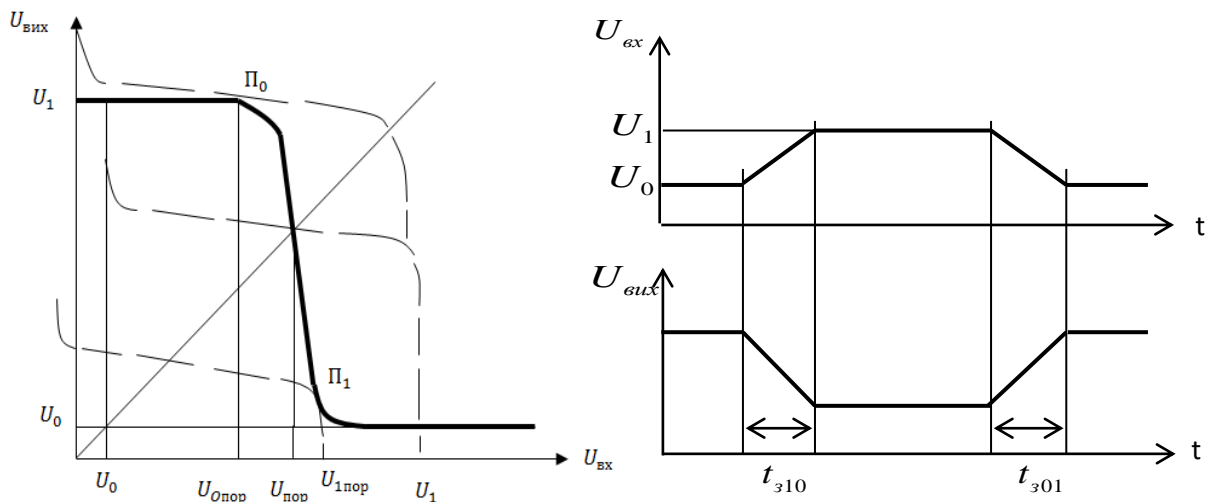


Рисунок 1.3 – Передатня і зворотня характеристики

4. Перенести зворотню характеристику на кальку і за допомогою зсуву її вздовж прямої одиночного нахилу визначити точки дотику до передаточної характеристики. Проекції точок дотику на вісь U_{ex} визначають $U_{0пор}$ та $U_{1пор}$. Визначити абсолютну завадостійкість

$$\Delta U = U_{0пор} - U_0 = U_1 - U_{1пор}.$$

5. За схемою вимірювань на рис.1.2. зняти та побудувати вхідну характеристику $I_{BX} = f(U_{BX})$. При виконанні вимірювань треба пам'ятати, що при зміні напруги на вході від 0 до U_1 струм у вихідному колі змінює знак. Одночасно виміряйте залежність струму, що споживається, від U_{BX} . Ключ S3 в положенні 3.

6. За вхідною характеристикою визначити I_{0BX} і I_{1BX} для відомих U_0 та U_1 , обчислити потужність, що споживається мікросхемою в стані логічного нуля і одиниці на виході, а також середню потужність

$$P_{сер} = 0.5(P_0 + P_1).$$

7. Зняти та побудувати вихідну характеристику $U_{ВИХ} = \varphi(I_{ВИХ})$. При цьому слід пам'ятати, що в стані логічної 1 на виході елемент є джерелом, а в стані логічного 0 – споживачем електричного струму.

У зв'язку з цим вихідні характеристики для кожного з цих станів вимірюється окремо (ключ S3 в положенні 1 та 2, відповідно).

Величину струму навантаження регулювати резисторами R1 та R2. Межі зміни струму повинні бути такими, щоб величина вихідної напруги змінювалася не більше, ніж у 2 рази порівняно з його величиною в режимі холостого ходу (ключ S3 в положенні 3). При цьому в стані логічної 1 вихідна напруга зменшується, а в стані логічного нуля зростає зі зростанням струму навантаження. Результати вимірювань привести у вигляді графіків. В точках, що відповідають стандартним рівням логічного сигналу, визначити величини вихідного опора $R_{1ВИХ}$ і $R_{0ВИХ}$ за нахилом характеристик.

8. Визначити коефіцієнт розгалуження як

$$K_{роз} = \min\{I_{0ВИХ}/I_{0BX}; I_{1ВИХ}/I_{1BX}\}.$$

9. Вимірювання середнього часу затримки розповсюдження логічних сигналів виконується за допомогою осцилографа непрямим методом. При цьому вимірюється період перетворення T прямокутних імпульсів, що генеруються в замкнутому колі, яке містить непарне число логічних елементів N . Шуканий параметр $t_3 = T/3N$. Визначити t_3 при $E_{жс} = 3$ і 5 В для $N=3$, під'єднуючи осцилограф до гнізд «Вих. імп.» і «Земля».

10. На осцилограмі генерованого імпульсу виміряти параметри t_{f01} , t_{f10} , t_{301} , t_{310} . Розрахувати граничну робочу частоту логічного елемента за формулою

$$f_n = 1/(0.5(t_{f01} + t_{f10}) + t_{301} + t_{310}).$$

11. Розрахувати значення параметрів макромоделі логічного елемента за формулами:

$$R_{вх} = (E_{жс} - U_0)/I_{0вх};$$

$$R_{вих} = 2\Delta U R_{вх}/K_{роз}(E_{жс} - U_0).$$

Якщо хоч би один з вхідних сигналів менший або дорівнює U_0 , то значення EI дорівнює U_1 . Якщо ж обидва вхідні сигнали дорівнюють U_1 , то значення EI приймається рівним U_0 . Коло $R_{вих}CI$ враховує затримку сигналу в схемі, значення ємності CI обирається за формулою

$$CI = (t_{f01} + t_{f10})/R_{вих}.$$

Питання для перевірки

1. Основні параметри та характеристики логічних елементів.
2. Поясніть принцип дії ТТЛ елемента «І-НІ» з складним інвертором.
3. Що таке схеми додатної та від'ємної логіки?
4. Поясніть ділянки передаточної характеристики ТТЛ елемента.
5. Поясніть призначення вхідних діодів ТТЛ схем.
6. Чому в момент перемикання ТТЛ схем виникають кидки струму?
7. Наведіть схему заміщення багатоемітерного транзистора.
8. Особливості мікропотужних ТТЛ схем з транзисторами Шоткі.
9. Чим обумовлена гранична швидкодія ТТЛ мікросхем?
10. Дайте визначення завадостійкості ТТЛ мікросхем.

11. Поясніть переваги макромоделей ІС.

2 ЛАБОРАТОРНА РОБОТА № 2 ДОСЛІДЖЕННЯ РОБОТИ ТРИГЕРІВ ТА ЇХ СИНТЕЗ В СЕРЕДОВИЩІ WORKBENCH

Мета роботи: з'ясування призначення тригерів у схемотехніці, дослідження їх параметрів та характеристик, здобуття навичок синтезу тригерів в середовищі WorkBench.

Теоретичні відомості

Тригери – це пристрої з двома стійкими станами, які містять елементарну бістабільну комірку (БК) пам'яті і схему керування, яка перетворює інформацію, що надходить, в комбінацію сигналів, які діють безпосередньо на виходи БК (з'єднання «І-НІ» чи «АБО-НІ»). Вхідні сигнали тригерів в залежності від ролі, яку вони виконують, поділяються на інформаційні (логічні) і керуючі. Аналогічно для входів тригерів. Функціональне призначення входів наведено в таблиці 2.1.

Таблиця 2.1 – Функціональне призначення входів

Умовне позначення	Призначення
Інформаційні входи	
S	Вхід окремого встановлення тригера в стан 1 (Set – встановлення)
R	Вхід окремого встановлення тригера в стан 0 (Reset – скид)
J	Вхід установаження JK-тригера в стан 1 (Jerk – раптове вмикання)
K	Вхід встановлення JK-тригера на 0 (Kill – раптове вимикання)
T	Лічильний вхід тригера (Toggle – релаксатор)
D	Вхід установаження D-тригера в стан 1 та 0 (Delay – затримка)
Керуючі входи	
V	Підготовчий вхід дозволу прийому інформації (Valve – клапан)
C	Тактовий вхід (Clock – сигнал синхронізації)

Одному з виходів тригера присвоюють найменування прямого і позначають буквою Q , а другому – найменування інверсного і позначають \bar{Q} . Стан тригера часто ототожнюють з сигналом на прямому виході, тобто говорять, що тригер знаходиться в одиничному стані, коли $Q=1$, а $\bar{Q}=0$, і в нульовому, коли $Q=0$, а $\bar{Q}=1$.

Якщо перемикання тригера відбувається тільки при надходженні тактового імпульсу на вхід синхронізації C , то тригер називається синхронним.

Тригери можуть синхронізуватися рівнем або фронтом тактових імпульсів (ТІ).

Тригери, що синхронізуються рівнем, можуть змінювати свій стан протягом тривалості ТІ при надходженні відповідних інформаційних сигналів, тобто можуть переключатися декілька разів за час дії одного ТІ. Протягом паузи між ТІ стан такого тригера зберігається при будь-яких змінах інформаційних сигналів. Тригери, які синхронізуються фронтом, змінюють свій стан при надходженні на вхід синхронізації додатного або від'ємного фронту ТІ. За час дії одного ТІ такий тригер переключається тільки один раз.

У асинхронних тригерах є тільки логічні входи і відсутній тактовий вхід. Основним їх недоліком, що обмежує використання в швидкодіючій апаратурі, є незахищеність перед небезпечними змаганнями сигналів. Явище змагань проявляється в тому, що сигнали, які надходять на різні інформаційні входи тригера, приходять з часовими зсувами завдяки проходженню через різне число елементів. Змагання можуть стати причиною неправильних спрацювань тригера. Синхронні тригери не мають цього недоліка, вони також мають більшу завадостійкість.

В залежності від комбінації вхідних сигналів, що викликає зміну стану, тригери поділяються на декілька функціональних типів, визначених таблицею станів, яка вказує значення вихідного сигналу, Q^{n+1} в момент t_{n+1} після переключання тригера в залежності від значень вхідних сигналів і вихідного сигналу Q^n в момент t_n до переключання тригера.

Хід роботи

1. Дослідження RS-тригера в статичному режимі.

Дослідити схеми тригерів (рис. 2.1, а, в) та синтезувати їх, з'єднуючи у відповідності зі схемами 2.1, б, г входи елементів І-НІ та АБО-НІ.

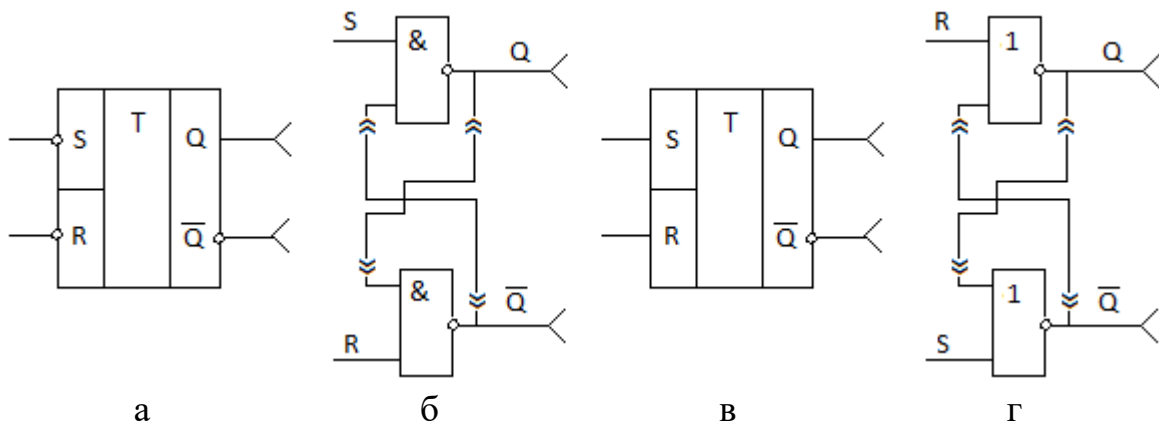


Рисунок 2.1 – Схеми тригерів

З гнізд X1 і X2 подати на R і S входи тригера логічні рівні 1 і 0, які задаються перемикачами S1 і S2. Задаючи значення вхідних статичних керуючих сигналів X1 і X2, скласти таблицю переходів тригера, починаючи з його нульового стану, зазначити реакцію тригера при кожному переході, наприклад «Встановлення в 1», «Збереження 0», «Підтвердження 1» тощо.

2. Дослідження універсального JK-тригера в статичному режимі.

Тригер К155ТВ1, що досліджується за допомогою макета, схема якого наведена на рис. 2.2, є синхронним.

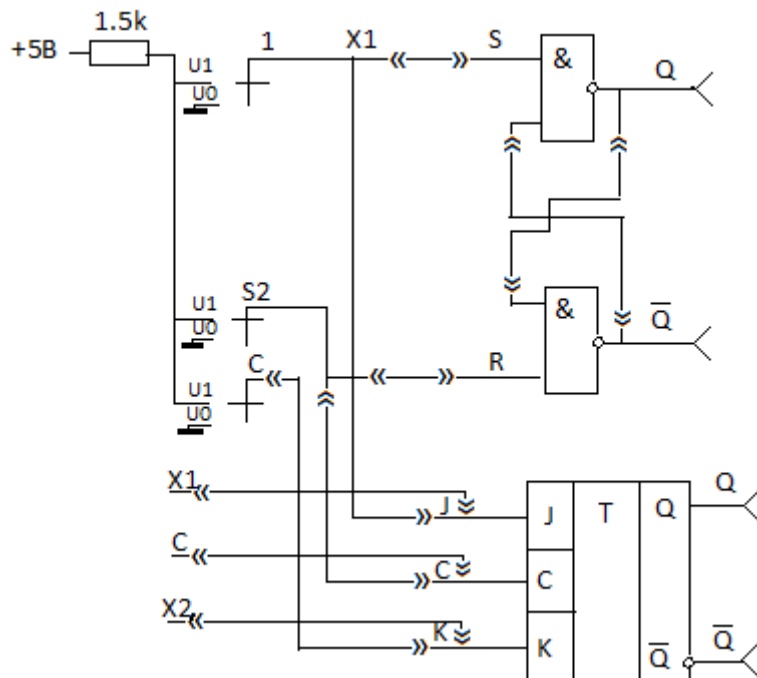


Рисунок 2.2 – Схема макету

Вхід синхроімпульсів – С. При $C=0$ тригер блокований і сигнали на входах J і K на нього не діють.

Сигнал дозволу на вході С формується шляхом перемикання ключа S3 в положення 0-1-0.

Подаючи необхідні значення керуючих сигналів X1, X2 і формуючи на кожному переході тактовий синхросигнал $C=0-1-0$, дослідити таблицю переходів тригера.

3. Дослідження JK-тригера в динамічному режимі.

У динамічному режимі досліджується робота тригера при керуванні по роздільних входах J і K, а, також, коли ці входи об'єднанні, тобто коли тригер працює в лічильному режимі. Керуючі сигнали подаються з гнізд панелі лабораторного стенда, на яких формуються прямокутні імпульсні сигнали з змінною тривалістю і частотою. Дослідження варто проводити в такому порядку:

- подати сигнали X1 і X2 на J і K входи тригера;
- за допомогою осцилографа зняти часові діаграми сигналів С, J, K, Q, дати їм пояснення.

4. Для одержання схеми лічильного тригера в одному варіанті подається сигнал синхронізації $C=1$, а на об'єднаний вхід, що є лічильним, – керуючий сигнал. В другому варіанті на об'єднаний вхід подається одиниця, а на синхровхід, що є лічильним входом – керуючий сигнал.

При дослідженнях лічильного тригера вибрати схему його реалізації, зарисувати осцилограми вхідного і вихідного сигналів, дати їм пояснення.

5. Синтезувати вищенаведені тригери в середовищі WorkBench та дослідити їх роботу в статичному і динамічному режимах.

Питання для перевірки

1. Структура, характеристичні рівняння і таблиці станів основних типів тригерів.

2. Основні параметри тригерів і їхні умовні позначення.

3. Чим визначається швидкодія тригера?

4. Як побудувати Т-тригер на основі RS-, D- і JK-тригерів?

5. Чим відрізняються асинхронні і синхронні MS-тригери.

6. Правила побудови часової діаграми роботи тригера.

7. Чому JK-тригер називається універсальним?

3 ЛАБОРАТОРНА РОБОТА № 3

ДОСЛІДЖЕННЯ РОБОТИ РЕГІСТРІВ ТА ЇХ СИНТЕЗ В СЕРЕДОВИЩІ WORKBENCH

Мета роботи: з'ясування призначення регістрів у схемотехніці, дослідження роботи регістрів в статичному і динамічному режимах, здобуття навичок синтезу регістрів в середовищі WorkBench.

Теоретичні відомості

Регістром є цифровий вузол, який призначений для прийому, короткочасного зберігання і подальшої передачі інформації, наданої у вигляді m -розрядної кодової комбінації (двійкового слова). Регістри будуються на тригерах.

Розрізняють паралельні регістри (регістри пам'яті) і зсувні регістри.

Основне призначення паралельного регістра полягає в паралельному прийомі одного m -розрядного числа і збереженні його протягом певного терміну часу з подальшим виводом на потрібний вузол. Такий регістр є сукупністю m тригерів, що не зв'язані одним з одним по входах і виходах.

У зсувних регістрах тригери з'єднані між собою так, що досягається можливість не тільки вводу і виводу розрядів числа, але і передачі стану кожного попереднього тригера в сусідній тригер молодшого розряду (зсув вправо у бік молодших розрядів) або й сусідній тригер старшого розряду (зсув вліво у бік старших розрядів). Для отримання зсуву необхідно подавати на регістр спеціальні зсувні (тактові) сигнали, а для зміни напрямку зсуву – керуючі сигнали. Регістри, які дозволяють пересувати інформацію в обох напрямках, називаються реверсивними.

Хід роботи

1. Дослідження зсувного регістра в статичному режимі.

Необхідно зібрати сам регістр на 4-х JK-тригерах. До прямих виходів тригерів підключити світлодіоди для візуальної індикації процесів, що спостерігаються. До послідовного інформаційного входу приєднати вхідний елемент «Стат. X1», звідки буде проводитися запис інформації в регістр. До входу тактових імпульсів С підключити «Стат. X2»=0, до входу скиду R (установочного для всіх тригерів в 0) елемент «Стат. X3»=1. При

цьому відбудеться очистка регістра. Перевести всі тригери регістра в нульовий стан, шляхом перемикання сигналу R в позиції 1-0-1. Після цього регістр готовий до запису двійкової інформації 4-розрядного двійкового числа, яке задається самостійно або викладачем.

Для здійснення запису необхідно:

-встановити тумблером X1 значення старшого розряду (1 або 0) заданого числа;

-сформувати перший тактовий імпульс C шляхом перемикання тумблера X2 в позиції 0-1-0, при цьому відбудеться запис старшого розряду числа в перший тригер регістра. Цей процес можна спостерігати по світінню світлодіоду першого тригера;

-встановити тумблером X1 на вході розряду числа, що надходить, і записати сигнал C в регістр з одночасним просуванням розряду, записаного у першому такті в подальший тригер;

-процедуру повторити для всіх 4-х розрядів числа.

Перемикаючи сигнал на вході C ще 5 разів між позиціями 0-1-0, простежити за просуванням числа вздовж регістра.

Для всіх 9 етапів запису числа записати стани світлодіодів.

Для скиду регістра потрібно перемкнути сигнал X3 на вході R між позиціями 1-0-1.

2. Дослідження зсувного регістра в динамічному режимі.

З використанням осцилографа встановити частоту генерації на виході генератора C більшу, ніж на виході генератора X1.

Під'єднати вихід генератора X1 до виходу регістра, а генератора C до його тактового входу.

Дослідити роботу зсувного регістра в динамічному режимі, спостерігаючи часові діаграми на сигнальному і тактовому входах і на всіх входах регістра. Ці діаграми треба замалювати.

Синхронізацію розгортки осцилографа здійснити від виходу генератора C.

3. Дослідження паралельного регістра в статичному режимі.

Необхідно зібрати сам тригер на 4-х D-тригерах і 4-х логічних елементах. До прямих виходів тригерів підключити світлодіоди для візуальної ідентифікації процесів, що спостерігаються.

До паралельних інформаційних входів регістра приєднати вхідні елементи «Стат. X1»-«Стат. X4», звідки буде проводитися запис в регістр заданого двійкового слова.

До входу тактових імпульсів С1 підключити «Стат. Х»=0, до входу скиду R (установочного для всіх тригерів в 0) елемент «Стат. Х3»=1. При цьому відбудеться очистка регістра.

Для здійснення запису необхідно сформуванати перший тактовий імпульс С1 шляхом перемикавання тумблера Х в позиції 0-1-0, при цьому відбувається запис всіх розрядів двійкового числа в усі тригери регістра. Цей процес можна спостерігати по світінню світлодіодів на виходах тригерів.

Передача інформації на вихід здійснюється подальшим тактовим сигналом С2.

Для скиду регістра треба перемкнути сигнал Х3 на вході R між позиціями 1-0-1.

4. Дослідження паралельного регістра в динамічному режимі.

Інформаційні сигнали залишити без зміни, як у п. 3.

З використанням осцилографа встановити частоту генерації на виході генератора С більшу, ніж на виході генератора Х1.

Під'єднати вихід генератора С до тактового входу С1 регістра, а генератора Х1 до його тактового входу С2.

Дослідити роботу паралельного регістра в динамічному режимі, спостерігаючи часові діаграми на тактових входах і на всіх виходах регістра. Синхронізацію розгортки осцилографа здійснити від виходу генератора С.

5. Синтез регістрів в середовищі WorkBench.

Синтезувати вищенаведені регістри в середовищі WorkBench та дослідити їх роботу в статичному і динамічному режимах.

Питання для перевірки

1. Типи регістрів та їх класифікація.
2. Експлуатаційні параметри регістрів.
3. Порядок синтезу паралельного регістра.
4. Порядок синтезу послідовного регістра
5. Як діють послідовні і паралельні регістри?
6. Наведіть структурні схеми паралельних і послідовних регістрів.
7. За яким принципом каскадуються регістри?

4 ЛАБОРАТОРНА РОБОТА № 4 ДОСЛІДЖЕННЯ РОБОТИ ЛІЧИЛЬНИКІВ ТА ЇХ СИНТЕЗ В СЕРЕДОВИЩІ WORKBENCH

Мета роботи: з'ясування призначення лічильників у схемотехніці, дослідження їх параметрів та характеристик, здобуття навичок синтезу лічильників в середовищі WorkBench.

Теоретичні відомості

Лічильником називається пристрій, сигнали на виході якого в певному коді відображають число імпульсів, що надходять на лічильний хід.

Простішим з цих пристроїв є тригер, що рахує сигнали за модулем 2, тобто виконує лічбу та збереження не більше двох змін сигналу на вході. З'єднавши n тригерів між собою певним способом, можна підрахувати коефіцієнт лічби імпульсів $K_l = 2^n$.

Інформація знімається з прямих та інверсних виходів всіх тригерів. У паузах між вхідними імпульсами тригери зберігають свої стани, тобто лічильник запам'ятовує число перерахованих імпульсів.

Якщо число вхідних імпульсів $N_{вх} > K$, то при $N_{вх} > K$ трапляється переповнення, після чого лічильник повертається в нульовий стан та повторює цикл роботи. Коефіцієнт лічби, таким чином, характеризує число вхідних імпульсів, необхідне для виконання одного циклу та повернення у вихідний стан. Після кожного циклу лічби на виходах останнього тригера виникають перепади напруг. Ця властивість визначає друге призначення лічильника – ділення числа вхідних імпульсів. Якщо вхідні сигнали періодичні і надходять з частотою $F_{вх}$, то частота вихідних сигналів буде $F_{вх} = F_{вх}/K$. У цьому випадку коефіцієнт лічби називається коефіцієнтом ділення K_d .

Основними експлуатаційними показниками лічильника є ємність і швидкодія. Ємність лічильника чисельно дорівнює коефіцієнту лічби і характеризує число імпульсів, що доступне підрахунку за один цикл. Швидкодія лічильника визначається двома параметрами: роздільною здатністю $T_{роз}$ і часом установлення $T_{уст}$. Під роздільною здатністю розуміють мінімальний час між двома вхідними сигналами, протягом якого не виникають збої у роботі. Час встановлення дорівнює часу між

моментом надходження вхідного сигналу і переходом лічильника в новий сталий стан.

Хід роботи

Вивчення лічильника K155IE5

Схема вимірювання наведена на рис. 4.1.

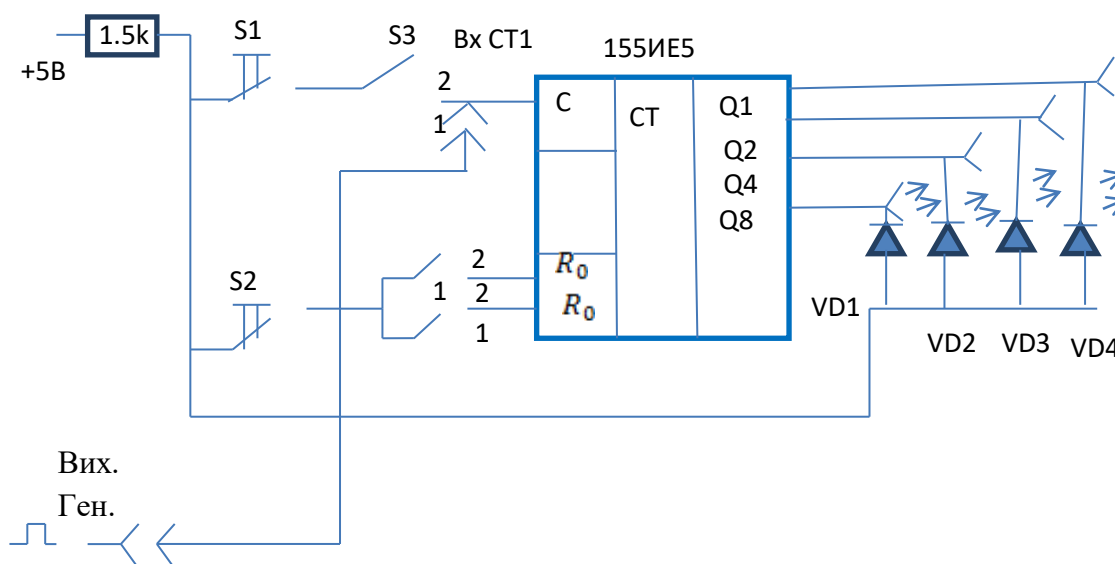


Рисунок 4.1 – Схема вимірювання

1. Натисніть кнопку S2 «Скидання СТ1» для установлення всіх тригерів лічильників в нульовий стан. Визначте, яким рівнем сигналу виконується скидання лічильника на входах R0. Ключі S3 «Вхід СТ1» і S4 «Скидання СТ1» перевести в положення 1.

Примітка. Кнопку скидання рекомендується натискати перед кожним пунктом вимірювання.

2. З'єднайте перемичкою гніздо «Вих. ген» з гніздом «Вх. СТ1». Порівнюючи осцилограму вхідного сигналу з осцилограмами на виходах Q1-Q8, визначте коефіцієнт ділення частоти на кожному з них. Визначте, які виходи відповідають молодшому і старшому розрядам. Нарисуйте осцилограми. Ключ S3 «Вхід СТ1» у положенні 2.

3. Вимкніть «Вих. ген.», скиньте лічильник. Натискаючи кнопку S1 «Вх. СТ1» кілька разів, встановіть відповідність між номером вхідного імпульсу і двійковим кодом на виходах Q1-Q8. Рівень сигналів на виходах визначається світлодіодними індикаторами, логічній 1 відповідає високий

рівень (індикатор світиться), а логічному нулю низький (індикатор не світиться). Ключ S3 «Вхід СТ1» у положенні 1.

4. Складіть таблицю відповідності між номером імпульсу, починаючи з нуля, і рівнями сигналу на виходах Q1-Q8. Відмітьте, який перепад рівнів викликає спрацювання лічильника – від 0 до 1, чи навпаки?

5. Проаналізуйте, які коефіцієнти лічби можуть бути реалізовані в схемі лічильника з застосуванням внутрішнього двохходового логічного елемента. Запишіть рівняння для коефіцієнта лічби 6, 9, 12 (5, 10).

6. З'єднайте перемикачами входи лічильника R0' і R0'' з виходами у відповідність з одержаними рівняннями для реалізації відповідного коефіцієнту лічби. Після натискання кнопки скидання визначте коефіцієнт лічби лічильника, що синтезовано, як число натискань на кнопку «Вх. СТ1» між двома нульовими станами всіх входів (всі світлодіоди не світяться). Ключ S4 «Скидання СТ1» у положенні 2.

Вивчення лічильника K155ИЕ7

Схема вимірювання наведена на рис. 4.2.

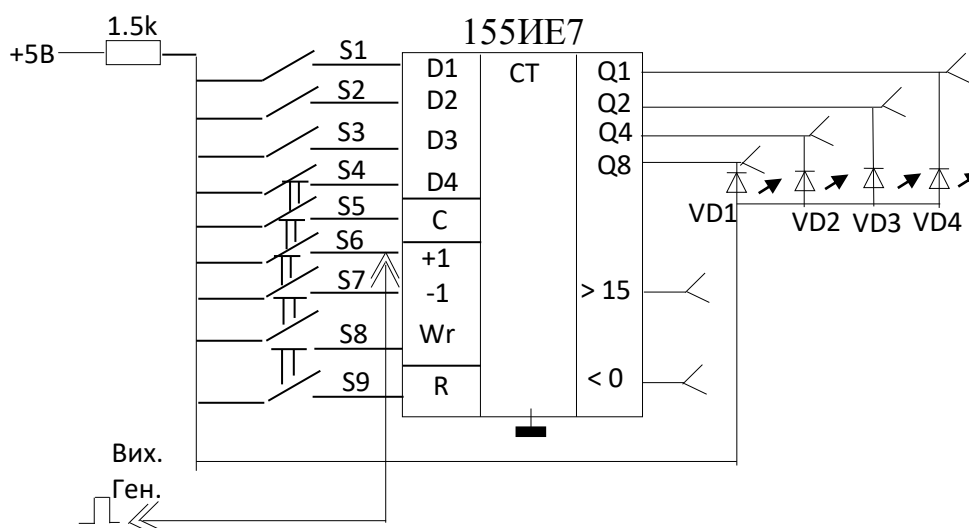


Рисунок 4.2 – Схема вимірювання

7. З'ясуйте призначення входів лічильника (+1), (-1), R та C. Для приведення лічильника в робочий стан натисніть кнопку S9 «Скидання СТ2», потім за допомогою ключів S1-S4 наберіть код числа, меншого за 15, для введення якого в лічильник натисніть кнопку S8 «Запис».

Виміряйте рівень сигналу, яким здійснюється скидання лічильника і запис у нього числа. Яким перепадом рівня здійснюються данні операції?

Примітка. При виконанні пунктів 7-9 ключ «Скидання СТ1» встановити в положення 1.

8. Визначте максимальний коефіцієнт лічби мікросхеми за станом світлодіодних індикаторів на виходах лічильника.

9. Вивчіть роботу лічильника в режимі прямої і зворотної лічби. Запишіть по входах D1-D4 код певного числа за допомогою перемикачів S1-S4, перенесіть його за допомогою кнопки S8 «Запис» на вхід, натисніть декілька раз кнопку прямої лічби S6 «+1». Спостерігайте зміну коду на виходах Q1-Q8, перекладіть новий код у десятковий еквівалент числа, порівняйте результат з арифметичною сумою числа, що записане, з числом відсутніх імпульсів. Аналогічно дослідіть режим зворотної лічби, віднімаючи з записаного числа по одиниці за допомогою кнопки S7 «-1». Складіть діаграми станів лічильника в режимі додавання та віднімання.

10. Натисніть кнопку S9 «Скидання СТ2» перемикачами S1-S4, наберіть код довільного числа, під'єднайте перемичкою гніздо «Вих. ген.» до гнізда «+1». Натисніть кнопку «Запис», зарисуйте осцилограми вихідних сигналів. Аналогічні вимірювання проведіть, подаючи імпульси з гнізда «Вих. ген.» на гніздо «-1». Ключі «Скидання СТ1» у положенні 2.

Синтез лічильника

11. Проведіть синтез синхронного двійково-десятькового лічильника згідно з варіантом на основі синтезу синхронного двійково-десятькового лічильника на базі тригерів D-типу, який працює в коді з вагою розрядів 4-3-2-1.

12. Синхронний лічильник на D-тригерах – це лічильник, на тактові входи тригерів якого надходять вхідні імпульси, а на D-входи – сигнали, що керують переходом тригерів до нового стану відповідно до закону функціонування лічильника. Закон функціонування лічильника задано у вигляді переходів лічильника (табл. 4.1), в яких в кожному з десяти станів лічильника поставлено у відповідність значення станів тригерів лічильника, враховуючи, що вага розрядів тригерів, відповідно, дорівнює 4, 3, 2 і 1. Оскільки зображення десяткових цифр в коді 4-3-2-1 на деяких наборах неоднозначне, слід обирати такі варіанти, реалізація яких призводить до менших затрат обладнання, якщо послідовність станів не обумовлена.

Таблиця 4.1 – Переходи лічильника

Десяткова цифра	Вага розрядів				Функції D-входів			
	4 T ₄	3 T ₃	2 T ₂	1 T ₁	D ₄	D ₃	D ₂	D ₁
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	1
4	0	1	0	1	1	0	0	0
5	1	0	0	0	1	0	0	1
6	1	0	0	1	1	0	1	0
7	1	0	1	0	1	0	1	1
8	1	0	1	1	1	1	0	1
9	1	1	0	1	0	0	0	0

13. В таблиці варто відмітити значення сигналів на D-входах тригерів, які необхідно сформувавши, щоб забезпечити роботу лічильника в відповідності з законом функціонування. З логіки роботи D-тригера випливає, що вказані сигнали будуть відповідати значенням тригерів в подальшому такті.

14. Згідно з табл. 4.1 запишіть функції D-входів тригерів в залежності від змінних T та проведіть їх мінімізацію за допомогою діаграм Вейча.

15. Згідно з діаграмами Вейча запишіть значення функцій на D-входах тригерів і перетворіть їх до вигляду, зручного для реалізації на елементах «І-НІ», «І-АБО-НІ».

16. Моделювання схеми синтезованого лічильника полягає в поданні цієї схеми в базисі бібліотеки елементів відповідного пакета прикладних програм (WorkBench), розробці тестового набору для контролю роботоздатності лічильника, проходженні всіх стадій моделювання, одержанні результатів моделювання (функціональна схема і часова діаграма роботи). Аналіз результатів моделювання полягає у встановленні відповідності одержаних результатів закону функціонування лічильника.

Варіанти завдання

Старша цифра номера варіанта	Типи тригерів				Молодша цифра номера варіанта	Вага розрядів			
	T ₄	T ₃	T ₂	T ₁		T ₄	T ₃	T ₂	T ₁
0	JK	JK	D	D	0	5	2	1	1
1	D	D	D	JK	1	4	3	1	1
2	D	D	JK	D	2	4	2	2	1
3	D	D	JK	JK	3	6	2	2	1
4	D	JK	D	D	4	6	3	1	1
5	D	JK	D	JK	5	4	3	2	1
6	D	JK	JK	D	6	3	3	2	1
7	D	JK	JK	JK	7	7	3	2	1
8	JK	D	JK	D	8	4	4	2	1
9	JK	D	JK	JK	9	5	4	2	1

Питання для перевірки

1. Призначення лічильників.
2. Експлуатаційні параметри лічильників.
3. Типи лічильників та їх класифікація.
4. Лічильник на додавання і віднімання.
5. Реверсивні лічильники.
6. Лічильник з довільним коефіцієнтом лічби.
7. Як синтезувати лічильник з довільним коефіцієнтом лічби?
8. Двійково-десятковий лічильник.
9. Як синтезувати двійково-десятковий лічильник?
10. Як діють лічильники з послідовним і паралельним перенесенням, у чому переваги і недоліки цих типів лічильників?
11. Наведіть структурні схеми лічильників з паралельним і послідовним перенесенням.
12. Умовне позначення лічильників.
13. За яким принципом каскадуються лічильники?

5 ЛАБОРАТОРНА РОБОТА № 5

ДОСЛІДЖЕННЯ РОБОТИ АРИФМЕТИКО-ЛОГІЧНОГО ПРИБОРУ ТА ЙОГО СИНТЕЗ В СЕРЕДОВИЩІ WORKBENCH

Мета роботи: ознайомлення з методами апаратної реалізації основних арифметичних і логічних операцій та здобуття навичок синтезу арифметико-логічного пристрою в середовищі WorkBench.

Теоретичні відомості

В даній роботі досліджується мікросхема арифметико-логічного пристрою (АЛП) типу К155ИПЗ. Мікросхема АЛП (рис. 5.1) К155ИПЗ призначена для операцій з двома чотирирозрядними двійковими числами $A=A_3A_2A_1A_0$ і $B=B_3B_2B_1B_0$. Конкретний вид операції задається 5-розрядним кодом на входах $MS_3S_2S_1S_0$. Цей АЛП здатен виконати $2^5=32$ операції: 16 логічних («І», «І-НІ», «АБО», «АБО-НІ», «Виключне АБО» тощо) і 16 арифметичних і арифметико-логічних (додавання, віднімання, подвоєння, порівняння тощо). Операції додавання і віднімання проводяться з прискореним перенесенням з розряду в розряд. Крім того, є вхід сигналу перенесення.

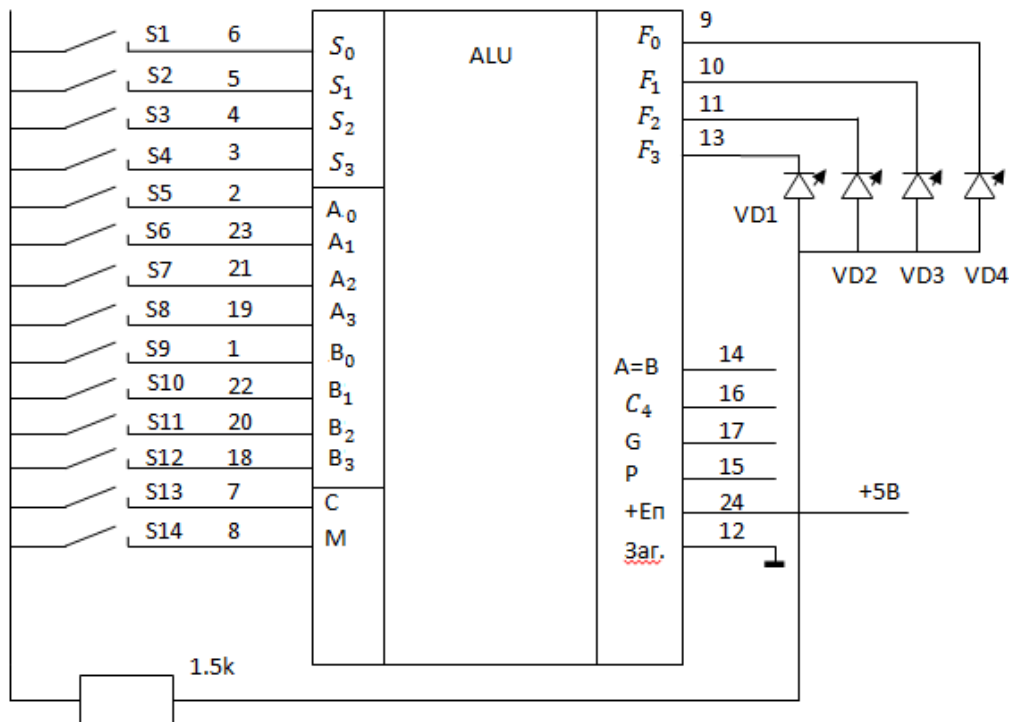


Рисунок 5.1 – Мікросхема АЛП

На виходах $F_3F_2F_1F_0$ формуються результати логічних перетворень і арифметичних дій. На виході C_4 утворюється сигнал старшого (п'ятого розряду) при виконанні арифметичних операцій. Додаткові виходи – утворення і розповсюдження прискореного перенесення P використовується тільки при організації багаторозрядних АЛП у випадку їх з'єднання з блоком прискореного перенесення К155ИП4.

Слова A і B можуть бути задані в додатній або від'ємній логіці. Таблиці істинності для кожного варіанта логіки різні. Функції АЛП К155ИП3 наведені в табл. 5.1.

Таблиця 5.1 – Функції АЛП К155ИП3

Входи вибору функції	Активні дії		
	Логічна функція (M=B)	Арифметична функція (M=H, C=H)	Арифметична функція (M=H, C=B)
S_3, S_2, S_1, S_0			
Н Н Н Н	\bar{A}	A-1	A
Н Н Н В	$\bar{A}B$	AB-1	$A \vee B$
Н Н В Н	$\bar{A} \vee B$	$\overline{AB-1}$	$A \vee \bar{B}$
Н Н В В	Лог. 1	-1	-1
Н В Н Н	$\overline{A \vee B}$	$A+(A \vee \bar{B})$	$A+\bar{A}B$
Н В Н В	\bar{B}	$AB+(A \vee \bar{B})$	$(A \vee B)+\bar{A}B$
Н В В Н	$\overline{A \oplus B}$	A-B-1	A-B-1
Н В В В	$A \vee \bar{B}$	$A \vee \bar{B}$	$\bar{A}B-1$
В Н Н Н	$\bar{A}B$	$A+(A \vee B)$	$A+AB$
В Н Н В	$A \oplus B$	A+B	A+B
В Н В Н	B	$\bar{A}B+(A \vee B)$	$(A \vee \bar{B})+AB$

V H B B	$A \vee B$	$A \vee B$	$AB-1$
B B H H	Лог. 0	$A+A$	$A+A$
B B H B	$\bar{A}B$	$AB+A$	$(A \vee B)+A$
B B B H	AB	$\bar{A}B+A$	$(A \vee \bar{B})+A$
B B B B	A	A	$A-1$

Результати арифметичних операцій подані в додатковому коді. Числа в додатковому і зворотному кодах пов'язані простим співвідношенням $N_{дод}=N_{звор}+1$ або $N_{звор}=N_{дод}-1$.

Тому в тих рядках табл. 5.1, де вказана операція «-1», результат вказаний у зворотному коді.

Старший розряд коду вибору операції (вхід M) визначає характер дій, що мусить виконувати АЛП. Коли на цьому вході сигнал високого рівня, АЛП виконує логічні операції порозрядно над кожною парою біт слів A і B. Внутрішнє перенесення в цьому режимі не працює.

Арифметичні операції виконуються, коли на вході M встановлений низький потенціал, який також є сигналом дозволу для перенесення між розрядами. Вихідний результат формується з врахуванням стану входу переносу. Обидва сигнали перенесення вхідний C і вихідний C_4 інверсні відносно сигналів на входах A і B, тобто коли слова A і B в додатній логіці, сигналу перенесення відповідає низький рівень напруги, а у від'ємній логіці – навпаки.

Хід роботи

1. Вивчити принцип дії мікросхеми K155ИП3, способи задання вхідних і вихідних даних, вибору операцій. Звернути увагу на спосіб задання роботи з високими і низькими активними рівнями за допомогою ключів S13 і S14. Числа задаються ключами S5-S8, S9-S12, вихідний результат відображається світлодіодами VD1-VD4 (рис. 5.1).

2. Задати два чотирирозрядні двійкові числа, знайти в таблиці 5.1 і набрати ключами S1-S4 коди порозрядної кон'юнкції і диз'юнкції, перевірити результат.

3. Знайти арифметичну суму двох чисел, перевірити результат.

4. Знайти арифметичну різницю двох додатних чисел $A > B$, $A < B$, перевірити результат.

5. Знайти різницю двох трирозрядних чисел із знаком, зробити перевірку.

6. За таблицею 5.1 функцій мікросхеми виконати основні логічні і арифметичні операції для високих і низьким активних рівнів, зробити перевірку отриманих результатів.

7. Синтезувати арифметико-логічний пристрій в середовищі WorkBench та дослідити його роботу, а саме виконання основних арифметичних та логічних операцій.

Питання для перевірки

1. Структура напівсуматора, його таблиця істинності, рівняння функціонування.

2. Принцип дії повного суматора.

3. Задання чисел в прямому, зворотному і додатковому кодах.

4. Арифметичні операції з двійковими числами.

5. Структура і принцип дії багаторозрядного двійкового суматора-віднімача.

6. Структура і принцип дії багаторозрядного помножувача.

7. Основні закони алгебри логіки.

8. Способи задання логічних функцій і їх спрощення.

II СХЕМОТЕХНІКА ПРИСТРОЇВ

6 ЛАБОРАТОРНА РОБОТА № 6

ДОСЛІДЖЕННЯ МУЛЬТИПЛЕКСОРА-ДЕМУЛЬТИПЛЕКСОРА ТА МОДЕЛЮВАННЯ ЙОГО РОБОТИ В СЕРЕДОВИЩІ MULTISIM

Мета роботи: ознайомлення з логічними структурами та дослідження принципів роботи мультиплексорів і демультимплексорів, а також їх синтез в середовищі Multisim.

Теоретичні відомості

Комутатором називається функціональний вузол, призначений для комутації каналів зв'язку. Комутатори поділяються на мультиплексори і демультимплексори.

Мультиплексором називається функціональний вузол, призначений для передачі інформації, яка надходить по одному з вхідних каналів на вихідний канал.

Мультиплексори мають дві групи входів: інформаційні і керуючі. Керуючі входи розподіляються на адресні і дозволяючі. Якщо мультиплексор має n адресних входів, кількість інформаційних входів m повинна відповідати нерівності: $m \leq 2^n$. Наприклад, за наявності у мультиплексора трьох адресних входів ($n = 3$) можна реалізувати вісім ($m=2^3=8$) комбінацій адресних сигналів (000, 001, 010, 011, 100, 101, 110, 111), кожна з яких забезпечує вибір одного з $m=8$ вхідних сигналів, тобто у мультиплексора може бути вісім інформаційних входів.

Дозволяючий вхід керує одночасно усіма інформаційними входами незалежно від стану адресних входів. Забороняючий сигнал на цьому вході блокує дію схеми у цілому. Залежно від логічної схеми забороняючим може бути сигнал як 0, так як і 1. Дозволяючий вхід може бути взагалі відсутнім, але наявність його розширює функціональні можливості мультиплексора, дозволяючи синхронізувати його роботу з роботою інших схем.

Мультиплексор має вісім інформаційних входів DI0...DI7, адресні входи A4, A2, A1, дозволяючий вхід E, та один вихід DO. Вхід A4 належить старшому розряду адреси, вхід A1 – молодшому.

Якщо $E=0$, в логічній структурі тільки один логічний елемент «І» із восьми має 1 на всіх входах, крім інформаційного, на якому може бути як 0, так і 1. Номер такого елемента задається адресним кодом. Тому інформаційний сигнал пройде на вихід зазначеного логічного елемента, а далі і на вихід DO схеми, бо на виходах інших логічних елементів будуть присутні 0. Якщо $E=1$, на виходах всіх восьми елементів «І» будуть присутні 0, на виході схеми DO теж буде постійний 0.

Інформаційний вхід мультиплексора, з якого інформація передається на вихід, називається активним входом. Таким чином, будь-який набір 0 і 1 на адресних входах активізує лише один відповідний інформаційний вхід.

Мультиплексори використовуються для перетворення паралельного двійкового коду у послідовний. Якщо на інформаційні входи подати двійковий код, а керуючі сигнали на адресних входах мультиплексора міняти у послідовності 000, 001, ..., 111, то на виході схеми будуть з'являтися один за одним розряди двійкового коду, починаючи з молодшого.

Мультиплексор також може бути використаний як універсальний логічний елемент. У цьому випадку мультиплексор реалізує будь-яку логічну функцію, яка має не більше, ніж $n+1$ змінних, де n – кількість адресних входів мультиплексора.

Використання мультиплексора як універсального логічного елемента базується на загальній властивості логічних функцій незалежно від кількості аргументів завжди рівнятися «1» або «0». Якщо на адресні входи мультиплексора подавати значення вхідних змінних відповідно наявним наборам таблиці істинності функції, а на відповідні інформаційні входи – значення функції, то таким чином синтезується пристрій, який реалізує потрібну логічну функцію.

Наприклад, для реалізації функції $2I$, таблиця істинності якої наведена в табл. 6.1, з двома змінними, необхідно скористатися мультиплексором «із 4 у 1», у якого до адресних входів A_2 і A_1 треба підключити сигнальні лінії X_1 і X_0 відповідно, а на інформаційні входи подати сигнали згідно табл. 6.1: $DI_0=DI_1=DI_2=0$, $DI_3=1$.

Якщо кількість аргументів функції дорівнює $n+1$, то методика синтезу схеми буде іншою. Припустимо, що на основі мультиплексора «із 4 у 1» необхідно реалізувати функцію $3I$, яка має три змінні.

Таблиця 6.1 – Таблиця істинності функції 2І

X1	X0	F
0	0	0
0	1	0
1	0	0
1	1	1

Таблиця істинності функції 3І (табл. 6.2) розбивається на групи по два рядки у кожній групі. У обох рядках кожної із чотирьох груп X2 і X1 мають однакові значення, а X0 змінюється. Тому із значень X2 і X1 кожної групи можна утворити набори 00, 01, 10, 11, підключаючи сигнал X2 до входу A2 мультиплексора, а сигнал X1 – до входу A1. На відповідні наборам інформаційні входи треба подавати 1, якщо у двох рядках групи функція приймає значення 1, чи 0, якщо функція в групі має значення 0. При наявності змінного значення функції в групі у загальному випадку можуть бути два варіанти: $F=X0$, чи $F=0$. Таким чином, для реалізації функції 3І треба подати сигнали: $DI0=0$, $DI1=0$, $DI2=0$, $DI3=X0$, $A2=X2$, $A1=X1$.

Таблиця 6.2 – Таблиця істинності функції 3І

X2	X1	X0	F	Примітка
0	0	0	0	D0=DI0=0
0	0	1	0	
0	1	0	0	D0=DI1=0
0	1	1	0	
1	0	0	0	D0=DI2=0
1	0	1	0	
1	1	0	0	D0=DI3=X0
1	1	1	1	

Демультимплексором називається функціональний вузол, призначений для передачі інформації з єдиного інформаційного входу на один із виходів відповідно до заданого коду на адресних входах. Кількість виходів m відповідає нерівності $m \leq 2^n$, де n – число адресних входів.

Демультимплексор у функціональному відношенні протилежний мультиплексору. Демультимплексори у вигляді самостійних приладів не виготовляються, тому що їхні функції можуть виконувати дешифратори.

Хід роботи

В лабораторній роботі під час моделювання в середовищі Multisim використовується восьмиканальний інвертуючий мультиплексор з селекторним каналом К155КП5 (рис. 6.1).

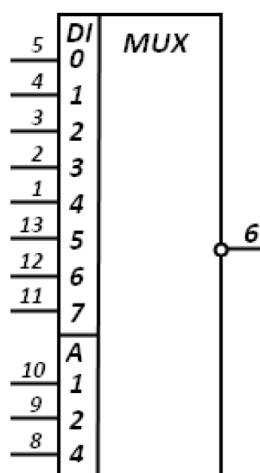


Рисунок 6.1 – Восьмиканальний інвертуючий мультиплексор з селекторним каналом К155КП5

На вивід 14 схеми подається напруга живлення +5 В, а спільний вивід 7 з'єднується зі спільним вузлом.

З'єднання будь-якого входу мікросхеми зі спільним вузлом відповідає поданню на цей вхід 0, роз'єднання зі спільним вузлом – поданню 1.

До виходу 6 мікросхеми підключається вольтметр.

Послідовно змінюючи стан входів мультиплексора потрібно заповнити таблицю істинності мультиплексора «із 8 у 1» згідно форми (табл. 6.3), знімаючи показання вольтметра. Результати експерименту занести у табл. 6.3. В табл. 6.3 символом *X* позначено невизначений стан сигналу. Запис 0/1 відповідає двом режимам роботи мультиплексора: спочатку на інформаційний вхід подається 0, а потім 1 при незмінному коді адреси.

Таблиця 6.3 – Форма для заповнення таблиці істинності мультимплексора «із 8 у 1»

<i>A4</i>	<i>A2</i>	<i>A1</i>	<i>DI0</i>	<i>DI1</i>	<i>DI2</i>	<i>DI3</i>	<i>DI4</i>	<i>DI5</i>	<i>DI6</i>	<i>DI7</i>	<i>DIO</i>
8	9	10	5	4	3	2	1	13	12	11	6
0	0	0	0/1	X	X	X	X	X	X	X	
0	0	1	X	0/1	X	X	X	X	X	X	
0	1	0	X	X	0/1	X	X	X	X	X	
0	1	1	X	X	X	0/1	X	X	X	X	
1	0	0	X	X	X	X	0/1	X	X	X	
1	0	1	X	X	X	X	X	0/1	X	X	
1	1	0	X	X	X	X	X	X	0/1	X	
1	1	1	X	X	X	X	X	X	X	0/1	

В лабораторній роботі під час моделювання в середовищі Multisim використовується демультимплексор К155ИД4 (рис. 6.2), на вивід 16 подається напруга живлення +5 В, спільний вивід 8 з'єднується зі спільним вузлом. Спосіб подачі сигналів на входи такий же, як і для ІМС К155КП5. При дослідженні потрібно за допомогою вольтметра виміряти потенціали на виходах і заповнити необхідні таблиці істинності.

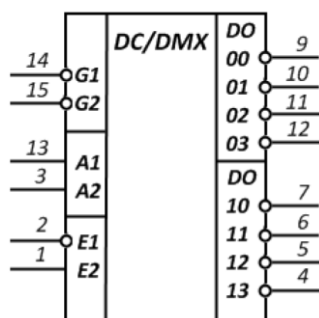


Рисунок 6.2 – Демультимплексор К155ИД4

Мікросхема К155ИД4 може використовуватися у двох режимах.

Режим 1: два демультимплексори. Входи *A1*, *A2* є спільними адресними входами для обох демультимплексорів. Вхід *G1* є інформаційним для верхнього, а вхід *E1* є інформаційним для нижнього демультимплексорів. Входи *G2* і *E2* є дозволяючими для верхнього і нижнього демультимплексорів відповідно. На вході *G2* активний рівень 0 (є дозвіл для передачі на вихід інформаційного сигналу), а на вході *E2* – 1. Дозволяючі

входи іноді називають входами стробування. Про-цес стробування – це виділення сигналу у визначений момент часу. Таким чином, інформаційний сигнал на активному виході з’явиться тільки при наявності на вході стробування активного рівня.

Режим 2: демультимплексор «із 1 у 8». Необхідно з’єднати входи *G1* (вивід 14) і *E1* (вивід 2) і подавати на них інформаційний сигнал (0 чи 1). Входи *G2* (вивід 15) і *E2* (вивід 1) теж з’єднуються і на них подається старший розряд (*A4*) коду адреси *A4*, *A2*, *A1*.

При дослідженні режимів 1 і 2 слід використати форми для заповнення таблиць істинності двох демультимплексорів (табл. 6.4) і демультимплексора «із 1 у 8» (табл. 6.5), відповідно.

Таблиця 6.4 – Форма для заповнення таблиць істинності двох демультимплексорів

Верхній демультимплексор				Нижній демультимплексор			
Входи				Виходи <i>DO</i>			
<i>A2</i>	<i>A1</i>	<i>G2</i>	<i>G1</i>	00	01	02	03
3	13	15	14	9	10	11	12
0	0	0	0				
0	1	0	0				
1	0	0	0				
1	1	0	0				

Таблиця 6.5 – Форма для заповнення таблиць істинності демультимплексора «із 1 у 8»

Входи				Виходи <i>DO</i>							
<i>A4</i>	<i>A2</i>	<i>A1</i>	<i>DI</i>	00	01	02	03	10	11	12	13
1	3	13	2	9	10	11	12	7	6	5	4
0	0	0	0/1								
0	0	1	0/1								
0	1	0	0/1								
0	1	1	0/1								
1	0	0	0/1								
1	0	1	0/1								
1	1	0	0/1								
1	1	1	0/1								

Відповідно до заданого режиму розробити логічну структуру досліджуваного демультіплексора та провести його синтез в середовищі Multisim.

Питання для перевірки

1. Який принцип дії має мультіплексор?
2. Чому мультіплексор називають комутатором?
3. Скільки інформаційних входів буде мати мультіплексором, якщо у нього вісім адресних входів?
4. Навіщо у логічній структурі мультіплексора «із 8 у 1» використовується вхід E ?
5. Запишіть логічну функцію досліджуваного мультіплексора у досконалій диз'юнктивній нормальній формі (ДДНФ).
6. Реалізуйте за допомогою мультіплексора логічну функцію, кількість аргументів якої дорівнює числу адресних входів мультіплексора.
7. Реалізуйте за допомогою мультіплексора логічну функцію, кількість аргументів якої перевищує число адресних входів мультіплексора на одиницю.
8. Який принцип дії має демультіплексор?
9. Запишіть логічні функції досліджуваного демультіплексора.
10. Яким чином, використовуючи логічну структуру К155ИД4, можна створити демультіплексор «із 1 у 8»?
11. Що таке процес стробування?
12. У яких режимах може працювати К155ИД4?
13. Як зміниться принцип дії схеми мультіплексора, якщо на умовному графічному позначенні К155КП5 замість інверсного виходу передбачити прямий?

7 ЛАБОРАТОРНА РОБОТА № 7

ДОСЛІДЖЕННЯ ШИФРАТОРА-ДЕШИФРАТОРА ТА МОДЕЛЮВАННЯ ЙОГО РОБОТИ В СЕРЕДОВИЩІ MULTISIM

Мета роботи: синтез перетворювача кодів з вагами 1-2-4-8 (вхідний код) і його моделювання в середовищі Multisim.

Теоретичні відомості

Дешифратором називається функціональний вузол комп'ютера, призначений для перетворення кожної комбінації вхідного двійкового коду в керуючий сигнал лише на одному із своїх виходів. У загальному випадку дешифратор має n однофазних входів (іноді $2n$ парафазних) і $m=2^n$ виходів, де n – розрядність (довжина) коду, який дешифрується. Дешифратор з максимально можливим числом виходів $m=2n$ називається повним.

До основних характеристик дешифратора відносять: число ступенів (каскадів) дешифрування, кількість використаних логічних елементів або мікросхем, загальне число входів логічних елементів, час дешифрування і споживану потужність.

Функціональна та принципова схеми дешифратора показані на рис. 7.1.

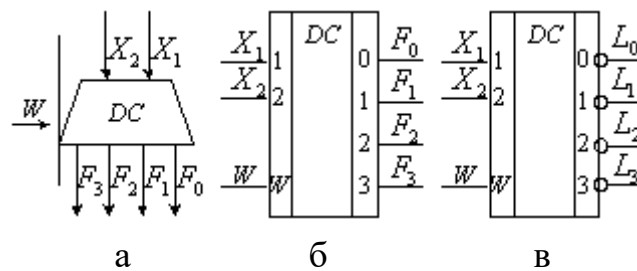


Рисунок 7.1 – Дешифратор: а – функціональна схема; б, в – принципові схеми

Логічна функція дешифратора позначається буквами DC (de-coder). Мітки лівого додаткового поля в умовному позначенні відображають десяткові ваги вхідних змінних, а мітки правого додаткового поля відповідають десятковим еквівалентам вхідних комбінацій двійкових змінних. У схему дешифраторів вбудовуються один або два стробуючих (дозволяючих) входи, наприклад, W (рис. 7.1, б). За допомогою сигналу на вході W визначається момент спрацювання дешифратора; крім того, вхід W

використовується для нарощування розрядності вхідного коду. На практиці повний дешифратор на n входів і m виходів для стислості називають дешифратором «з n в m » або « n в m ». Наприклад, дешифратор «з 3 у 8» – активізується одна з восьми вихідних ліній.

У лінійному дешифраторі «з n в m » кожна вихідна функція F_i реалізується повністю окремим n -вхідним логічним елементом при використанні парафазного вхідного коду. Логіка роботи повних дешифраторів на два входи X_1, X_2 і чотири прямих виходи F_0, F_1, F_2, F_3 та чотири інверсних виходи L_0, L_1, L_2, L_3 наведена в табл. 7.1 і 7.2, відповідно.

Таблиця 7.1 – Логіка роботи повного дешифратора на два входи X_1, X_2 і чотири прямих виходи F_0, F_1, F_2, F_3

X_2	X_1	F_0	F_1	F_2	F_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Таблиця 7.2 – Логіка роботи повного дешифратора на два входи X_1, X_2 і чотири прямих виходи L_0, L_1, L_2, L_3

X_2	X_1	L_0	L_1	L_2	L_3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

За даними табл. 7.1 отримують систему логічних функцій:

$$F_0 = \bar{X}_2 \bar{X}_1; F_1 = \bar{X}_2 X_1; F_2 = X_2 \bar{X}_1; F_3 = X_2 X_1 \quad (7.1)$$

Для лінійного дешифратора зі стробуючим входом W система рівнянь (7.1) набуває вигляду:

$$F_0 = \bar{X}_2 \bar{X}_1 W; F_1 = \bar{X}_2 X_1 W; F_2 = X_2 \bar{X}_1 W; F_3 = X_2 X_1 W \quad (7.2)$$

Схеми лінійних дешифраторів на елементах «І», які базуються на

основі рівнянь (7.1) і (7.2), показані на рис. 7.2.

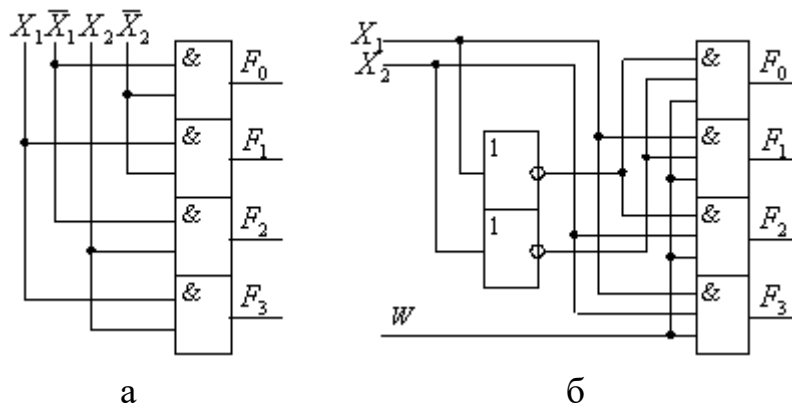


Рисунок 7.2 – Схеми лінійних дешифраторів на елементах «І»: а – з парафазними входами; б – з однофазними входами і стробуванням

У схемі, зображеній на рис. 7.2, б використовується однофазний вхідний код, оскільки інверсії змінних утворюються елементами «НІ». Якщо сигнал на стробуючому вході $W=0$, то робота дешифратора блокується – на всіх виходах установлюються логічні нулі незалежно від значень вхідних змінних. При $W=1$ дешифратор функціонує згідно з табл. 7.1.

За даними табл. 7.2 записується система логічних функцій:

$$F_0 = X_2 \vee X_1; F_1 = X_2 \vee \bar{X}_1; F_2 = \bar{X}_2 \vee X_1; F_3 = \bar{X}_2 \vee \bar{X}_1 \quad (7.3)$$

Схема лінійного дешифратора з парафазним вхідним кодом та інверсними виходами, побудована згідно з рівнянням (7.3) на елементах «АБО», показана на рис. 7.3, а.

Для лінійного дешифратора із стробуючим W входом система керування (7.3) набуває вигляду:

$$F_0 = X_2 \vee X_1 \vee W; F_1 = X_2 \vee \bar{X}_1 \vee W; F_2 = \bar{X}_2 \vee X_1 \vee W; F_3 = \bar{X}_2 \vee \bar{X}_1 \vee W \quad (7.4)$$

Схема лінійного дешифратора на елементах «АБО», які базуються на основі рівнянь (7.4), показана на рис. 7.3, б.

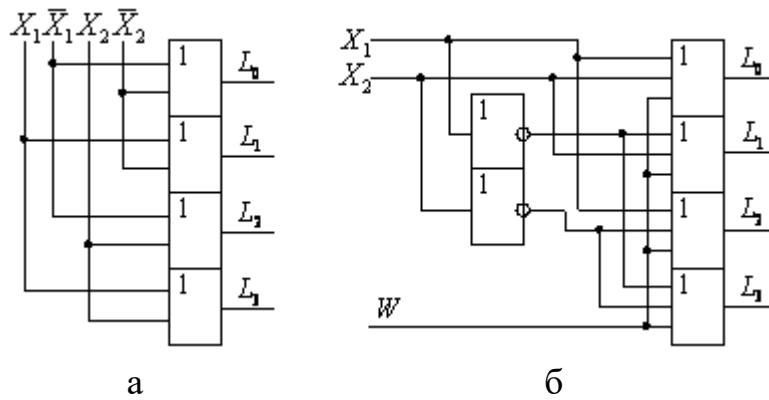


Рисунок 7.3 – Схема лінійних дешифраторів на елементах «АБО»: а – з парафазними входами; б – з однофазними входами і стробуванням

Тут використовується однофазний вхідний код, оскільки інверсії змінних утворюються елементами «НІ». Якщо сигнал на стробуючому вході $W=1$, то робота дешифратора блокується – на всіх виходах встановлюються логічна 1 незалежно від значень вхідних змінних. При $W=0$ дешифратор функціонує згідно з табл. 7.2.

Шифратором називається функціональний вузол комп'ютера, призначений для перетворення вхідного m -розрядного унітарного коду у вихідний n -розрядний двійковий позиційний код. Двійкові шифратори виконують функцію, обернену функції дешифратора. При активізації однієї з вхідних ліній дешифратора на його виходах формується код, який відображає номер активного входу. Повний двійковий шифратор має $m=2^n$ входів і n виходів. Функціональна та принципова схеми шифратора показані на рис. 7.4.

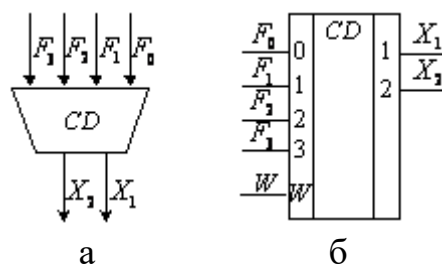


Рисунок 7.4 – Шифратор: а – функціональна схема; б – принципова схема

Функція шифратора позначається буквами CD (coder). Входи шифратора нумеруються послідовними десятковими цифрами 0, 1, ..., $m-1$, а позначки виходів відображають ваги вихідних двійкових змінних 1, ..., 2^n

1.

У цифрових пристроях шифратори використовуються для таких операцій: перетворення унітарного вхідного коду у вихідний двійковий позиційний код; введення десяткових даних з клавіатури; показання старшої одиниці в слові; передачі інформації між різними пристроями при обмеженому числі ліній зв'язку.

Одне з основних застосувань шифратора – введення даних з клавіатури, наприклад, десяткових цифр. Натискання клавіші з десятковою цифрою 0, 1, ..., 9 мають приводити до передачі в цифровий пристрій двійково-десяткового коду цієї цифри. Для цього використовується неповний шифратор «з 10 в 4».

Логіка роботи пріоритетного шифратора на вісім входів наведена в табл. 7.3, де прийняті такі позначення: $\bar{F}_0, \bar{F}_1 \dots \bar{F}_7$ – вхідні інверсні сигнали, записані в порядку зростання пріоритету: \bar{F}_0 – найнижчий, \bar{F}_7 – найвищий; $\bar{X}_3, \bar{X}_2, \bar{X}_1$ – вихідний інверсний позиційний код; \bar{W} – сигнал стробування; \bar{P} – функція, яка вказує на надходження вхідного сигналу; \bar{V} – функція, яка вказує на відсутність вхідних сигналів.

Таблиця 7.3 – Логіка роботи пріоритетного шифратора на вісім входів

\bar{W}	\bar{F}_7	\bar{F}_6	\bar{F}_5	\bar{F}_4	\bar{F}_3	\bar{F}_2	\bar{F}_1	\bar{F}_0	\bar{X}_3	\bar{X}_2	\bar{X}_1	\bar{P}	\bar{V}
1	x	x	x	x	x	x	x	x	1	1	1	1	1
0	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	1	0	1	1	1	0	1
0	1	1	1	1	1	0	x	x	1	0	1	0	1
0	1	1	1	1	0	x	x	x	1	0	0	0	1
0	1	1	1	0	x	x	x	x	0	1	1	0	1
0	1	1	0	x	x	x	x	x	0	1	0	0	1
0	1	0	x	x	x	x	x	x	0	0	1	0	1
0	0	x	x	x	x	x	x	x	0	0	0	0	1

У табл. 7.3 значення вхідних змінних праворуч від діагоналі, утвореної цифрами 1, не повинні визначати вихідний код (вони позначені хрестиком). Це пояснюється тим, що сигнал з більшим пріоритетом блокує запити з меншими пріоритетами.

Із табл. 7.3 отримуємо вирази для вихідного коду шифратора $\bar{X}_3, \bar{X}_2, \bar{X}_1$

і функцій \bar{V} та \bar{P} , які, відповідно, визначають відсутність інформаційних сигналів на всіх виходах та наявність сигналу хоч би на одному вході. Для спрощення виразів використовуємо тотожність $\bar{X}_3, \bar{X}_2, \bar{X}_1$ та закони де Моргана:

$$\begin{aligned}\bar{X}_3 &= \bar{W} \vee WY_1; \\ \bar{X}_2 &= \bar{W} \vee WY_1\bar{F}_3\bar{F}_2 \vee W\bar{F}_7\bar{F}_6F_5 \vee W\bar{F}_7\bar{F}_6F_4; \\ \bar{X}_1 &= \bar{W} \vee WY_1\bar{F}_3\bar{F}_2 \vee WY_1\bar{F}_3\bar{F}_1 \vee W\bar{F}_7\bar{F}_6 \vee WF_7F_5F_4; \\ \bar{P} &= \bar{W} \vee WY_1Y_2; \\ \bar{V} &= W \vee W\bar{Y}_1\bar{Y}_2 \vee \bar{Y}_1 \vee \bar{Y}_2; \\ Y_1 &= \bar{F}_7\bar{F}_6\bar{F}_5\bar{F}_4; \\ Y_2 &= \bar{F}_3\bar{F}_2\bar{F}_1\bar{F}_0.\end{aligned}$$

На основі цих виразів побудована (рис. 7.5) схема пріоритетного шифратора «8 → 3».

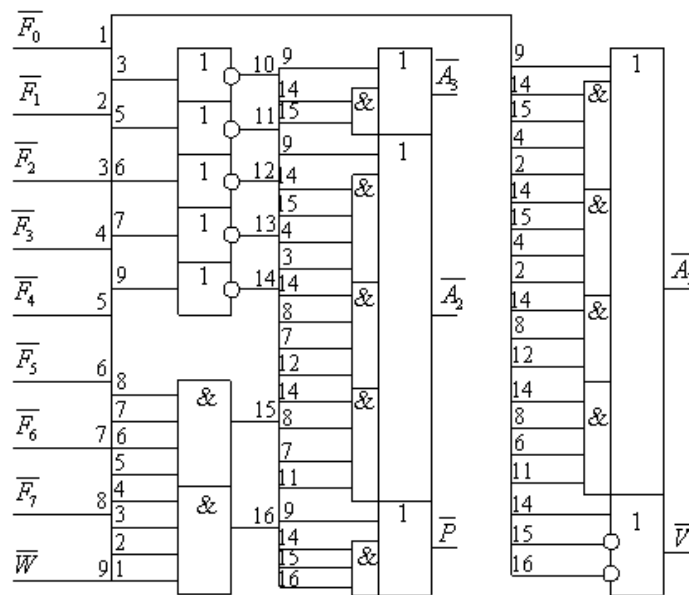


Рисунок 7.5 – Схема пріоритетного шифратора «8 → 3»

При $\bar{W} = 1$ робота схеми блокується і незалежно від сигналів на входах маємо на інверсних виходах: $\bar{X}_3 \bar{X}_2 \bar{X}_1 = 111$, $\bar{P} = 1$, $\bar{V} = 1$. Якщо, наприклад, $\bar{F}_6 = 0$ і $\bar{F}_2 = 0$, то схема формує на виходах код номера входу із старшим пріоритетом: $\bar{X}_3 \bar{X}_2 \bar{X}_1 = 001$ або в прямому коді $X_3 X_2 X_1 = 1102 = 610$. Активний стан виходу відображається значеннями функцій $\bar{P} = 0$ і $\bar{V} = 1$,

які передаються в процесор, а також використовуються при каскадуванні шифраторів. Схема, зображена на рис. 7.5, є аналогом шифратора K555IB1.

Хід роботи

Перетворення m -розрядного коду $A=a_1...a_m$ у m -розрядний код $C=C_1...C_m$, з яких жоден не є унітарним, виконується в такий спосіб.

Функція перетворювача описується у вигляді таблиці, у якій кожному з 2^n значень коду A ставиться у відповідність m -розрядне значення коду C .

Так, у табл. 7.4 визначено функцію перетворювача коду Грея $A=a_1...a_4$ у двійковий код $C=C_1...C_4$.

Таблиця 7.4 – Функція перетворення коду Грея

Десяткове значення	Код Грея $a_1a_2a_3a_4$	Двійковий код $C_1C_2C_3C_4$
0	0000	0000
1	0001	0001
2	0011	0010
3	0010	0011
4	0110	0100
5	0111	0101
6	0101	0110
7	0100	0111
8	1100	1000
9	1101	1001
10	1111	1010
11	1110	1011
12	1010	1100
13	1011	1101
14	1003	1110
15	1000	1111

У даному випадку перетворення коду A в C можна виконати на основі традиційного дешифратора і шифратора, що включаються за схемою перетворювача 4-розрядного коду Грея в двійковий код (рис. 7.6).

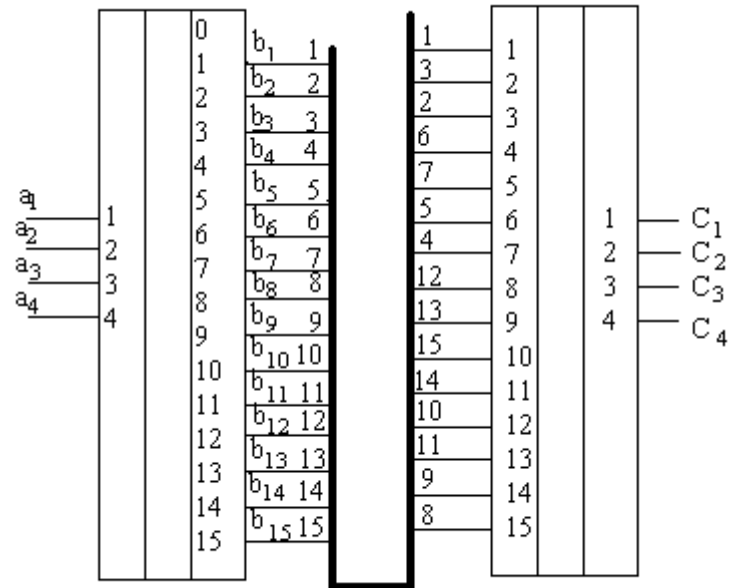


Рисунок 7.6 – Схема перетворювача 4-розрядного коду Грея в двійковий код

Дешифратор DC використовується для формування сигналів $b_0 = a_1 a_2 a_3 a_4$, $b_1 = a_1 a_2 a_3 a_4$, що наводять значення констант одиниці, тобто приймаючих значення 1 на наборах 0000, 0001, ..., 1111, відповідно. Так, коли на вхід дешифратора надходить набір $a_1 a_2 a_3 a_4 = 1100$, що наводять значення 12, на виході формується сигнал $b_{12} = 1$. Шістнадцять наборів двійкового коду $S = C_1 C_2 C_3 C_4$ формуються на виході шифратора S. При цьому вихідні набори генеруються сигналами b_{Γ} , які підключаються до входів шифратора у відповідності зі значеннями наборів $a_1 \dots a_4$ й $C_1 \dots C_4$, що вказані в рядках табл. 7.4.

Таким чином, на основі розглянутого перетворення вибрати для проектування відповідний тип дешифратора і шифратора, скласти таблицю відповідності перекодування, спроектувати електричну принципову схему в середовищі Multisim та дослідити її роботу.

Варіанти завдання

Варіант	Вага розрядів				Варіант	Вага розрядів			
1	5	2	1	1	6	4	3	2	1
2	4	3	1	1	7	3	3	2	1
3	4	2	2	1	8	7	3	2	1
4	6	2	2	1	9	4	4	2	1
5	6	3	1	1	10	5	4	2	1

Питання для перевірки

1. Загальна характеристика дешифраторів.
2. Лінійні дешифратори на два входи і чотири виходи.
3. Пірамідальні дешифратори.
4. Прямокутні дешифратори.
5. Багатоступеневі дешифратори.
6. Загальна характеристика шифратора.
7. Пріоритетний шифратор клавіатури.
8. Каскадування шифраторів.

8 ЛАБОРАТОРНА РОБОТА № 8

СИНТЕЗ СХЕМ ПОРІВНЯННЯ ТА МОДЕЛЮВАННЯ ЇХ РОБОТИ В СЕРЕДОВИЩІ MULTISIM

Мета роботи: синтез схем порівняння та їх моделювання в середовищі Multisim.

Теоретичні відомості

Схемою порівняння називається функціональний вузол комп'ютера, призначений для вироблення ознак відносин між двійковими числами.

Основними відношеннями вважаються: «дорівнює» $F_{A=B}$, «більше» $F_{A>B}$ і «менше» $F_{A<B}$. Часто схеми, що реалізують відношення $F_{A>B}$ або $F_{A<B}$, називають схемами порівняння «на більше» або «на менше». Маючи в своєму розпорядженні основні ознаки відношень, можна на їх основі отримати ряд доповняльних ознак, наприклад:

$$\begin{aligned}F_{A=B} &= \overline{F_{A \neq B}}; \\F_{A>B} &= \overline{F_{A \leq B}}; \\F_{A \leq B} &= F_{A=B} \vee F_{A<B}.\end{aligned}$$

Ознаки відношення використовуються як логічні умови (інформаційні сигнали) в мікропрограмах, командах передачі управління, а також в пристроях контролю і діагностики. Після виконання кожної команди в машині автоматично формуються ознаки результатів операції.

Ці ознаки, які називаються прапорцями, поміщаються в спеціальний регістр прапорців. До прапорців зазвичай відносять ознаки нульового результату, переповнювання розрядної сітки, знак результату, наявність перенесень із старшого розряду суматора, парне або непарне число одиниць у результаті тощо.

Контроль парності $F_{KП}$ широко використовується у комп'ютерах. Цей спосіб базується на припущенні, що в двійковому числі найчастіше виникають поодинокі похибки – втрата або поява зайвої одиниці.

В обох випадках число одиниць зміниться на одну. Якщо двійкове число мало непарну кількість одиниць, то після поодинокі похибки воно виявиться парним і навпаки.

$$F_{KП} = A_1 \oplus A_2 \oplus A_3 \oplus A_4 \oplus A_5 \oplus A_6 \oplus A_7 \oplus A_8 .$$

З метою підвищення ефективності контролю на практиці двійкове слово розбивається на частини, як правило, на байти. До кожного байта додається доповняльний контрольний розряд. Зміст контрольного розряду залежить від обраного способу контролю (за парністю або непарністю). При контролі за парністю значення контрольного розряду обирається таким, щоб загальне число одиниць в байті і контрольному біті було парним. У цьому випадку значення контрольного (паритетного) біта визначається додаванням за модулем двох значень розрядів байта.

В результаті операції додавання за модулем двох значень розрядів байта з парним числом одиниць набуваємо значення контрольного байта

Додавання за модулем двох значень розрядів байта з непарним числом одиниць значення контрольного байта $F_{KП} = 1$.

При контролі за непарністю значення контрольного біта обирається з умови так, щоб кількість одиниць в байті з урахуванням змісту контрольного розряду була непарною. В цьому випадку значення контрольного біта визначається таким виразом:

$$F_{KП} = \bar{A}_1 \oplus \bar{A}_2 \oplus \bar{A}_3 \oplus \bar{A}_4 \oplus \bar{A}_5 \oplus \bar{A}_6 \oplus \bar{A}_7 \oplus \bar{A}_8 = \bar{F}_{KП} .$$

Контроль непарності на практиці використовується частіше, оскільки фіксує повне зникнення інформації. Контроль парності (непарності) передбачає формування значень контрольних розрядів до виконання операції і перевірку байта після виконання операції з урахуванням контрольних розрядів. Наприклад, в процесі записування байта в пам'ять комп'ютера одночасно автоматично формується (генерується) значення його контрольного розряду. При зчитуванні байта, що зберігається, здійснюється додавання за модулем два значень його розрядів спільно з контрольним бітом згідно з прийнятим способом контролю парності або непарності. Таким чином, контроль за паритетом вимагає використання доповняльних розрядів.

Схемами контролю парності називаються схеми, які забезпечують отримання значення контрольного розряду і перевірку двійкового числа за ознакою парності або непарності. Їх часто називають схемами згортки, схемами контролю за модулем два, схемами контролю за паритетом. Для отримання умови парності потрібне додавання за модулем два восьмирозрядного слова, що реалізується за допомогою ступінчастого

включення двовходових елементів «Виключне АБО»:

- на першому рівні отримують функції $F_1 - F_4$:

$$F_1 = A_1 \oplus A_2; F_2 = A_3 \oplus A_4; F_3 = A_5 \oplus A_6; F_4 = A_7 \oplus A_8;$$

- на другому і третьому рівнях реалізуються функції:

$$F_5 = F_1 \oplus F_2; F_6 = F_3 \oplus F_4; M = F_5 \oplus F_6.$$

Згідно з виразами функція M приймає значення логічної одиниці при непарному числі одиниць у вхідному байті та значення логічного 0 – при парному числі одиниць у вхідному байті. Для задання ознаки контролю вводиться керуючий сигнал V , який разом з сигналом M поступає на входи схеми «Виключне АБО» у четвертому рівні; на прямому й інверсному виходах цього рівня формуються пряме та інверсне значення контрольного розряду:

$$F = M \oplus V; \bar{F} = \bar{M} \oplus \bar{V}.$$

Хід роботи

Багаторозрядні двійкові слова рівні, коли одночасно попарно рівні всі їхні розряди, тобто $A(n) = B(n)$, якщо $A_i = B_i, i = 1, 2, \dots, n$. На основі таблиці 8.1, яка задає умову рівності двох i -х розрядів A_i та B_i отримаємо:

$$r_i = \bar{A}_i \bar{B}_i \vee A_i B_i = \bar{A}_i \oplus \bar{B}_i = \bar{M}_i,$$

де M_i – функція додавання по модулю («Виключне АБО»).

Таблиця 8.1 – Умова рівності двох i -х розрядів A_i та B_i

A_i	B_i	r_i
0	0	1
0	1	0
1	0	0
1	1	1

Схемна реалізація у вигляді елемента «Виключне АБО» наведена на рис. 8.1.

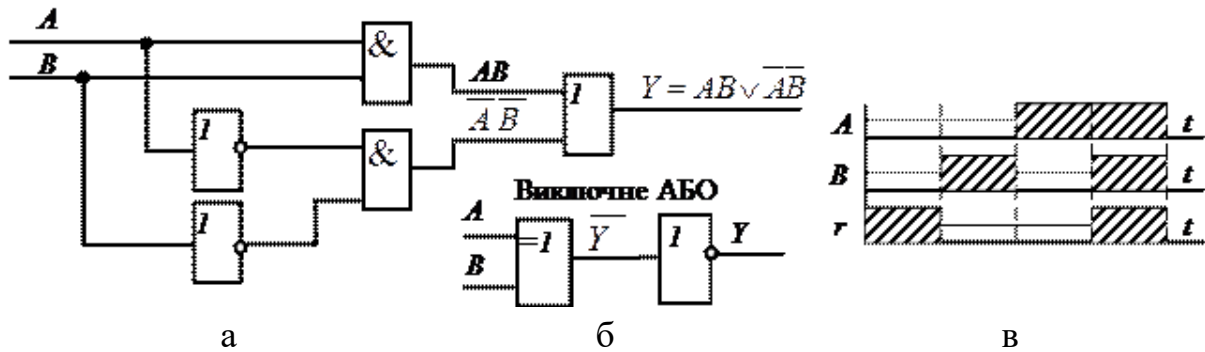


Рисунок 8.1 – Елемент «Виключне АБО»: а – схема; б – умовне позначення; в – часова діаграма роботи

Ознака рівності двох n -розрядних слів $P_{A=B}$ визначається логічним добутком порозрядних умов r_i .

$$F_{A=B} = r_n r_{n-1} \dots r_1 = \overline{M}_n \overline{M}_{n-1} \dots \overline{M}_1.$$

Схему порівняння двох чотирирозрядних чисел A і B показано на рис. 8.2.

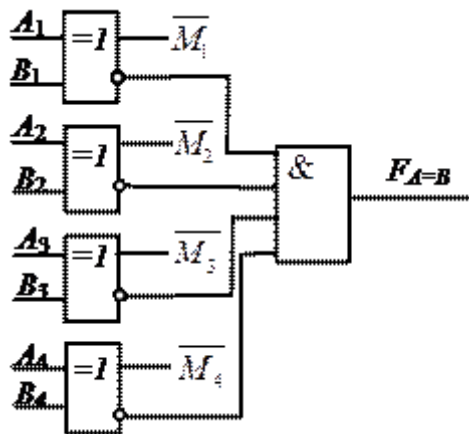


Рисунок 8.2 – Схема порівняння двох чотирирозрядних чисел A і B

Схема містить чотири логічних елементи «Виключне АБО» і один елемент «І».

Схема порівняння двох слів A і B «на більше» за абсолютним значенням виробляє ознаку $F_{A>B}$ і будується за таким алгоритмом:

- аналіз нерівності слів A і B виконується послідовно в напрямку від старших розрядів до молодших;
- молодші розряди аналізуються в тому випадку, якщо старші розряди рівні (еквівалентні);
- для отримання ознаки будується диз'юнктивна сума порозрядних умов.

Логіку порівняння розрядів A і B показано в таблиці 8.2, де C_i – ознака $A_i > B_i$; r_i – умова підключення до аналізу сусідніх молодших розрядів обох слів.

Таблиця 8.2 – Логіка порівняння розрядів A і B

A_i	B_i	C_i	r_i
0	0	0	1
0	1	0	0
1	0	1	0
1	1	0	1

На основі таблиці 8.2 отримуємо такі вирази:

$$C_i = A\bar{B}; \quad r_i = \bar{A}_i\bar{B}_i \vee A_iB_i\bar{A}_i \oplus \bar{B}_i = \bar{M}_i.$$

З урахуванням виразу і алгоритму аналізу, функцію ознаки наводимо у вигляді:

$$F_{AB} = C_n \vee r_n C_{n-1} \vee \dots \vee r_n r_{n-1} \dots r_2 C_1.$$

Для порівняння двох чотирирозрядних чисел «на більше» ознаку нерівності згідно виразу наводимо таким чином:

$$F_{AB} = C_4 \vee r_4 C_3 \vee r_4 r_3 \dots r_2 C_1 = A_4\bar{B}_4 \vee \bar{M}_4 A_3\bar{B}_3 \vee \bar{M}_4 \bar{M}_3 A_2\bar{B}_2 \vee \bar{M}_4 \bar{M}_3 \bar{M}_2 A_1\bar{B}_1.$$

Згідно співвідношення показана схема порівняння «на більше» двох чотирирозрядних чисел A і B на рис. 8.3.

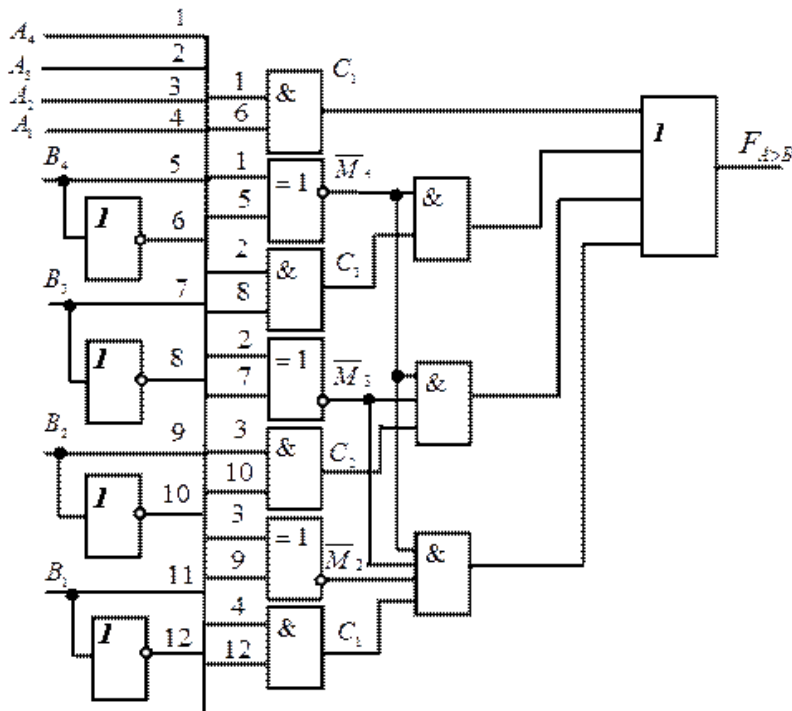


Рисунок 8.3 – Схема порівняння «на більше» двох чотирирозрядних чисел A і B

Синтез схем згідно варіанту проводити в середовищі Multisim.

Варіанти завдання

1. Синтезувати схему: $x:=00011 \leq A < 11001$.
2. Синтезувати схему: $x:=01000 \leq A < 11100$.
3. Синтезувати схему: $x:=00111 \leq A < 1011$.
4. Синтезувати схему: $A > B$ A, B – трьохрозрядні без знаку.
5. Синтезувати схему: $A > B$ A, B – трьохрозрядні із знаком.
6. Синтезувати схему: $A \leq B$ A, B – трьохрозрядні без знаку.
7. Синтезувати схему: $A \geq B$ A, B – трьохрозрядні із знаком.
8. Синтезувати схему: $x:=11000 \leq A < 11011$.

Питання для перевірки

1. Загальна характеристика схем порівняння.
2. Схеми порівняння двійкових слів A і B .
3. Схеми порівняння двох слів «на більше».
4. Загальна характеристика схем контролю парності.

9 ЛАБОРАТОРНА РОБОТА № 9 ДОСЛІДЖЕННЯ РОБОТИ АВТОМАТА МІЛІ ТА ЙОГО СИНТЕЗ В СЕРЕДОВИЩІ MULTISIM

Мета роботи: вивчення законів функціонування автомата Мілі, алгоритму його побудови, побудови схеми автомата Мілі за допомогою графу автомата Мілі, а також синтез її в середовищі Multisim.

Теоретичні відомості

Закон функціонування автоматів Мілі задається в такому вигляді:

$$\begin{aligned}Z(t+1) &= \Phi[Z(t), X(t)]; \\ Y(t) &= \psi[Z(t), X(t)].\end{aligned}$$

де $t=0, 1, 2, \dots$ – дискретний час; $Z(0)=z_0$ – початковий стан автомата.

Функція $\Phi(Z, X)$ визначає подальший стан автомата і називається функцією переходів. Функція $\psi(Z, X)$ визначає значення вихідних сигналів і називається функцією виходів автомата. Закон функціонування автомата з пам'яттю може бути заданий в формі направленої графу. При цьому стани автомата відображаються верхівками графу і переходи між станами – дугами. Порядок впливу вхідних сигналів і значення вихідних сигналів відображаються шляхом позначки елементів графу (верхівок або дуг).

Необхідний набір станів автомата визначається шляхом позначки графу мікропрограми, що виробляється, в такому порядку.

1. Символом a_1 відмічається вхід першої верхівки після початку, а також вхід кінцевої верхівки.

2. Входи верхівок після операторних верхівок, відмічаються символами a_2, a_3, \dots

3. Входи двох різних верхівок, за винятком кінцевої, не можуть бути відмічені однаковими символами.

4. Вхід верхівки може визначатися тільки одним символом.

Хід роботи

1. Отримати завдання для виконання лабораторної роботи.
2. По отриманому завданню скласти граф автомата Мілі.

3. Використовуючи граф скласти таблицю станів автомата.
4. Використовуючи дані таблиці скласти канонічну систему функцій виходів збудження, мінімізувати їх.
5. Підставити в отриманні вирази станів автомата стани тригерів пам'яті.
6. На основі отриманої системи функцій побудувати схему автомата Мілі.
7. Синтезувати схему автомата Мілі в середовищі Multisim.

Питання для перевірки

1. Закон функціонування автомата Мілі.
2. Як утворюється функціональна таблиця переходів і виходів?
3. Обґрунтуйте яким чином здійснюється перехід від завдання автомата із допомогою таблиць до завдання із допомогою графу.
4. Порядок визначення набору станів автомата.
5. Що використовують для запуску автомата і для чого?
6. Як здійснюється перехід від графу до мікропрограми автомата?
7. Що таке структурний синтез?
8. Етапи структурного синтезу.

10 ЛАБОРАТОРНА РОБОТА № 10 ДОСЛІДЖЕННЯ РОБОТИ АВТОМАТА МУРА ТА ЙОГО СИНТЕЗ В СЕРЕДОВИЩІ MULTISIM

Мета роботи: вивчення законів функціонування автомата Мура, алгоритму його побудови, побудови схеми автомата Мура за допомогою графу автомата Мура, а також синтез її в середовищі Multisim.

Теоретичні відомості

Будь-яку мікропрограму можна інтерпретувати як автомат Мура, якому властивий такий закон функціонування:

$$\begin{cases} A(t+1) = \delta[A(t), X(t)]; \\ Y(t) = \lambda[A(t)], \end{cases}$$

де $t=0, 1, \dots$ і $A(0)=a_1$ – початковий стан автомата.

Оскільки в автоматі Мура вихідні сигнали зв'язані тільки зі станами автомата, то кожній операторній вершині графу мікропрограми варто поставити у відповідність один зі станів a_2, a_3, \dots . Виходячи з цього, можна сформулювати такі правила оцінки станів автомата на графі мікропрограми.

1. Символом a_1 відзначаються початкова і кінцева вершини мікропрограми.
2. Кожна операторна вершина відзначається єдиним символом a_2, a_3, \dots
3. Дві різні операторні вершини не можуть бути відмічені однаковими символами.

Хід роботи

1. Отримати завдання для виконання лабораторної роботи.
2. По отриманому завданню скласти граф автомата Мура.
3. Використовуючи граф скласти таблицю станів автомата.
4. Використовуючи дані таблиці скласти канонічну систему функцій виходів збудження, мінімізувати їх.
5. Підставити в отриманні вирази станів автомата стани тригерів пам'яті.
6. На основі отриманої системи функцій побудувати схему автомата

Мура.

7. Синтезувати схему автомата Мура в середовищі Multisim.

Питання для перевірки

1. Закон функціонування автомата Мура.
2. Як утворюється функціональна таблиця переходів і виходів?
3. Обґрунтуйте яким чином здійснюється перехід від завдання автомата із допомогою таблиць до завдання із допомогою графу.
4. Порядок визначення набору станів автомата.
5. Що використовують для запуску автомата і для чого?
6. Як здійснюється перехід від графу до мікропрограми автомата?

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. Малахов В. П. Схемотехника аналоговых устройств / В. П. Малахов. – Одесса : Астро Принт, 2000. – 212 с.
2. Сенько В. І. Електроніка і мікросхемотехніка / В. І. Сенько, Н. В. Панасенко, Є. В. Сенько. – К. : Оберіг, 2001. – 285 с.
3. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл. – М. : Мир, 1993. – 412 с.
4. Рудик В. Д. Аналогові і підсилювальні електронні пристрої / В. Д. Рудик. – Вінниця : ВДТУ, 2001. – 189 с.
5. Гикавий В. А. Цифрова і аналогова схемотехніка / В. А. Гикавий. – Вінниця : ВДТУ, 2001. – 161 с.
6. Бубнов А. В. Аналоговая и цифровая схемотехника / А. В. Бубнов, К. Н. Гвозденко, М. В. Гокова. – Омск : ОмГТУ, 2010. – 80 с.
7. Шарапов А. В. Аналоговая схемотехника / А. В. Шарапов. – Томск : ТМЦДО, 2003. – 128 с.
8. Чижма С. Н. Основы схемотехники / С. Н. Чижма. – Омск : Апельсин, 2008. – 424 с.
9. Бабак В. П. Обробка сигналів / В. П. Бабак, В. С. Хандецький, Е. Шрютер. – К. : Либідь, 1999. – 247 с.
10. Волович Г. И. Схемотехника аналоговых и аналогово-цифровых электронных устройств / Г. И. Волович. – М. : Додека, 2015. – 314 с.

Навчальне видання

Методичні вказівки
до виконання лабораторних робіт
з дисципліни «Схемотехніка»
для студентів спеціальності
153 – «Мікро- та наносистемна техніка»

Редактор В. Дружиніна

Укладачі: Білинський Йосип Йосипович
Книш Богдан Петрович

Оригінал-макет підготовлено Б. Книшом

Підписано до друку
Формат 29,7×42¼. Папір офсетний.
Гарнітура Times New Roman.
Друк різнографічний. Ум. др. арк.
Наклад прим. Зам. № 2017-

Вінницький національний технічний університет,
Навчально-методичний відділ ВНТУ.
21021, м. Вінниця, Хмельницьке шосе, 95,
ВНТУ, к. 2201.
Тел. (0432) 59-87-36.
Свідоцтво суб'єкта видавничої справи
серія ДК № 3516 від 01.07.2009 р.

Віддруковано у Вінницькому національному технічному університеті
в комп'ютерному інформаційно-видавничому центрі.
21021, м. Вінниця, Хмельницьке шосе, 95,
ВНТУ, ГНК, к. 114.
Тел. (0432) 59-89-35.
Свідоцтво суб'єкта видавничої справи
серія ДК № 3516 від 01.07.2009 р.