



УКРАЇНА

(19) UA  
(51) МПК

(11) 102959

(13) U

H03F 3/26 (2006.01)

ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

**(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ**

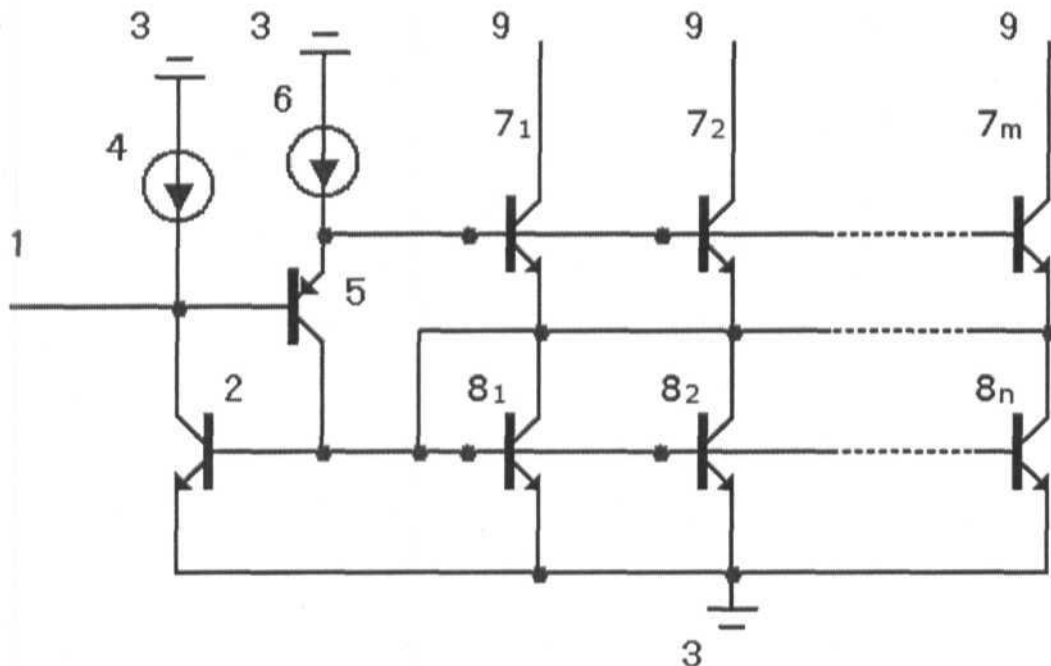
(21) Номер заявки: **u 2015 05358**  
 (22) Дата подання заявки: **02.06.2015**  
 (24) Дата, з якої є чинними права на корисну модель: **25.11.2015**  
 (46) Публікація відомостей про видачу патенту: **25.11.2015, Бюл.№ 22**

(72) Винахідник(и):  
**Азаров Олексій Дмитрович (UA),  
 Богомолов Сергій Віталійович (UA),  
 Гарнага Володимир Анатолійович (UA),  
 Філіпчук Віталій Сергійович (UA)**  
 (73) Власник(и):  
**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ  
 ТЕХНІЧНИЙ УНІВЕРСИТЕТ,  
 Хмельницьке шосе, 95, м. Вінниця, 21021  
 (UA)**

**(54) ВІДБИВАЧ СТРУМУ**

**(57) Реферат:**

Відбивач струму містить чотири транзистори, вхідну та вихідну шини, шину нульового потенціалу, джерело струму, причому вхідну шину з'єднано з точкою об'єднання бази четвертого транзистора і колектором першого транзистора, емітери першого, другого транзисторів та другий вихід джерела струму з'єднано з шиною нульового потенціалу, база першого та другого транзисторів з'єднано з колектором другого транзистора. Введено друге джерело струму, n пар паралельно з'єднаних базами транзисторів.



UA 102959 U



Корисна модель належить до аналогової техніки і може бути використана в двотактних підсилювальних схемах.

Відомо відбивач струму Уілсона (Титце У. Токовое зеркало Вильсона // Титце У., Шенк К. Полупроводниковая схемотехника. 12-е изд. Том 1: Пер. с нем. - М.: ДМК Пресс, 2008. - с. 342-344), який містить три транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, а 15 також з базою третього транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, а також з емітером третього транзистора, колектор третього транзистора з'єднано з вихідною шиною.

Недоліком є обмежені функціональні можливості.

За прототип вибраний відбивач струму (патент України № 88149, м.кл. Н03К 5/22, опубл. 11.03.2014), який містить чотири транзистори, вхідну та вихідну шини, шину нульового потенціалу, джерело струму, причому вхідну шину з'єднано з колектором першого транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, вхідну шину з'єднано з базою четвертого транзистора, емітер четвертого транзистора з'єднано з шиною нульового потенціалу, колектор четвертого транзистора з'єднано з базою третього транзистора, а також з другим виводом джерела струму, перший вивід джерела струму з'єднано з шиною нульового потенціалу, колектор третього транзистора з'єднано з базою та колектором другого транзистора, а також з базою першого транзистора, емітер третього транзистора з'єднано з вихідною шиною.

Недоліком є низький вихідний опір пристрою, що обмежує функціональні можливості.

В основу корисної моделі поставлено задачу створення такого відбивача струму, в якому за рахунок введення нових елементів та зв'язків між ними, підвищується вихідний опір, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у відбивач струму, який містить чотири транзистори, вхідну та вихідну шини, шину нульового потенціалу, джерело струму, причому вхідну шину з'єднано з точкою об'єднання бази першого транзистора і колектором другого транзистора, емітери другого, четвертого транзисторів та другий вихід джерела струму з'єднано з шиною нульового потенціалу, база четвертого та другого транзисторів з'єднано з колектором четвертого транзистора, введено друге джерело струму, перший вхід якого з'єднано з емітером першого транзистора, другий вхід з'єднано з шиною нульового потенціалу,  $n$  пар паралельно з'єднаних базами транзисторів, де  $n = 2...5$ , які з'єднано з точкою об'єднання бази другого та колектором першого транзисторів, а також з емітером першого транзистора, а колектори  $m$ , де  $m = 2...5$ , транзисторів з'єднано з вихідною шиною.

На кресленні представлено схему відбивача струму.

Пристрій містить вхідну шину 1, з'єднану з точкою об'єднання бази першого 5 і з колектором другого 2 транзисторів, емітери другого 2 транзистора, транзисторів  $8_1-8_n$ , де  $n = 2...5$ , та другий вихід першого 4 та другого 6 джерел струму з'єднано з шиною нульового потенціалу 3, база другого 2 транзистора об'єднана з колектором першого 5 транзистора, бази транзисторів  $8_1-8_n$  з'єднано з точкою об'єднання бази другого 2 та колектора першого 5 транзисторів, бази транзисторів  $7_1-7_m$ , де  $m = 2...5$ , з'єднано з емітером першого 5 транзистора, бази транзисторів  $8_1-8_n$  з'єднано з точками об'єднання колекторів та емітерів  $8_1-8_n$  та  $7_1-7_m$  транзисторів відповідно, колектори транзисторів  $7_1-7_m$  з'єднано з вихідною шиною 9.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму поступає на вхідну шину 1. Якщо вхідний струм збільшується, то перший 5 транзистор привідкривається, при цьому збільшується колекторний струм першого 5 транзистора, а напруга на колекторі першого 5 транзистора падає, а транзистори  $7_1-7_m$  привідкриваються, при цьому збільшується колекторний та емітерний струм транзисторів  $7_1-7_m$ . Збільшення колекторного струму транзисторів  $7_1-7_m$  передається через відбивач струму, побудований на другому 2 та  $8_1-8_n$  транзисторах на вхід схеми, тобто збільшується колекторний струм другого 2 транзистора, що компенсує збільшення вхідного струму.

Якщо вхідний струм зменшується, то перший 5 транзистор прикривається, і зменшується його колекторний струм, а напруга на колекторі першого 5 транзистора зростає, при цьому транзистори  $7_1-7_m$  прикриваються, зменшується колекторний та емітерний струм транзисторів  $7_1-7_m$ . Зменшення колекторного струму транзисторів  $7_1-7_m$  передається через відбивач струму,

побудований на другому 2 та  $8_1-8_n$  транзисторах на вхід схеми, тобто зменшується колекторний струм другого 2 транзистора, що компенсує зменшення вхідного струму.

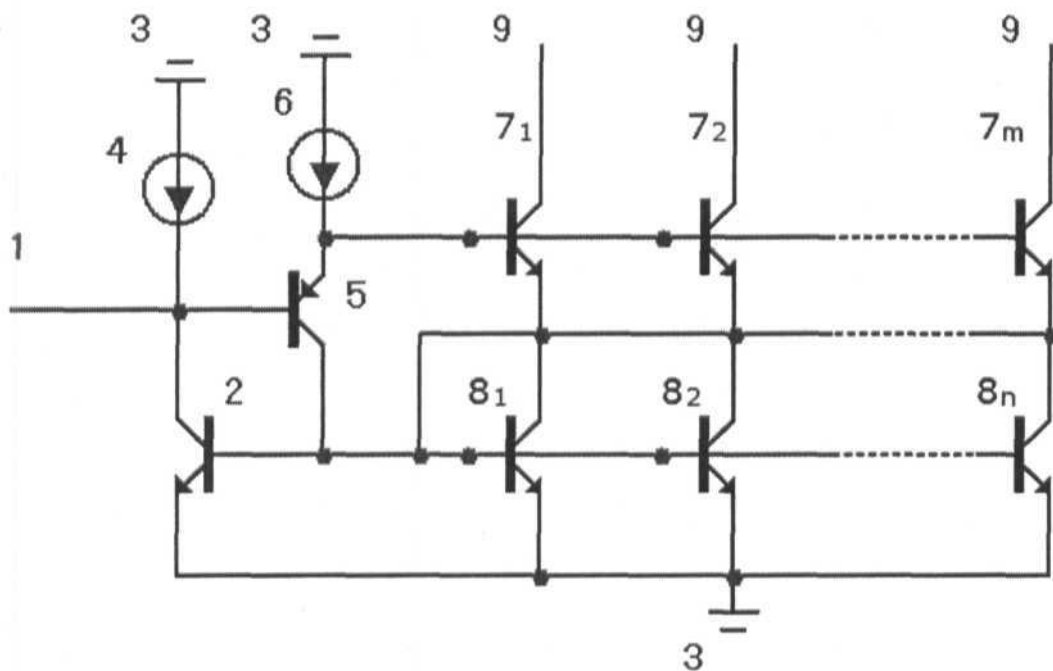
Коефіцієнт передачі по струму буде дорівнювати  $K_1 = \frac{I_{\text{вих}}}{I_{\text{вх}}} \approx 1$ , де  $K_1$  - коефіцієнт передачі

по струму,  $I_{\text{вих}}$  - вихідний сигнал у вигляді струму,  $I_{\text{вх}}$  - вхідний сигнал у вигляді струму, і залежить від коефіцієнту передачі по струму, побудованого на другому 2 та  $8_1-8_n$  транзисторах.

Перший 5 транзистор і вхідна шина 1 утворюють вхід схеми. Транзистори  $7_1-7_m$  забезпечують високий вихідний опір схеми. Емітерний струм з транзисторів  $7_1-7_m$  поступає на вихідну шину 9. Перше джерело струму 4 задає струм робочої точки колектора другого 2 і бази першого 5 транзисторів. Друге джерело струму 6 задає емітерний струм першого 5 і базові струми  $7_1-7_m$  транзисторів. Оптимальне число паралельно з'єднаних базами транзисторів  $7_1-7_m$  та  $8_1-8_n$  дорівнює п'яти, тому що при їх надмірній кількості буде зменшуватися емітерний струм першого 5 транзистора. Шина нульового потенціалу 3 встановлює необхідний рівень напруги для живлення схеми.

### 15 ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Відбивач струму, який містить чотири транзистори, вхідну та вихідну шини, шину нульового потенціалу, джерело струму, причому вхідну шину з'єднано з точкою об'єднання бази четвертого транзистора і колектором першого транзистора, емітери першого, другого транзисторів та другий вихід джерела струму з'єднано з шиною нульового потенціалу, база першого та другого транзисторів з'єднано з колектором другого транзистора, який **відрізняється** тим, що введено друге джерело струму, перший вхід якого з'єднано з емітером першого транзистора, другий вхід з'єднано з шиною нульового потенціалу,  $n$  пар паралельно з'єднаних базами транзисторів, де  $n=2...5$ , які з'єднано з точкою об'єднання бази другого та колектором першого транзисторів, а також з емітером першого транзистора, а колектори  $m$ , де  $m=2...5$ , транзисторів з'єднано з вихідною шиною.



Комп'ютерна верстка А. Крулевський

Державна служба інтелектуальної власності України, вул. Василя Липківського, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601