



МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

УКРАЇНА

(19) **UA**

(11) **133088**

(13) **U**

(51) МПК

H03F 3/26 (2006.01)

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2018 09904**

(22) Дата подання заявки: **04.10.2018**

(24) Дата, з якої є чинними
права на корисну
модель: **25.03.2019**

(46) Публікація відомостей
про видачу патенту: **25.03.2019, Бюл.№ 6**

(72) Винахідник(и):

**Азаров Олексій Дмитрович (UA),
Богомолов Сергій Віталійович (UA),
Генеральницький Євгеній Сергійович
(UA)**

(73) Власник(и):

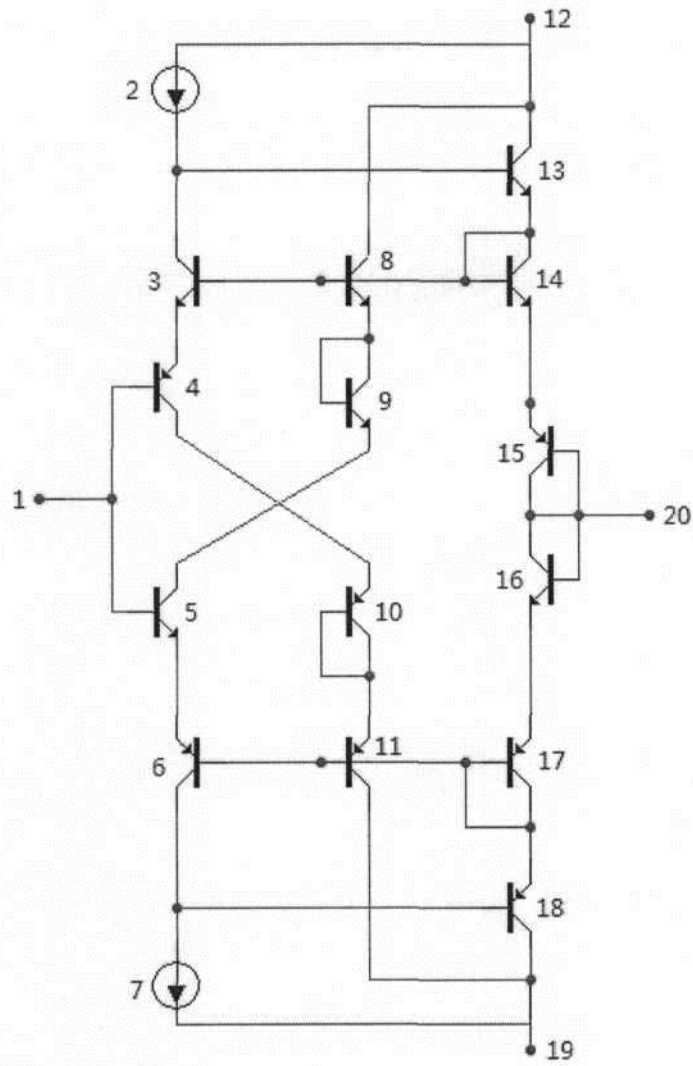
**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ
ТЕХНІЧНИЙ УНІВЕРСИТЕТ,
Хмельницьке шосе, 95, м. Вінниця, 21021
(UA)**

(54) БУФЕРНИЙ КАСКАД

(57) Реферат:

Буферний каскад містить десять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, колектори транзисторів, емітери транзисторів. У нього введено одинадцятий, дванадцятий, тринадцятий та чотирнадцятий транзистори.

UA 133088 U



Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

За аналог вибрано буферний каскад (патент України № 15896 м. кл., Н03К 5/22, МПК 2006, G05B 1/00, бюл. №7, 2006р), який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідна шина з'єднана з базами четвертого та п'ятого транзисторів, колектори яких з'єднані з колекторами шостого та третього транзисторів відповідно, та емітерами сьомого та другого транзисторів відповідно, база та колектор першого транзистора об'єднані і приєднані до шини додатного живлення через перше джерело струму, а також до бази другого транзистора, база сьомого транзистора з'єднана з шиною від'ємного живлення через друге джерело струму, колектори другого та сьомого транзисторів з'єднані з шинами додатного та від'ємного живлення відповідно, який відрізняється тим, що у нього введені дев'ятий, десятий, одинадцятий, дванадцятий транзистори, причому база кожного з них з'єднана з його колектором, емітер восьмого транзистора з'єднаний з базою сьомого транзистора та першим виводом другого джерела струму, емітери дев'ятого та десятого транзисторів з'єднані з емітерами четвертого та п'ятого транзисторів відповідно, бази та колектори дев'ятого та десятого транзисторів з'єднані з базами третього та шостого транзисторів відповідно, а також база та колектор дев'ятого транзистора з'єднані з емітером першого транзистора, база та колектор десятого транзистора з'єднані з базою та колектором восьмого транзистора, емітери третього та шостого транзисторів з'єднані з емітерами одинадцятого та дванадцятого транзисторів відповідно, бази і колектори одинадцятого та дванадцятого транзисторів з'єднані з вихідною шиною.

Недоліками найближчого аналогу є низька точність, що викликано значною вихідною напругою зміщення нуля через неідентичність параметрів пар n-p-n та p-n-p транзисторів у верхньому та нижньому каналах.

За прототип вибрано буферний каскад (патент України № 51014 м. кл., Н03К 5/22, МПК 2009, G05B 1/00, бюл. №12, 2010р), який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з колекторами третього та шостого транзисторів відповідно, колектор першого транзистора з'єднано з шиною додатного живлення через відповідні виводи першого джерела струму, колектор восьмого транзистора з'єднано з шиною від'ємного живлення через відповідні виводи другого джерела струму, який відрізняється тим, що у нього введено дев'ятий та десятий транзистори, причому бази другого та сьомого транзисторів з'єднано з колекторами першого та восьмого транзисторів відповідно, а бази першого та восьмого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, колектори та бази дев'ятого та десятого транзисторів об'єднано між собою, а також з колекторами четвертого та п'ятого транзисторів та з'єднано з вихідною шиною.

Недоліками найближчого аналога є низький вхідний опір, який обумовлений низьким вхідним опором біполярних транзисторів, що призводите до збільшення похибки коефіцієнта передачі при підключенні на вхід буферного пристрою джерела сигналу з високим вихідним опором.

В основу корисної моделі поставлено задачу створення буферного каскаду, в якому за рахунок введення нових елементів та зв'язків між ними підвищується точність, а це в свою чергу розширює галузь використання корисної моделі в різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що в буферний каскад, який містить десять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з колекторами третього та шостого транзисторів відповідно, колектор першого транзистора з'єднано з шиною додатного живлення через відповідні виводи першого джерела струму, колектор восьмого транзистора з'єднано з шиною від'ємного живлення через відповідні виводи другого джерела струму, бази другого та сьомого транзисторів з'єднано з колекторами першого та восьмого транзисторів відповідно, а бази першого та восьмого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, емітери першого та четвертого транзисторів з'єднано, емітери п'ятого та восьмого транзисторів з'єднано, емітери третього та дев'ятого транзисторів з'єднано, а також емітери десятого та шостого транзисторів з'єднано, колектори та бази дев'ятого та десятого транзисторів об'єднано між собою та з'єднано з вихідною шиною, згідно з корисною моделлю,

введено одинадцятий, дванадцятий, тринадцятий та чотирнадцятий транзистори, бази першого, одинадцятого та третього транзисторів з'єднані, колектори одинадцятого та другого транзисторів також з'єднані з шиною додатного живлення, бази восьмого, чотирнадцятого, шостого транзисторів об'єднано, колектори чотирнадцятого та сьомого транзисторів також

5 з'єднані з шиною від'ємного живлення, колектор четвертого транзистора з'єднано з емітером тринадцятого транзистора, колектор п'ятого транзистора з'єднано з емітером дванадцятого транзистора, емітер одинадцятого транзистора з'єднано з базою та колектором дванадцятого транзистора, емітер чотирнадцятого транзистора з'єднано з базою та колектором тринадцятого транзистора.

10 На кресленні представлено принципову схему буферного каскаду.

Пристрій містить перший 3, другий 13, третій 14, четвертий 4, п'ятий 5, шостий 17, сьомий 18, восьмий 6, дев'ятий 15, десятий 16, одинадцятий 8, дванадцятий 9, тринадцятий 10, чотирнадцятий 11 транзистори, перше 2 та друге 7 джерела струму, шини додатного 12 та від'ємного 19 живлення, вхідну 1 та вихідну 20 шини, причому вхідну шину з'єднано з базами

15 четвертого 4 та п'ятого 5 транзисторів, колектори другого 13 та сьомого 18 транзисторів з'єднано з шинами додатного 12 та від'ємного 19 живлення відповідно, емітери другого 13 та сьомого 18 транзисторів з'єднано з колекторами третього 14 та шостого 17 транзисторів відповідно, колектор першого 3 транзистора з'єднано з шиною додатного живлення 12 через відповідні виводи першого джерела струму 2, колектор восьмого 6 транзистора з'єднано з

20 шиною від'ємного живлення 19 через відповідні виводи другого джерела струму 7, бази другого 13 та сьомого 18 транзисторів з'єднано з колекторами першого 3 та восьмого 6 транзисторів відповідно, а бази першого 3 та восьмого 6 транзисторів з'єднано з базами та колекторами третього 14 та шостого 17 транзисторів відповідно, емітери першого 3 та четвертого 4 транзисторів з'єднано, емітери п'ятого 5 та восьмого 6 транзисторів з'єднано, емітери третього

25 14 та дев'ятого 15 транзисторів з'єднано, а також емітери десятого 16 та шостого 17 транзисторів з'єднано, колектори та бази дев'ятого 15 та десятого 16 транзисторів об'єднано між собою та з'єднано з вихідною шиною 20, бази першого 3, одинадцятого 8 та третього 14 транзисторів з'єднані, колектори одинадцятого 8 та другого 13 транзисторів також з'єднані з шиною додатного живлення 12, бази восьмого 6, чотирнадцятого 11, шостого 17 транзисторів

30 об'єднано, колектори чотирнадцятого 11 та сьомого 18 транзисторів також з'єднані з шиною від'ємного живлення 19, колектор четвертого 4 транзистора з'єднано з емітером тринадцятого 10 транзистора, колектор п'ятого 5 транзистора з'єднано з емітером дванадцятого 9 транзистора, емітер одинадцятого 8 транзистора з'єднано з базою та колектором дванадцятого 9 транзистора, емітер чотирнадцятого 11 транзистора з'єднано з базою та колектором

35 тринадцятого 10 транзистора.

Пристрій працює таким чином.

Вхідний сигнал надходить на вхідну шину 1 у вигляді напруги.

Якщо вхідний сигнал має додатну полярність то п'ятий 5 транзистор трохи відкривається, а четвертий 4 транзистор трохи закривається. При цьому емітерний струм п'ятого 5 транзистора збільшується, а четвертого 4 транзистора зменшується, це у свою чергу приводить до збільшення емітерного струму восьмого 6 транзистора та зменшення емітерного струму першого 3 транзистора, у свою чергу це призводить до збільшення колекторного струму восьмого 6 транзистора та зменшення колекторного струму першого 3 транзистора, у свою чергу це призводить до зменшення базового струму сьомого 18 транзистора та збільшення базового струму другого 13 транзистора, які у свою чергу трохи відкриваються, що призводить до збільшення емітерного струму шостого 17 транзистора та зменшення емітерного струму третього 14 транзистора, емітерний струм шостого 17 та третього 14 транзистора через дев'ятий 15 та десятий 16 транзистори у діодному вмиканні передається на вихідну шину 20, при цьому це призводить до наближення потенціалу напруги вихідної шини 20 до шини від'ємного живлення 19, проте у схемі зменшується колекторний струм четвертого 4 і збільшується колекторний струм п'ятого 5 транзистора, які через дванадцятий 9 та тринадцятий 10 транзистори в діодному вмиканні зменшують колекторний струм чотирнадцятого 11 і збільшують колекторний струм одинадцятого 8 транзистора, які у свою чергу за рахунок зміни базових струмів чотирнадцятого 11 та одинадцятого 8 транзистора забезпечують коригування напруги в схемі та її балансування таким чином, що різниця потенціалів вихідної 20 та вхідної

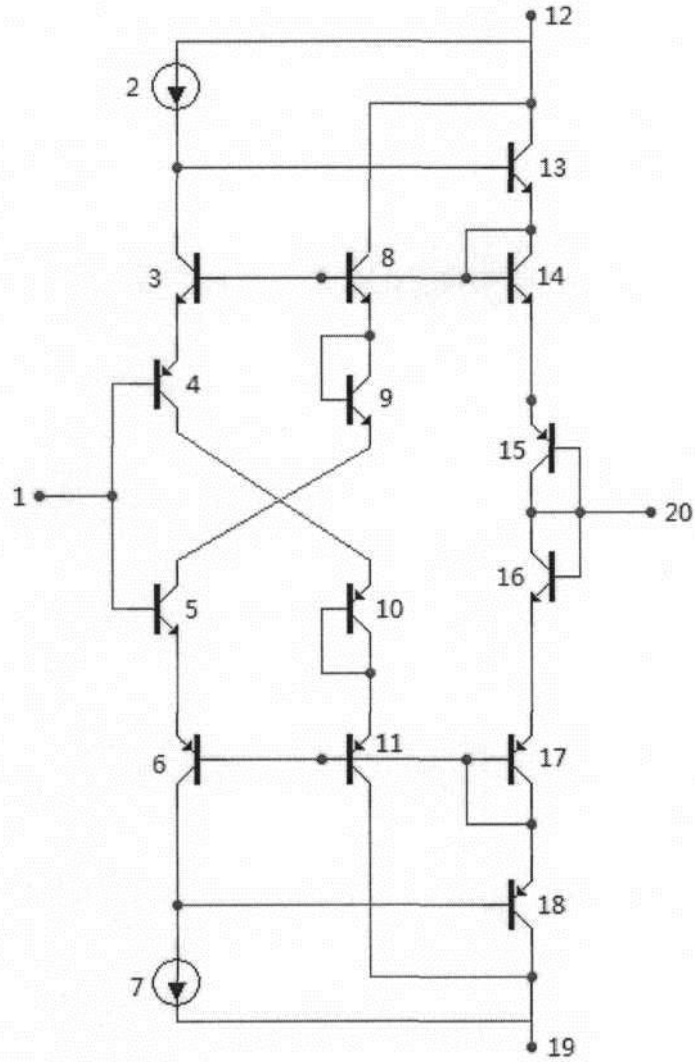
55 шини 1 наближається до нуля.

Перше 2 та друге 7 джерела струмів задають режим по постійному струмі каскадів схеми. Четвертий 4 та п'ятий 5 транзистори утворюють вхідний каскад, який забезпечує передачу вхідного сигналу на каскади схеми.

Перший 3, другий 13, третій 14 та восьмий 6, шостий 17, сьомий 18 транзистори утворюють відбивачі Вілсона, які передають сигнал з вхідних каскадів на вихідну шину через дев'ятий 15 та десятий 16 транзистори в діодному вмиканні, транзистори одинадцять 8 та чотирнадцять 11 в поєднанні з транзисторами дванадцять 9 та тринадцять 10 відповідно забезпечують коригування зміни базових струмів першого 3 та восьмого 6 транзисторів відповідно таким чином забезпечується балансування потенціалу вихідної шини 20, що різниця потенціалу з вхідною шиною 1 наближається до нуля. За рахунок цього досягається підвищення точності роботи схеми буферного каскаду. Шини додатного живлення 12 та від'ємного живлення 19 забезпечують напругу, потрібну для живлення схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Буферний каскад, який містить десять транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з колекторами третього та шостого транзисторів відповідно, колектор першого транзистора з'єднано з шиною додатного живлення через відповідні виводи першого джерела струму, колектор восьмого транзистора з'єднано з шиною від'ємного живлення через відповідні виводи другого джерела струму, бази другого та сьомого транзисторів з'єднано з колекторами першого та восьмого транзисторів відповідно, а бази першого та восьмого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, емітери першого та четвертого транзисторів з'єднано, емітери п'ятого та восьмого транзисторів з'єднано, емітери третього та дев'ятого транзисторів з'єднано, а також емітери десятого та шостого транзисторів з'єднано, колектори та бази дев'ятого та десятого транзисторів об'єднано між собою та з'єднано з вихідною шиною, який **відрізняється** тим, що у нього введено одинадцятий, дванадцятий, тринадцятий та чотирнадцятий транзистори, бази першого, одинадцятого та третього транзисторів з'єднані, колектори одинадцятого та другого транзисторів також з'єднані з шиною додатного живлення, бази восьмого, чотирнадцятого, шостого транзисторів об'єднано, колектори чотирнадцятого та сьомого транзисторів також з'єднані з шиною від'ємного живлення, колектор четвертого транзистора з'єднано з емітером тринадцятого транзистора, колектор п'ятого транзистора з'єднано з емітером дванадцятого транзистора, емітер одинадцятого транзистора з'єднано з базою та колектором дванадцятого транзистора, емітер чотирнадцятого транзистора з'єднано з базою та колектором тринадцятого транзистора.



Комп'ютерна верстка М. Шамо́ніна

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601