



УКРАЇНА

(19) UA (11) 41315 (13) U
(51) МПК (2009)
H03M 1/66

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ЦИФРО-АНАЛОГОВИЙ ПЕРЕТВОРЮВАЧ

1

2

(21) u200900491

(22) 23.01.2009

(24) 12.05.2009

(46) 12.05.2009, Бюл.№ 9, 2009 р.

(72) АЗАРОВ ОЛЕКСІЙ ДМИТРОВИЧ, UA, КАДУК
ОЛЕКСАНДР ВОЛОДИМИРОВИЧ, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ
УНІВЕРСИТЕТ, UA

(57) Цифро-аналоговий перетворювач, що містить вхідну шину, регістр, цифровий комутатор, блок керування, додатковий цифро-аналоговий перетворювач, схему порівняння, основний цифро-аналоговий перетворювач, вихідну шину, причому перші інформаційні входи цифрового комутатора є вхідною шиною, виходи цифрового комутатора під'єднано до регістра, вихід додаткового цифро-аналогового перетворювача з'єднано з другим аналоговим входом схеми порівняння, який **відрізняється** тим, що введено блок постійної пам'яті, блок оперативної пам'яті, цифровий обчислювальний пристрій, аналоговий комутатор, перший і другий регістри послідовного наближення, блок керованої розгортки коду, причому виходи блока постійної пам'яті з'єднано з першими входами цифрового обчислювального пристрою, другі входи цифрового обчислювального пристрою об'єднано з другими входами цифрового комутатора, треті входи об'єднано з блоком оперативної пам'яті, четвертий вхід цифрового обчислювального пристрою з'єднано з шиною керуючих сигналів блока

керування, виходи цифрового обчислювального пристрою з'єднано з регістром, виходи регістра під'єднано до входів основного цифро-аналогового перетворювача, виходи цифрового комутатора з'єднано з входами основного цифро-аналогового перетворювача, перші входи регістра з'єднано з виходами блока керованої розгортки коду, вхід якого з'єднано з шиною керуючих сигналів блока керування, другі входи регістра з'єднано з виходом першого регістра послідовного наближення, третій вхід регістра з'єднано з шиною керуючих сигналів блока керування, перший вхід першого регістра послідовного наближення з'єднано з шиною керуючих сигналів блока керування, другий вхід першого регістра послідовного наближення з'єднано з інформаційною шиною результату порівняння схеми порівняння, вихід основного цифро-аналогового перетворювача з'єднано з входом аналогового комутатора, перший вихід якого є вихідною шиною, а другий вихід з'єднано з першим аналоговим входом схеми порівняння, входи додаткового цифро-аналогового перетворювача об'єднано з виходами другого регістра послідовного наближення, вихід схеми порівняння з'єднано з інформаційною шиною результату порівняння, яку з'єднано з другими входами другого регістра послідовного наближення, перші входи другого регістра послідовного наближення з'єднано з шиною керуючих сигналів блока керування.

Корисна модель відноситься до галузі цифрової вимірювальної і обчислювальної техніки і може бути використана для перетворення цифрових величин в аналогові.

Відомий цифро-аналоговий перетворювач [А.с. СРСР №864548, М. кл. H03K13/02, бюл. №34, 15.09.81], що містить вхід перетворювача, регістр, цифровий комутатор ключові елементи, блок еталонних величин, пристрій підсумовування, блок розгортки коду, блок згортки коду, блок логічних елементів, блок виділення різниці, блок керування, перший вихід цифро-аналогового перетворювача, другий вихід цифро-аналогового перетворювача,

причому вхід цифро-аналогового перетворювача з'єднаний з першим входом регістра, вихід регістра з'єднаний з першим входом блоку розгортки коду і першим інформаційним входом цифрового комутатора, що здійснює підключення до входів ключових елементів виходу регістра або першого виходу блоку розгортки коду., вихід цифрового комутатора з'єднаний з керуючими входами ключових елементів, інформаційні входи яких з'єднані з виходами блоку еталонних величин, виходи ключових елементів з'єднані з входами пристрою підсумовування, вихід якого з'єднаний з входом блоку виділення різниці, перший вихід блоку розгортки

(13) U

(11) 41315

(19) UA

коду з'єднаний з другим інформаційним входом цифрового комутатора и першим входом блоку логічних елементів, другий вихід блоку розгортки коду з'єднаний з першим входом блоку згортки коду, вихід блоку згортки коду з'єднаний з другим входом блоку логічних елементів., вихід блоку пристрою підсумовування є першим виходом цифро-аналогового перетворювача. Вихід блоку логічних елементів є другим виходом цифро-аналогового перетворювача, перший, другий, третій, четвертий і п'ятий виходи блоку управління з'єднані відповідно з другим входом регістру, з керуючим третім входом цифрового комутатора, другим входом блоку розгортки коду, другим входом блоку згортки коду і третім входом блоку логічних елементів.

Недоліком цього пристрою є низька надійність роботи в умовах дії поступових відмов, що призводить до збільшення похибки перетворення.

За прототип обрано цифро-аналоговий перетворювач [А.с. СРСР №1216829, М. кл. Н03М1/66, бюл. №9, 07.03.86], що містить вхідну шину, цифровий комутатор, перший регістр, блок елементів І, блок згортки-розгортки коду, блок елементів АБО, блок розгортки коду, блок визначення знака коду, блок пам'яті, блок адресації, блок керування, другий регістр, додатковий цифро-аналоговий перетворювач, схему порівняння, основний цифро-аналоговий перетворювач, третій регістр, вихідну шину, причому перший вихід блоку керування підключений до керуючого входу цифрового комутатора, другий вихід блоку керування під'єднаний до керуючого входу першого регістра, треті виходи підключені до відповідних керуючих входів блоку розгортки коду, четвертий вихід підключений до керуючого входу блоку пам'яті, керуючі входи блоку згортки-розгортки коду підключені до відповідних п'ятих виходів блоку керування, виходи блоку згортки-розгортки коду підключені до відповідних інформаційних входів блоку пам'яті, першим входам блоку елементів І, першим входом блоку елементів АБО, першим інформаційним входом цифрового комутатора, другі інформаційні входи якого є відповідними вхідними шинами перетворювача, виходи відключені до відповідних інформаційних входів першого регістра, виходи якого підключені до відповідних першим інформаційним входам блоку згортки-розгортки коду, другі інформаційні входи якого об'єднані з відповідними першими інформаційними входами блоку розгортки коду, що відповідають першим входам блоку керування і підключені до відповідних виходів блоку елементів І, треті інформаційні входи об'єднані з відповідними другими інформаційними входами блоку розгортки коду і підключені до відповідних виходів блоку елементів АБО, другі входи якого об'єднані з відповідними другими входами блоку елементів І, що відповідають входам блоку визначення знака коду і підключені до відповідних виходів блоку розгортки коду, треті інформаційні входи якого підключені до відповідних виходів блоку пам'яті, входи адреси якого підключені до відповідних виходів блоку адресації, керуючі входи якого підключені до відповідних шостих виходів блоку управління, другий вхід якого підключений до виходу блоку визначення

знаку коду, сьомі виходи підключені до відповідних керуючих входів другого регістра, виходи якого підключені до відповідних входів додаткового цифро-аналогового перетворювача, вихід якого підключений до першого входу блоку порівняння, другий вхід якого підключений до виходу основного цифро-аналогового перетворювача, вихід підключений до третього входу блоку керування, четвертий вхід якого є шиною «Запуск», восьмі виходи підключені до відповідних керуючих входів третього регістра, виходи якого підключені до відповідних входів основного цифро-аналогового перетворювача.

Недоліком цього пристрою є низька надійність роботи в умовах дії поступових відмов, що призводить до збільшення похибки перетворення.

В основу корисної моделі поставлено задачу створення цифро-аналогового перетворювача (ЦАП), в якому за рахунок введення нових блоків і зв'язків між ними досягається підвищення відмовостійкості перетворення, що підвищує загальну надійність роботи пристрою.

Поставлена задача досягається тим, що у цифро-аналоговий перетворювач, що містить вхідну шину, регістр, цифровий комутатор, блок керування, додатковий цифро-аналоговий перетворювач, схему порівняння, основний цифро-аналоговий перетворювач, вихідну шину причому перші інформаційні входи цифрового комутатора є вхідною шиною, виходи цифрового комутатора під'єднані до регістра, вихід додаткового цифро-аналогового перетворювача з'єднано з другим аналоговим входом схеми порівняння, введено блок постійної пам'яті, блок оперативної пам'яті, цифровий обчислювальний пристрій, аналоговий комутатор, перший і другий регістри послідовного наближення, блок керованої розгортки коду, причому виходи блоку постійної пам'яті з'єднані з першими входами цифрового обчислювального пристрою, другі входи цифрового обчислювального пристрою об'єднані з другими входами цифрового комутатора, треті входи об'єднані з блоком оперативної пам'яті, четвертий вхід цифрового обчислювального пристрою з'єднано з шиною керуючих сигналів блоку керування, виходи цифрового обчислювального пристрою з'єднані з регістром, виходи регістра під'єднані до входів основного цифро-аналогового перетворювача, виходи цифрового комутатора з'єднані з входами основного цифро-аналогового перетворювача, перші входи регістра з'єднані з виходами блоку керованої розгортки коду, вхід якого з'єднано з шиною керуючих сигналів блоку керування, другі входи регістра з'єднані з виходом першого регістра послідовного наближення, третій вхід регістра з'єднано з шиною керуючих сигналів блоку керування, перший вхід першого регістра послідовного наближення з'єднано з шиною керуючих сигналів блоку керування, другий вхід першого регістра послідовного наближення з'єднано з інформаційною шиною результату порівняння схеми порівняння, вихід основного цифро-аналогового перетворювача з'єднано з входом аналогового комутатора, перший вихід якого є вихідною шиною, а другий вихід з'єднано з першим аналоговим входом схеми порівняння,

входи додаткового цифро-аналогового перетворювача об'єднано з виходами другого регістра послідовного наближення, вихід схеми порівняння з'єднано з інформаційною шиною результату порівняння, яку з'єднано з другими входами другого регістра послідовного наближення, перші входи другого регістра послідовного наближення з'єднано з шиною керуючих сигналів блоку керування.

На Фіг.1 представлено структурну схему цифро-аналогового перетворювача, на Фіг.2 представлено модель розрядної сітки ЦАП у режимі самокалібрування, на Фіг.3 представлено граф-схему процесу самокалібрування з осередненням на розгортках.

Пристрій містить вхідну шину 1, цифровий комутатор 3, цифровий обчислювальний пристрій 4, блок постійної пам'яті 2, блок оперативної пам'яті 5, регістр 8, основний цифро-аналоговий перетворювач 11, перший регістр послідовного наближення 9, блок керованої розгортки коду 12, аналоговий комутатор 13, схему порівняння 14, додатковий цифро-аналоговий перетворювач 15, другий регістр послідовного наближення 16, блок керування, вихідну шину 17, причому перші інформаційні входи цифрового комутатора 3 є вхідною шиною 1, виходи цифрового комутатора 3 під'єднано до регістра 8 і входів основного цифро-аналогового перетворювача 11, другі входи цифрового комутатора 3 з'єднано з другими входами цифрового обчислювального пристрою 4, виходи блоку постійної пам'яті 2 з'єднано з першими входами цифрового обчислювального пристрою 4, треті входи якого об'єднано з блоком оперативної пам'яті 5, четвертий вхід цифрового обчислювального пристрою 4 з'єднано з шиною керуючих сигналів 7 блоку керування, виходи цифрового обчислювального пристрою 4 з'єднано з регістром 8, перші входи регістра 8 з'єднано з виходами блоку керованої розгортки код 12, вхід якого з'єднано з шиною керуючих сигналів 7 блоку керування, другі входи регістра 8 з'єднано з виходами першого регістра послідовного наближення 9, третій вхід регістра з'єднано з шиною керуючих сигналів 7 блоку керування, перший вхід першого регістра послідовного наближення 9 з'єднано з шиною керуючих сигналів 7 блоку керування, другий вхід першого регістра послідовного наближення 9 з'єднано з інформаційною шиною результату порівняння 10 схеми порівняння 14, вихід основного цифро-аналогового перетворювача 11 з'єднано з входом аналогового комутатора 13, перший вихід якого є вихідною шиною 17, а другий вихід з'єднано з першим аналоговим входом схеми порівняння 14, другий аналоговий вхід схеми порівняння 14 з'єднано з виходом додаткового цифро-аналогового перетворювача 15, входи якого об'єднано з виходами другого регістра послідовного наближення 16, вихід схеми порівняння 14 з'єднано з інформаційною шиною результату порівняння 10, яку з'єднано з другим інформаційним входом інформаційним другим регістрів послідовного наближення 16. перший інформаційний вхід другого регістра послідовного наближення 16 з'єднано з шиною керуючих сигналів 7 блоку керування 6.

Пристрій працює таким чином

Основний ЦАП 11 і додатковий ЦАП 15 виконані на основі позиційних систем числення із ваговою надлишковістю. Наявність в розрядах таких перетворювачів відхилень від номінальних значень ваг розрядів не призводить до розриву характеристики перетворення і дає можливість виконувати процедуру самокалібрування. У позиційних системах числення із ваговою надлишковістю будь-яке число можна зобразити у вигляді:

$$D = \sum_{i=0}^{n-1} a_i \cdot Q_i,$$

де $a_i \in \{1,1\}, \{0,1\}$ - розрядні коефіцієнти або алфавіт системи числення, $i=0,1,2,\dots, n-1$ - номер розряду, Q_i - вага i -го розряду.

Залежно від закону завдання значення ваги i -го розряду по відношенню до молодших $Q_i=f(Q_{i-1}, Q_{i-2}, \dots, Q_{i-k})$ можна поділити позиційні системи числення із ваговою надлишковістю на системи з природним і штучним набором ваг розрядів. Природний набір - це такий, в якому існує постійне співвідношення між вагами розрядів, зокрема:

$$Q_i = \alpha \cdot Q_{i-1} = \alpha^2 \cdot Q_{i-2} = \alpha^3 \cdot Q_{i-3} = \dots = \alpha^i \cdot Q_0,$$

де $\alpha = \frac{Q_i}{Q_{i-1}}$ - основа системи числення. При-

кладом позиційних систем числення із ваговою надлишковістю із природним набором ваг розрядів є позиційні системи числення на базі золотої пропорції $\alpha = 1,618$ або відношенні Коца $\alpha = 1,84$; або $\alpha = \sqrt{2}$ та ін.

Для надлишкових позиційних систем числення (НПСЧ) зі штучним набором вага кожного розряду формується у рамках базису $Q_0, Q_1, Q_2, \dots, Q_{n-1}$ як певна сума ваг молодших розрядів

$$Q_i = Q_{i-1} + Q_{i-2} + \dots + Q_{i-k},$$

де k - деяке ціле число. Можна вважати, що в цьому випадку набір ваг розрядів - це базис. Прикладом такого базису може бути набір ваг розрядів, пропорційних числам, значення яких пропорційні дубльованому війковому ряду типу 1; 1; 2; 2; 4; 4; ... $2^{n-1}, 2^{n-1}$, p -числам.

p - це степінь характеристичного рівняння $x^{p+1} + x^p - 1 = 0$, додатний корінь якого визначає α . При $p=0$ дана НПСЧ вироджується у двійкову систему числення, $p=1$ - систему класичної золотої пропорції ($\alpha \approx 1,618$), $p=2$ - код Коца ($\alpha \approx 1,84$), $p = \infty$ - одиничний код.

Вагова надлишковість характеризується як перевищення суми ваг молодших розрядів над вагою старшого розряду у вигляді:

$$Q_i \leq \sum_{j=0}^{n-1} Q_j.$$

Причому, абсолютне значення вагової надлишковості визначається як:

$$\Delta \tilde{Q}_i = \sum_{j=0}^{i-1} Q_j - Q_i.$$

Відносна вагова надлишковість характерна для НПСЧ із природним розташуванням ваг розрядів, оскільки її значення не залежить від номера розряду і розраховується у вигляді:

$$\delta\tilde{Q} = \frac{\sum_{j=0}^{i-1} Q_j - Q_i}{\sum_{j=0}^i Q_j} \approx \frac{2-\alpha}{\alpha}$$

У табл. 1 наведено значення відносної вагової надлишковості для НПСЧ з різними α .

Таблиця 1

Максимальне значення відносної вагової надлишковості

α	2	1,9	1,84	1,70	1,618	1,6	1,5	1,41	1,3
$\delta\tilde{Q}_{\text{макс.}} (\%)$	0	5,29	11,11	17,65	23,62	25,00	33,33	41,4	53,8

Пристрій працює в двох режимах: основного перетворення і самокалібрування із осередненням на розгортках. У режимі самокалібрування з осередненням на розгортках пристрій реалізується по процедурі, що передбачає визначення, коригування і зберігання відкоригованих значень ваг розрядів у цифровій формі, зокрема, із зображенням цифрових еквівалентів відкаліброваних ваг розрядів у вигляді двійкових кодів у блоці оперативної пам'яті 5.

Термін «самокалібрування» означає визначення відхилень ваг старших розрядів шляхом послідовного порівняння ваги поточного розряду із сумою певної групи сусідніх молодших розрядів. Це порівняння базується на основі існуючих між розрядами математичних співвідношень. Результати самокалібрування можуть багатократно використовуватися у процесі основного перетворення або вимірювання аж доти, поки внаслідок змінення параметрів аналогових вузлів пристрою не виникне потреба здійснювати повторне самокалібрування. При цьому розрядна сітка основного ЦАП 11 умовно розбивається на групу «неточних» старших розрядів і «точних» молодших (Фіг.2). Всі ваги розрядів мають однаковий технологічний допуск δQ , причому досить значний - $1 \div 10\%$, що значно спрощує технологію виготовлення аналогових вузлів.

Належність до «точних» молодших розрядів вибирається з умови:

$$\Delta Q_{i\text{макс}} \leq 0,5 \cdot Q_0,$$

де $\Delta Q_{i\text{макс}}$ - максимальне значення абсолютної похибки і-го розряду, що залежить від технологічного допуску δQ на відхилення від ідеального значення ваги і-го розряду $Q_{i\text{ід}}$:

$$\Delta Q_{i\text{макс}} = \delta Q \cdot Q_{i\text{ід}}.$$

Після виготовлення основного ЦАП 11 кодові еквіваленти номінальних ваг розрядів записуються

	n-1	...	i+1	i
$A'_{\text{кал } i}$	0	...	0	1
$A''_{\text{кал } i}$	0	...	0	0

На виході основного ЦАП 11 при цьому з'являється аналоговий сигнал $A''_{\text{кал } i}$, що рівний вазі розрядів Q_{i-1} і Q_{i-2} . По команді блоку 6 керування з допомогою додаткового ЦАП 15 і другого регістра послідовного наближення 16 проводиться довір-

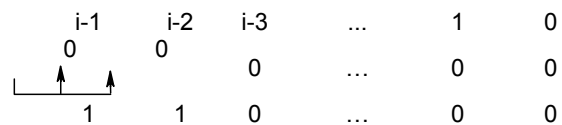
в блоці постійної пам'яті 2 і в подальшому використовуються для самокалібрування.

Визначення реальних ваг розрядів відбувається послідовно з молодших «неточних» розрядів до старших.

Визначення коду реальної ваги розряду $K(Q_i)$ починається з (n-m)-го молодшого із «неточних» розрядів і проводиться протягом кількох циклів з подальшим осередненням результатів, отриманих на кожному циклі. Виконання осереднень здійснюється завдяки можливості у НПСЧ зображувати те саме число багатьма кодовими комбінаціями. Для цього використовується операція розгортки, що реалізуються блоком керованої розгортай коду 12. Наприклад, для золотої пропорції ($\alpha=1,618$) і кодів Фібоначчі операція розгортки полягає в заміні одиниці і-го розряду одиницями в (i-1)-му і (i-2)-му розрядах. Розгортка позначається значком $\uparrow\uparrow$. У результаті проведення всіх можливих розгортків отримується повністю розгорнута форма коду.

Розглянемо роботу алгоритму для НПСЧ з $\alpha=1,618$.

По команді блоку 6 керування перший регістр послідовного наближення 9 встановлює одиницю в першому (n-m)-ому розряді регістра 8. На виході основного ЦАП 11 при цьому з'являється аналоговий сигнал $A'_{\text{кал } i}$, що рівний вазі даного розряду. В режимі самокалібрування аналоговий комутатор 13 з'єднує вихід основного ЦАП 11 і перший вхід схеми порівняння 14. По команді блоку 6 керування з допомогою додаткового ЦАП 15 і другого регістра послідовного наближення 16 відбувається врівноваження сигналу на першому вході схеми порівняння 14 з точністю до молодшого кванту. Сигнал на другому вході схеми порівняння 14 фіксується. По команді блоку 6 керування через блок керованої розгортки коду 12 проводиться розгортка розряду, що встановлений в регістрі 8.



новаження з точністю до молодшого кванту аналогового сигналу $A''_{\text{кал } i}$ на першому вході схеми порівняння 14.

Якщо $A'_{\text{кал } i} \geq A''_{\text{кал } i}$, то довірноваження не буде виконуватись і в другому регістрі послідовного

наближення 16 фіксується код, що відповідає $A'_{\text{кал } i}$. Якщо ж $A'_{\text{кал } i} < A''_{\text{кал } i}$, то виконається довірвноваження і в другому регістрі послідовного наближення 16 встановиться код, що відповідає $A'_{\text{кал } i}$.

При цьому на другому вході схеми порівняння 14 фіксується аналоговий сигнал $A_{\text{кал } i}$ виходячи з такої умови:

$$A_{\text{кал } i} = \begin{cases} A'_{\text{кал } i}, & \text{якщо } A'_{\text{кал } i} \geq A''_{\text{кал } i} \\ A''_{\text{кал } i}, & \text{якщо } A'_{\text{кал } i} < A''_{\text{кал } i} \end{cases}$$

Далі виконується подвійне врівноваження $A_{\text{кал } i}$. По команді блоку 6 керування через шину керування сигналів 7 старший розряд першого регістра послідовного наближення 9 встановлюється в одиничний стан і переписується в регістр 8. На виході основного ЦАП 11 з'являється аналоговий сигнал A_k , що рівний вазі старшого розряду Q_n основного ЦАП 11. З допомогою схеми порівняння 14 виконується порівняння A_k і $A_{\text{кал } i}$. Вихідний сигнал a_i що з'являється на шині результату порівняння 10 схеми порівняння 14, відповідає умові:

$$a_i = \begin{cases} 0, & \text{якщо } A_k > A_{\text{кал } i} \\ 1, & \text{якщо } A_k \leq A_{\text{кал } i} \end{cases}$$

Якщо в результаті порівняння $\alpha_{i-1} = 1$, то n -ий розряд в першому регістрі послідовного наближення 9 залишається в одиничному стані. Далі відбувається вмикання наступного $(n-1)$ -го розряду. При цьому компенсуючий аналоговий сигнал A_k буде рівним сумі величин Q_n і Q_{n-1} . Якщо ж $\alpha_{i-1} = 0$, то n -ий розряд в першому регістрі послідовного наближення 9 скидається в нульовий стан і також вмикається наступний $(n-1)$ -ий розряд, при цьому $A_k = Q_{n-1}$.

Далі відбувається порівняння аналоговий сигналів A_k і $A_{\text{кал } i}$.

	n-1	...	i+1	i	i-1	i-2	i-3	i-3	...	0
$A'_{\text{кал } i}$	0	...	0	1	0	0	0	0	...	0
$A''_{\text{кал } i}$	0	...	0	0	1	1	0	0	...	0
$A'''_{\text{кал } i}$	0	...	0	0	1	0	1	1	...	0

На виході основного ЦАП 11 встановлюється відповідний аналоговий сигнал $A'''_{\text{кал } i}$, що по команді блоку 6 керування довірвноважується з допомогою другого регістра послідовного наближення 16 і додаткового ЦАП 15. Якщо $A''_{\text{кал } i}$, код якого знаходиться в другому регістрі послідовного наближення 16, більше $A'''_{\text{кал } i}$ то довірвноваження не буде виконуватись і в другому регістрі послідовного наближення 16 фіксується код, що відповідає $A''_{\text{кал } i}$. Якщо ж $A''_{\text{кал } i} < A'''_{\text{кал } i}$, то виконається довірвноваження і в другому регістрі послідовного наближення 16 встановиться код, що відповідає $A'''_{\text{кал } i}$.

Тобто на другому вході схеми порівняння 14 фіксується аналоговий сигнал $A_{\text{кал } i}$ виходячи з такої умови:

$$A_{\text{кал } i} = \begin{cases} A''_{\text{кал } i}, & \text{якщо } A''_{\text{кал } i} \geq A'''_{\text{кал } i} \\ A'''_{\text{кал } i}, & \text{якщо } A''_{\text{кал } i} < A'''_{\text{кал } i} \end{cases}$$

Перетворення здійснюється за n етапів порівняння. Величина компенсуючого аналогового сигналу A_k визначається як

$$A_{k_i} = \sum_{i=0}^{n-1} a_i \cdot Q_i,$$

де a_i - вихідний сигнал схеми порівняння на i -ому кроці врівноваження, Q_i - вага i -го розряду основного ЦАП 11.

Результат $K'(Q_i)$ першого кодування зберігається в блоці оперативної пам'яті 5

$$K'(Q_i) = \sum_{i=0}^{n-1} a_i \cdot K_i,$$

де K_i - код ідеальної ваги розряду, що зберігається в блоці постійної пам'яті 2.

Під час другого врівноваження відбувається повторне врівноваження $A_{\text{кал } i}$ з допомогою першого регістра послідовного наближення 9, регістра 8 і основного ЦАП 11, причому в процесі врівноваження блок 6 керування видає сигнал, що забороняє вмикання i -то розряду, що калібрується. Код другого врівноваження $K''(Q_i)$ зберігається в блоці оперативної пам'яті 5. По отриманим кодам цифровий обчислювальний пристрій 4 знаходить код $\Delta K'(Q_i)$ відхилення i -го розряду

$$\Delta K'(Q_i) = \sum_{i=0}^{n-1} a_i \cdot K_i - \sum_{i=0}^{n-1} a_i \cdot K_i,$$

що фіксується в блоці оперативної пам'яті. На цьому перше з k калібрувань i -го розряду закінчується.

По команді блоку 6 керування перший регістр послідовного наближення 9 встановлює одиницю в першому g -ому молодшому «неточному» розряді регістра 8. Блок керованої розгортки коду 12 виконує дві послідовних розгортки коду, що встановлений в регістрі 8.

Далі виконується подвійне врівноваження $A_{\text{кал } i}$ з допомогою першого регістра послідовного наближення 9, регістра 8, основного ЦАП 11 з блокування вмикання розряду, що калібрується, під час другого врівноваження. Отримується два коди, з допомогою яких в цифровому обчислювальному пристрої 4 визначається код $\Delta K''(Q_i)$ відхилення i -го розряду

$$\Delta K''(Q_i) = \sum_{i=0}^{n-1} a_i \cdot K_i - \sum_{i=0}^{n-1} a_i \cdot K_i,$$

Таким чином виконуються всі можливі k розгортки z -го розряду, що калібрується, з допомогою блоку керованої розгортки коду 12, і в блоці оперативної пам'яті 5 фіксується множина $\Delta K(Q_i) \in \{\Delta K'(Q_i), \Delta K''(Q_i), \dots, \Delta K^k(Q_i)\}$ на основі якої в цифровому обчислювальному пристрої 4 шляхом осереднення визначається код поправки i -го розряду у вигляді

$$\Delta\tilde{K}(Q_i) = \frac{\sum_{j=1}^k \Delta K^j(Q_i)}{k}$$

Визначення коду реальної ваги розряду $K(Q_i)$, що зафіксується в блоці

оперативної пам'яті 5 і використовується в процесі основного перетворення відбувається в цифровому обчислювальному пристрої:

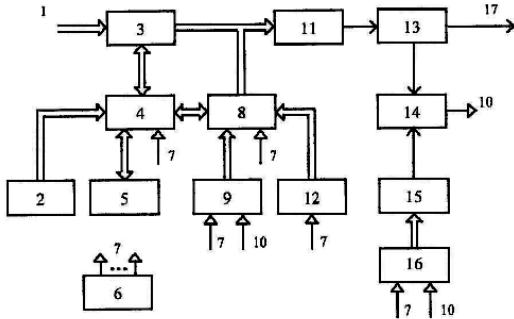
$$K(Q_i) = K(Q_{i id}) + \Delta\tilde{K}(Q_i),$$

де $K(Q_{i id})$ - код ідеальної ваги розряду, що знаходиться в блоці постійної пам'яті 2.

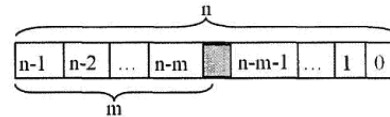
Визначення кодів реальних ваг розрядів інших «неточних» розрядів відбувається аналогічно з врахуванням раніше визначених кодів ваг молодших «неточних» розрядів. Після калібрування всіх T «неточних» розрядів режим самокалібрування

закінчується. Граф схему алгоритму самокалібрування з осередненням на розгортках представлено на Фіг.3.

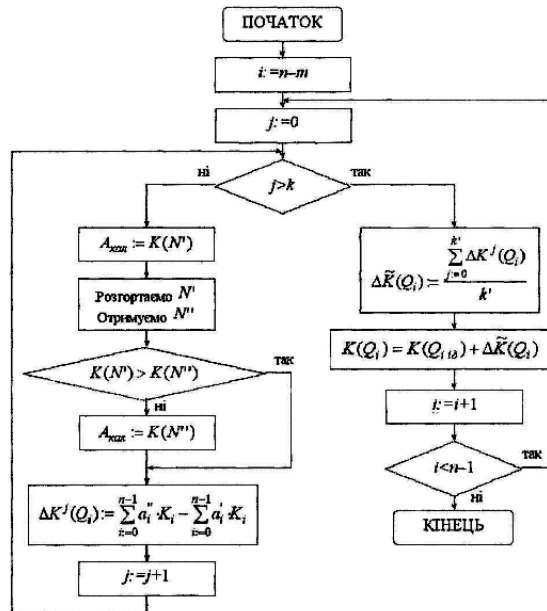
В режимі безпосереднього перетворення аналоговий комутатор 13 перемикає вихід основного ЦАП 11 на вихідну шину 17. Вхідний код поступає на вхідну шину 1 і через цифровий комутатор 3 - в цифровий обчислювальний пристрій 4. Далі виконується порівняння вхідного коду з кодами реальних ваг розрядів основного ЦАП 11, що знаходяться в блоці оперативної пам'яті 5. Результат порівняння - робочий код, що фіксується в регістрі 8 і подається на вхід основного ЦАП 11. На вихідній шині 17 через аналоговий комутатор 13 з'являється аналогова величина, що відповідає вхідному коду.



Фіг. 1



Фіг. 2



Фіг. 3