



УКРАЇНА

(19) UA (11) 40452 (13) U
(51) МПК
G06G 7/60 (2009.01)МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬвидається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ МОДЕЛЮВАННЯ НЕЙРОНА

1

(21) u200812896

(22) 05.11.2008

(24) 10.04.2009

(46) 10.04.2009, Бюл. № 7, 2009 р.

(72) МАРТИНЮК ТЕТЯНА БОРИСІВНА, UA, КОЛІСНИК ПЕТРО ФЕДОРОВИЧ, UA, ФОФАНОВА НАТАЛЯ ВОЛОДИМИРІВНА, UA, ОНАЧЕНКО МАРАТ СЕРГІЙОВИЧ, UA

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, UA

(57) Пристрій для моделювання нейрона, який містить блоки моделювання синапсів, що складаються з послідовно з'єднаних узгоджувачих елементів, елементів затримки і масштабуючих елементів, виходи яких є виходами блоків моделювання синапсів, входами яких є входи узгоджувачих елементів, адитивний суматор, блок моделювання викликаних постсинаптичних потенціалів, формувач імпульсів, послідовно з'єднані перший перетворювач частоти в напругу, компаратор, другий

2

перетворювач частоти в напругу, релейний елемент, причому виходи блоків моделювання синапсів з'єднані з входами адитивного суматора, вихід якого з'єднаний з першим входом блока моделювання викликаних постсинаптичних потенціалів, вихід формувача імпульсів є виходом пристрою і з'єднаний з другим входом блока моделювання викликаних постсинаптичних потенціалів, вхід першого перетворювача частоти в напругу з'єднаний з виходом формувача вихідних імпульсів, а вихід релейного елемента з'єднаний з третім входом блока моделювання викликаних постсинаптичних потенціалів, який **відрізняється** тим, що в нього введено адаптивний суматор, перший і другий входи якого з'єднані з відповідними виходами блока моделювання викликаних постсинаптичних сигналів, вихід підключений до входу формувача імпульсів, а третій вхід з'єднаний з входом завдання порога пристрою.

Корисна модель відноситься до нейрокібернетики і може бути використана при дослідженні нервової системи методами моделювання, а також у керуючих та інтелектуальних системах.

Відомий пристрій для моделювання нейрона [а.с. СРСР №1691858, кл. G 06 G7/60, 1991р., Бюл. №42], який містить послідовні ланки у вигляді формувачів вхідних сигналів, перетворювачів частоти у напругу і блоків завдання вагових коефіцієнтів, гальмуючі і збуджуючі входи пристрою з'єднані з входами формувачів вхідних сигналів, перший суматор, входи якого підключені до виходів блоків завдання вагових коефіцієнтів, функціональний перетворювач, перетворювач напруги в частоту і керований формувач спайку, що з'єднані послідовно, вихід керованого формувача є виходом пристрою, другий суматор і пороговий елемент, вихід якого з'єднаний з першим входом суматора, другий вхід якого з'єднаний з виходом функціонального перетворювача, а вихід з'єднаний з другим входом керованого формувача, третій і четвертий суматори, п'ятий суматор з двома входами, групу нелінійних елементів за числом збуджуючих і гальмуючих входів пристрою, які розділені і через відповідні послідовні ланки з'єднані з входами

першого і другого суматорів, виходи яких з'єднані з входами третього суматора, вихід якого з'єднаний з входами функціонального перетворювача і порогового елемента, збуджуючі входи пристрою через відповідні послідовні ланки з'єднані з входами нелінійних елементів, входи яких з'єднані з входами четвертого суматора, вихід якого з'єднаний з третім входом п'ятого суматора.

Недоліком даного пристрою є складність його структури.

Найбільш близьким за технічної суттю є пристрій для моделювання нейрона [а.с. СРСР №1645973, кл. G 06 G7/60, 1991 р., Бюл. №16], який містить блоки моделювання синапсів, що складаються з послідовно з'єднаних узгоджувачих елементів, елементів затримки і масштабуючих резисторів, в подальшому масштабуючих елементів, виходи яких є виходами блоків моделювання синапсів, входами яких є входи узгоджувачих елементів, адитивний суматор, блок моделювання викликаних постсинаптичних потенціалів, елемент порівняння, блок завдання порога і формувач імпульсів, послідовно з'єднані перший перетворювач частоти в напругу, компаратор, другий перетворювач частоти в напругу, релейний елемент, причому

(19) UA (11) 40452 (13) U

виходи блоків моделювання синапсів з'єднані з входами адитивного суматора, вихід якого з'єднаний з першим входом блока моделювання викликаних постсинаптичних потенціалів, вихід якого з'єднаний з першим входом елемента порівняння, вихід якого з'єднаний з входом формувача імпульсів і блоком завдання порога, вихід якого з'єднаний з другим входом елемента порівняння, вихід формувача імпульсів є виходом пристрою і з'єднаний з другим входом блока моделювання викликаних постсинаптичних потенціалів, вхід першого перетворювача частоти в напругу з'єднаний з виходом формувача вихідних імпульсів, а вихід релейного елемента з'єднаний з третім входом блока моделювання викликаних постсинаптичних потенціалів.

Недоліком даного пристрою є складність його структури.

В основу корисної моделі поставлено задачу створення пристрою для моделювання нейрона, в якому за рахунок введення нового блока з розширеними функціональними можливостями та нових зв'язків досягається спрощення структури пристрою.

Поставлена задача вирішується тим, що у пристрій для моделювання нейрона, який містить блоки моделювання синапсів, що складаються з послідовно з'єднаних узгоджувачих елементів, елементів затримки і масштабуючих елементів, виходи яких є входами блоків моделювання синапсів, входами яких є входи узгоджувачих елементів, адитивний суматор, блок моделювання викликаних постсинаптичних потенціалів, формувач імпульсів, послідовно з'єднані перший перетворювач частоти в напругу, компаратор, другий перетворювач частоти в напругу, релейний елемент, причому виходи блоків моделювання синапсів з'єднані з входами адитивного суматора, вихід якого з'єднаний з першим входом блока моделювання викликаних постсинаптичних потенціалів, вихід формувача імпульсів є виходом пристрою і з'єднаний з другим входом блока моделювання викликаних постсинаптичних потенціалів, вхід першого перетворювача частоти в напругу з'єднаний з виходом формувача вихідних імпульсів, а вихід релейного елемента з'єднаний з третім входом блока моделювання викликаних постсинаптичних потенціалів, введено адаптивний суматор, перший і другий входи якого з'єднані з відповідними входами блока моделювання викликаних постсинаптичних сигналів, вихід підключений до входу формувача імпульсів, а третій вхід з'єднаний з входом завдання порога пристрою.

На Фіг.1 зображено функціональну схему пристрою для моделювання нейрона; на Фіг.2 наведено структуру адаптивного суматора.

Пристрій для моделювання нейрона (Фіг.1) містить блоки $1_1, \dots, 1_n$ моделювання синапсів, кожний з яких складається з узгоджувачого елемента 2 з послідовно з'єднаним елементом 3 затримки та масштабуючим елементом 4, адитивний суматор 5, блок 6 моделювання викликаних постсинаптичних потенціалів (ВПСП), який складається з двох перетворювачів 7, 8 напруги у тривалість і ключа 9, адаптивний суматор 10 з входами $11_1, 11_2$ і виходом 12, формувач 13 вихідних імпульсів, пер-

ший перетворювач 14 частоти в напругу, компаратор 15, другий перетворювач 16 частоти в напругу та релейний елемент 17. Крім того пристрій має вихід 18, групу входів $19_1, \dots, 19_n$, вхід 20 завдання порога.

Входи $19_1, \dots, 19_n$ є входами блоків $1_1, \dots, 1_n$, які, в свою чергу, складаються з послідовно з'єднаних узгоджувачого елемента 2, елемента 3 затримки та масштабуючого елемента 4. Виходи блоків $1_1, \dots, 1_n$ з'єднані з входами адитивного суматора 5, вихід якого з'єднаний з входом блока 6 моделювання ВПСП, який з'єднаний з входом перетворювачів 7 та 8 напруги у тривалість. Вихід перетворювача 7 напруги у тривалість з'єднаний з входом 11_1 адаптивного суматора 10 через ключ 9, вихід перетворювача 8 напруги у тривалість з'єднаний з входом 11_2 адаптивного суматора 10, третій вхід якого з'єднаний з входом 20 завдання порога. Вихід 12 адаптивного суматора 10 з'єднаний з входом формувача 13 вихідних імпульсів, вихід якого з'єднаний з виходом 18 пристрою, входом скиду перетворювачів 7 і 8 напруги у тривалість блока 6 моделювання ВПСП та входом першого перетворювача 14 частоти в напругу, вихід якого через компаратор 15 з'єднаний з входом другого перетворювача 16 частоти в напругу. Вихід другого перетворювача 16 частоти в напругу через релейний елемент 17 з'єднаний з керуючим входом ключа 9 блока 6 моделювання ВПСП.

Адаптивний суматор 10 (Фіг.2) містить три елементи I 21-23, два елементи АБО 24, 25, два елементи I-II 26, 27, два елементи 28, 29 затримки, модуль 30 пам'яті. Інформаційний вхід 11_1 підключений до перших входів елементів I 21 та АБО 24, а інформаційний вхід 11_2 з'єднаний з другими входами елементів I 21 та АБО 24, вхід 20 завдання порога через елемент 28 затримки з'єднаний з другими входами елементів I 22 та I-II 26. Перший вхід елемента I-II 26 з'єднаний з виходом елемента АБО 24, а вихід елемента 121 з'єднаний з інформаційним входом модуля 30 пам'яті. Вихід елемента I-II 26 підключений до перших входів елементів I 22 і 23, другі входи яких з'єднані відповідно з входами елемента 28 затримки і елемента АБО 24, вихід елемента I 22 підключений як до входу дозволу зчитування модуля 30 пам'яті, так і через елемент 29 затримки до другого входу елемента I-II 27, перший вхід якого з'єднаний з виходом модуля 30 пам'яті, а вихід з'єднаний з першим входом елемента АБО 25. Вихід елемента I 23 підключений як до входу заборони зчитування модуля 30 пам'яті, так і до другого входу елемента АБО 25, вихід якого є виходом 12 адаптивного суматора 10.

Пристрій для моделювання нейрона (Фіг.1) працює наступним чином.

На групу синаптичних входів $19_1, \dots, 19_n$ блоків $1_1, \dots, 1_n$, якими є входи узгоджувачих елементів 2, поступають вхідні збуджуючі та гальмуючі сигнали, які затримуються в елементах 3, масштабуються за амплітудою в масштабуючих елементах 4 і поступають на входи адитивного суматора 5 та сумуються в ньому з врахуванням знака. Сумарний сигнал подається на вхід блока 6 моделювання ВПСП, тобто на входи першого 7 та другого 8 пе-

ретворювачів напруги у тривалість. У початковому стані ключ 9 замкнено (при нульовому сигналі на керуючому вході), у зв'язку з чим виходи обох перетворювачів 7 і 8 підключені відповідно до входів 11_1 , 11_2 адаптивного суматора 10. Перетворювачі 7 та 8 забезпечують перетворення сигналів, які поступають з виходу адитивного суматора 5, у викликані постсинаптичні потенціали у вигляді певних тривалостей. Причому параметри перетворювачів 7 і 8 ідентифікуються на реальному об'єкті так, щоб динаміка цього перетворення для перетворювача 7 відповідала динаміці ВПСП ацетилхолінового медіатора, а для перетворювача 8 - динаміці ВПСП, викликаних медіатором нехолінергічного типу, динаміка перетворення в якому не зводиться до динамічних характеристик визволення холінергічного медіатора, тобто до характеристик перетворювача 7.

Сигнали з виходів перетворювачів 7 та 8 подаються на входи 11_1 , 11_2 адаптивного суматора 10 відповідно, де сумуються і порівнюються з величиною порога, що подається з входу 20 завдання порога. Якщо сума сигналів з виходів блока 6 моделювання ВПСП перевищує величину порога, то на виході 12 адаптивного суматора 10 формується різниця цих сигналів, яка подається на вхід формувача 13 вихідних імпульсів, який генерує спайк. Цей вихідний імпульс подається на входи скиду перетворювачів 7 та 8, де скидає викликані постсинаптичні потенціали.

Цей процес повторюється і в результаті на виході формувача 13 вихідних імпульсів спостерігається імпульсна послідовність спайків. Крім цього, послідовність спайків подається на вхід перетворювача 14 частоти в напругу, де відокремлюється середнє значення поточної частоти слідування вихідних спайків. Ця напруга поступає на вхід компаратора 15, який генерує прямокутний імпульс кожний раз, коли напруга з виходу перетворювача 14 дорівнює нулю. Якщо на виході 18 пристрою відбувається неперервна генерація спайків (з постійною або змінною частотою), напруга на виході перетворювача 14 не дорівнює нулю та імпульсів на виході компаратора 15 не спостерігається. Якщо ж стимуляція здійснюється таким чином, що призводить до генерування нейроном пачок імпульсів з поперемінними періодами мовчання, напруга, що пропорційна частоті цих імпульсів на виході перетворювача 14, періодично досягає нуля, що призводить кожний раз до спрацювання компаратора 15 і генерації ним визначеної послідовності імпульсів, які подаються на вхід другого перетворювача 16 частоти в напругу, на виході якого в результаті спостерігається напруга, що пропорційна частоті слідування цих імпульсів.

При достатній частоті пачок на виході 18 нейрона, починаючи з визначеної максимальної величини інтервалу мовчання між пачками, напруга, яка подається з виходу другого перетворювача 16 на вхід релейного елемента 17, перевищує поріг спрацювання останнього та на його виході виникає одиничний сигнал. Це призводить до розмикання ключа 9 у блоці 6 моделювання ВПСП. В результаті перетворення сумарного сигналу синаптичних входів $19_1, \dots, 19_n$ пристрою з виходу адитивного

суматора 5 у блоці 6 моделювання ВПСП здійснюється лише перетворювачем 8, який моделює динаміку нехолінергічних механізмів екзоцитоза. Параметри перетворювача 8 ідентифікуються за конкретним біологічним об'єктом в даному режимі стимуляції. У цьому випадку в адаптивному суматорі 10 порівнюється сигнал на вході 11_2 , що подається з виходу перетворювача 8, з величиною порога зі входу 20 пристрою, а їх різниця формується на виході 12 адаптивного суматора 10.

При переході до неперервної стимуляції, коли інтервал між пачками скорочується до деякого мінімального, який відповідає роздільній здатності пристрою, знову вмикається перетворювач 7 блока 6 моделювання ВПСП замиканням ключа 9 під дією нульового сигналу з виходу релейного елемента 17, що відповідає включенню холінергічних механізмів екзоцитоза. Пристрій встановлюється у початковий стан.

Адаптивний суматор 10 (Фіг.2) працює таким чином. Дані на інформаційні входи $11_1, 11_2$ і вхід 20 завдання порога адаптивного суматора 10 подаються у вигляді одиничних нормальних кодів, тобто як певні послідовності одиничних сигналів. В подальшому дані на інформаційних входах $11_1, 11_2$ позначимо як операнди А і В відповідно, дані на вході 20 завдання порога - як поріг Θ . Операнди А і В для порівняння подаються на відповідні входи $11_1, 11_2$ одночасно з величиною порога Θ на вхід 20. У випадку, коли присутні одиничні сигнали на обох входах елемента І 21, відбувається проходження одиничного сигналу на інформаційний вхід модуля 30 пам'яті. Таким чином у модуль 30 пам'яті записується загальна мінімальна величина С операндів А і В в одиничному нормальному коді, тобто

$$C = \min(A, B). \quad (1)$$

Одночасно одиничний сигнал присутній на виході елемента АБО 24 впродовж тривалості, яка дорівнює максимальній величині М обох операндів А і В, тобто

$$M = \max(A, B). \quad (2)$$

Таким чином, елементом І-НІ 26 величина М порівнюється з величиною порога 0, яка затримає на елементом 28 затримки на час спрацювання елемента АБО 24, тобто формується різниця А вигляду

$$\Delta = |\Theta - M|. \quad (3)$$

За допомогою елементів І 22 і 23 визначається приналежність цієї різниці А відповідно або до порога Θ , або до максимальної величини М (2) одного з операндів А, В. У першому випадку, коли різниця Δ відноситься до порога Θ , то одиничний сигнал певної тривалості Δ з'являється на виході елемента І 22. Він ініціює зчитування одиничного коду величини С (1) з модуля 30 пам'яті, будучи поданий на його вхід дозволу зчитування, а також затримується елементом 29 затримки на час затримки спрацювання модуля 30 пам'яті. Це забезпечує одночасне подання величини С і Δ на входи елемента І-НІ 27, який формує тривалість величини Δ_0 вигляду

$$\Delta_0 = |\Delta - C| \quad (4)$$

яка, проходячи через елемент АБО 25, з'являється на виході 12 адаптивного суматора 10.

У другому випадку, коли різниця А відноситься до величини М, то одиничний сигнал певної тривалості А з'являється на виході елемента І 23. Він ініціює заборону зчитування одиничного коду величини С (1) з модуля 30 пам'яті, будучи поданий на його вхід заборони зчитування, а також проходить через елемент АБО 25 на вихід 12 адаптивного суматора 10. Заборона зчитування величини С з модуля 30 пам'яті триває впродовж часу, що дорівнює величині Δ , потім зчитування дозволяється і величина С з виходу модуля 30 проходить через елемент І-НІ 27 на другий вхід елемента АБО 25 і також з'являється на виході 12 адаптивного суматора 10. Отже, в цьому випадку на виході 12 формується величина

$$\Delta_0 = \Delta + C \quad (5)$$

Покажемо, що обидві величини Δ_0 вигляду (4) і (5) представляють собою різницю

$$\Delta_0 = |\Theta - S| = |\Theta - (A + B)| \quad (6)$$

Оскільки суму S двох операндів можна подати таким чином

$$S = A + B = M + C, \quad (7)$$

то вираз (6) можна записати так

$$\begin{aligned} \Delta_0 &= |\Theta - S| = |\Theta - (M + C)| = |\Theta - M - C| = \\ &= |(\Theta - M) - C| = |\Delta - C| \end{aligned} \quad (8)$$

оскільки Δ визначається за формулою (3). Можливі два варіанти формування величини Δ_0 в залежності від знака величини Δ . Якщо $\Delta > 0$, тобто $\Theta > M$, то

$$\Delta_0 = |\Delta - C|. \quad (9)$$

Якщо $A < 0$, тобто $0 < M$, то

$$\Delta_0 = |\Delta + C|. \quad (10)$$

Розглянемо два приклади порогового оброблення в адаптивному суматорі 10. У першому випадку на входи 11₁, 11₂ і 20 подаються такі величини в одиничному нормальному коді:

операнд А=5: 1111100...0,

операнд В=3: 1110000...0,

пори́г Θ =6: 1111110...0.

На виході елемента І 21 формується величина С вигляду (1):

С=3: 1110000...0,

тобто $C = \min(A, B) = B$.

На виході елемента АБО 24 формується величина М вигляду (2):

М=5: 1111100...0,

тобто $M = \max(A, B) = A$.

Оскільки $\Theta > M$, то різниця А вигляду (3):

$\Delta = 1000000...0$

формується на виході елемента І 22 і запускає зчитування величини С з модуля 30 пам'яті. На виході елемента І-НІ 27 формується різниця вигляду (4):

$\Delta_0 = 0100000...0$,

тобто значення різниці Δ_0 дорівнює 2 і ця величина з'являється на виході 12 адаптивного суматора 10, проходячи через елемент АБО 25.

У другому випадку на входи 11₁, 11₂ і 20 подаються такі величини:

операнд А=5: 1111100...0,

операнд В=3: 1110000...0,

пори́г Θ =4: 1111000...0.

Величина С на виході елемента І 21 і величина М на виході елемента АБО 24 аналогічні таким самим значенням, як у першому випадку. Але оскільки $\Theta < M$ різниця Δ вигляду (3):

$\Delta = 1000000...0$

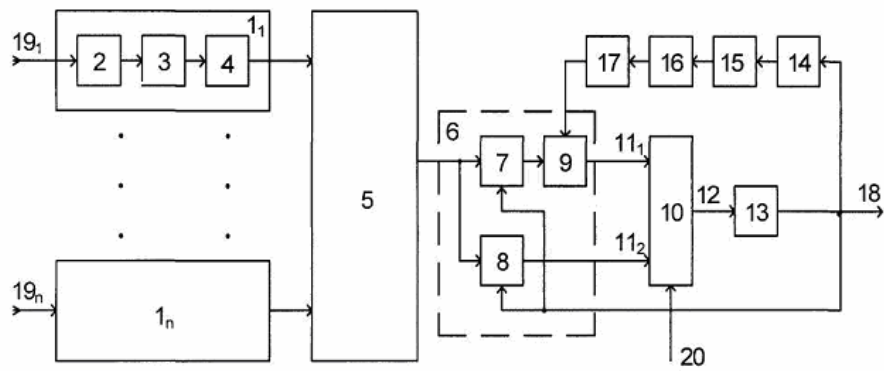
формується на виході елемента І 23 і заборона зчитування з модуля 30 пам'яті на проміжок часу, що дорівнює цій величині, тобто на 1τ . Одночасно величина Δ , проходячи через елемент АБО 25, з'являється на виході 12 адаптивного суматора 10.

Після закінчення дії величини Δ з виходу елемента І 23 дозволяється зчитування величини С з модуля 30 пам'яті. Ця величина проходить через елемент І-Ш 27, оскільки на його другому вході присутній нульовий сигнал, і через елемент АБО 25 на вихід 12 адаптивного суматора 10, де формується величина вигляду

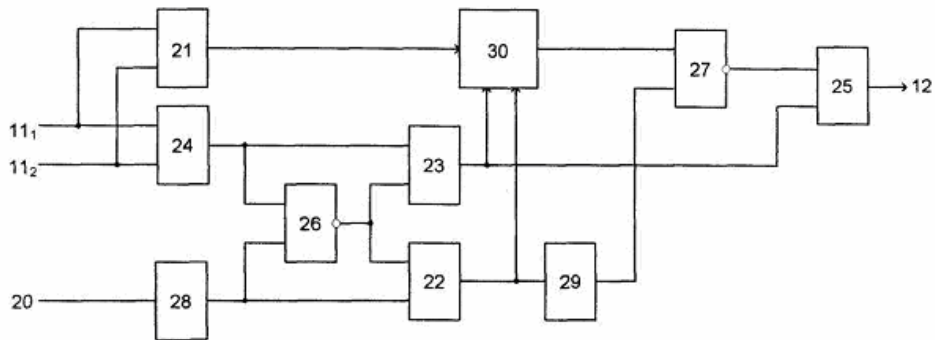
$\Delta_0 = 1111000...0$,

тобто значення різниці дорівнює 4.

Таким чином, введення адаптивного суматора у схему пристрою для моделювання нейрона замість суматора, елемента порівняння і блока задання порога дозволяє зменшити кількість задіяних елементів, тобто спростити структуру пристрою.



Фиг. 1



Фиг. 2