

МІНІСТЕРСТВО ОСВІТИ І НАУКИ, МОЛОДІ ТА СПОРТУ УКРАЇНИ

Вінницький національний технічний університет

ЧЕРНЯК ОЛЕКСАНДР ІВАНОВИЧ

УДК 681.325

**ПОТОКОВІ МЕТОДИ І ЗАСОБИ ПОВНОФУНКЦІОНАЛЬНОЇ ПОБІТОВОЇ
АРИФМЕТИКИ ЗІ ЗМЕНШЕНИМИ ВИТРАТАМИ ОБЛАДНАННЯ**

05.13.05 – комп'ютерні системи та компоненти

Автореферат
дисертації на здобуття наукового ступеня
кандидата технічних наук

Вінниця – 2013

Дисертацією є рукопис.

Робота виконана у Вінницькому національному технічному університеті
Міністерства науки і освіти, молоді та спорту України

Науковий керівник:

доктор технічних наук, професор
Азаров Олексій Дмитрович,
Вінницький національний технічний університет,
директор Інституту інформаційних технологій і комп'ютерної інженерії

Офіційні опоненти:

доктор технічних наук, професор
Тарасенко Володимир Петрович,
Національний технічний університет України
"Київський політехнічний інститут",
завідувач кафедри системного програмування
і спеціалізованих комп'ютерних систем

доктор технічних наук, старший науковий співробітник
Яковлев Юрій Сергійович,
Інститут кібернетики імені В. М. Глушкова НАН України,
завідувач відділу проблемно-орієнтованих комп'ютерів і систем

Захист відбудеться "22" "лютого" 2013 р. о 16.00 годині на засіданні спеціалізованої вченої ради Д 05.052.01 Вінницького національного технічного університету за адресою: 21021, м. Вінниця, Хмельницьке шосе, 95, ГНК, ауд. 210.

З дисертацією можна ознайомитись у бібліотеці Вінницького національного технічного університету за адресою: 21021, м. Вінниця, Хмельницьке шосе, 95, ГНК.

Автореферат розісланий "21" "січня" 2013 р.

Учений секретар
спеціалізованої вченої ради

В. А. Лужецький

ЗАГАЛЬНА ХАРАКТЕРИСТИКА РОБОТИ

Актуальність теми. Повнофункціональна побітова потокова обробка є одним із видів порозрядної обробки. Вона надає можливість побітового потокового виконання всіх арифметичних операцій, починаючи зі старших розрядів та суміщеного з ним побітового передавання інформації. Дана обробка застосовується для вирішення проблеми з'єднань у цифровій техніці, оскільки вона забезпечує мінімальну кількість довгих ліній інформаційних зв'язків, що найбільше впливають на цю проблему, як вказують Яковлев Ю. С. і Brown С.

Використання класичної двійкової системи числення для побітової обробки описано у наукових публікаціях таких авторів, як Шмойлов В. І., Andraka R. J., Crook D., Dittmann F., Fabris E. E., Ferguson L., Hariyama M., Isshiki T., Longa P., Retberg A., Turner L. E., Weber R. та ін. Даний вид обробки у двійковій системі числення застосовується при побудові засобів цифрової обробки сигналів на основі програмованих вентильних матриць та в обчислювальних системах з реконфігурацією. Крім того, побітова потокова обробка прогнозується для впровадження у таких перспективних електронних технологіях майбутнього, як одноквантова логіка (SFQ) і клітинні автомати на квантових точках (QCA). Побітова потокова обробка з використанням цих технологій описана у наукових працях таких авторів, як Зінов'єв Д., Свідіненко Ю., Almani I., Dimitrov V. S., Hara H., Ito M., Niemier M., Park H., Tanaka M., Yoshokawa N., Whitney J. та ін. Однак у класичній двійковій системі числення не можна виконувати повнофункціональну побітову обробку через неможливість побітового потокового ділення, необхідного при вирішенні багатьох задач. Використанню ділення у задачах цифрової обробки сигналів присвячені наукові публікації таких авторів, як Chiang J., Geraci A., Leal C., Parhi K. K., Roelser E. та ін.

Повнофункціональна порозрядна обробка на основі знакорозрядної двійкової системи числення розглянута у наукових працях таких українських учених, як Дичка І. А., Жабін В. І., Жабіна В. В., Корнійчук В. І., Кухарчук А. Г., Луцький Г. М., Тарасенко В. П., таких російських учених, як Гузік В. Ф., Левин І. І., Каляєв А. В., Станішевський О. Б., таких учених країн дальнього зарубіжжя, як Galli R., Obata K., Tanaka M., Tisserand A. та ін. Запропонована ними організація обчислень дозволяє у десятки разів зменшити витрати на обмін інформацією без значного зменшення продуктивності обчислювальних засобів. Проте двійкова знакорозрядна система числення використовує цифри з множини $\{-1, 0, 1\}$ і тому для передавання одного розряду потребує двох ліній інформаційного зв'язку.

Для організації повнофункціональної побітової потокової обробки потрібно використовувати надлишкові системи числення, що мають цифри з множини $\{0, 1\}$. Серед них слід відзначити системи числення з ваговою надлишковістю, запропоновані Азаровим. О. Д. Найвідомішою з них є запропонована Бергманом (Bergman G.) система числення золотої пропорції. Вона була узагальнена Стаховим О. П. на клас систем числення золотої p -пропорції. Однак у його розробках використовуються мінімальні форми кодів, в яких неможлива побітова обробка. Питання побітової обробки кодів золотої 1 -пропорції розглянуті у наукових працях Лужецького В. А. та Блінової Т. І. Проте запропоновані ними методи або не дозволяють організувати побітове виконання всіх операцій в єдиному потоці, або потребують для цього значних витрат обладнання. Отже, відомі розробки не дозволяють реалізувати повнофункціональну побітову потокову обробку зі зменшеними витратами обладнання.

Будучи одним із способів розпаралелювання обчислень і використовуючи надлишкові системи числення, повнофункціональна побітова обробка призводить до значних витрат обладнання. Тому виникає необхідність їх зменшення. Теоретично існує безліч позиційних надлишкових систем числення з можливістю побітового потокового виконання всіх арифметичних операцій. Базовою операцією в них є побітове додавання з обмеженою довжиною перенесення. Від довжини перенесення залежить кількість розрядів, що паралельно обробляються за один такт. Це, у свою чергу, визначає апаратні витрати при створенні побітових пристроїв. Тому актуальною є задача узагальнення систем числення з можливістю повнофункціональної побітової потокової обробки та вибору такої, що має найменшу довжину

перенесення при побітовому додаванні. Для вибраної системи числення постають задачі розробки потокових методів і пристроїв побітового додавання, віднімання, множення і ділення зі зменшеними витратами обладнання.

Зв'язок роботи з науковими програмами, планами, темами. Робота пов'язана з такими постановами і науково-дослідними роботами. Постанова Президії АН України від 14.06.89 р. "Коди й комп'ютери Фібоначчі. Новий підхід до створення вимірювальних і обчислювальних систем та систем керування нових поколінь". Договір про творчу співдружність між Науково-дослідним інститутом багатопроекторних обчислювальних систем м. Таганрог і Спеціальним конструкторсько-технологічним бюро "Модуль" м. Вінниця на виконання роботи "Розробка послідовних арифметичних самоконтрольованих пристроїв для порозрядної обробки інформації в кодах золотої пропорції" (автор виконавець теми). Тема Д-8 "Розвиток теорії чисел Фібоначчі і створення нових інформаційних, арифметичних та схемотехнічних основ самоконтрольованих і відмовостійких, високонадійних обчислювальних, вимірювальних, інформаційно-реєстраційних систем, систем передачі і відображення інформації" (автор відповідальний виконавець теми). Науково-дослідна робота 58-Д-247 "Розробка теорії вискоелективних вимірювальних та обчислювальних засобів на базі надлишкових позиційних систем числення" (номер державної реєстрації 0102U002265) (автор виконавець теми).

Мета і задачі дослідження. Мета роботи – зменшення витрат обладнання потокових пристроїв повнофункціональної побітової арифметики за рахунок використання оптимальної довжиною перенесення системи числення та вдосконалення методів і засобів виконання арифметичних операцій. Для досягнення поставленої мети необхідно розв'язати такі задачі:

- розробити теоретичні положення систем числення, в яких можливе порозрядне потокове виконання всіх арифметичних операцій, та визначити серед них систему числення, що забезпечує найменшу довжину перенесення при побітовому додаванні;
- у визначеній системі числення розробити потоковий метод побітового додавання з урахуванням знаків, що дозволяє зменшити витрати обладнання при побудові пристроїв;
- розробити потоковий метод побітового множення, що дозволяє отримувати невелику незалежну від розрядності затримку потоку кодів добутоків відносно потоку кодів операндів та будувати пристрої з лінійним зростанням витрат обладнання при нарощуванні розрядності;
- розробити потоковий метод побітового ділення, що дозволяє будувати пристрої з лінійним зростанням витрат обладнання при нарощуванні розрядності;
- розробити рекомендації щодо побудови пристроїв зі зменшеними витратами обладнання для побітового додавання, віднімання, а також додавання з урахуванням знаків;
- розробити рекомендації щодо побудови пристроїв зі зменшеними витратами обладнання та лінійним його зростанням при нарощуванні розрядності для побітового потокового множення і ділення;
- розробити метод та рекомендації щодо побудови обчислювального засобу, в якому використовуються запропоновані пристрої побітової арифметики.

Об'єктом дослідження є процес побітового потокового виконання арифметичних операцій, витрати обладнання на реалізацію яких залежать від системи числення та методів і засобів виконання арифметичних операцій.

Предметом дослідження є системи числення та методи і засоби побітового потокового виконання арифметичних операцій.

Методи дослідження. При розробці теоретичних положень систем числення для порозрядної обробки використовуються поняття теорії систем числення, теорії множин та теорії кодування. Розробка методів виконання арифметичних операцій базується на теорії кодів золотої пропорції та теорії обробки інформації. Рекомендації щодо побудови пристроїв побітової арифметики розробляються з використанням теорії проектування цифрових пристроїв і теорії цифрових автоматів.

Наукова новизна одержаних результатів:

- вперше запропоновано теоретичні положення, що узагальнюють позиційні

надлишкові системи числення як з цілою, так і нецілою основою, придатні для порозрядного потокового виконання всіх арифметичних операцій. Це дозволяє порівнювати дані системи числення за витратами обладнання при побудові потокових засобів повнофункціональної побітової арифметики на їх основі;

- удосконалено потоковий метод побітового додавання кодів золотої 1-пропорції з урахуванням знаків, який відрізняється тим, що в ньому використовуються довільні форми прямих кодів зі знаками, розташованими після старших одиниць. Крім того, до появи знаків обох операндів встановлюється розгортання старшого розряду проміжного результату, яке забороняється після надходження останніх розрядів. Це забезпечує зменшення витрат обладнання при побудові пристроїв на основі даного методу, не потребуючи додаткових тактів між послідовними кодами;

- удосконалено потоковий метод побітового множення кодів золотої 1-пропорції, який відрізняється тим, що в ньому за допомогою декількох послідовностей тривходових побітових потокових суматорів додаються всі часткові добутки, сформовані у пари послідовних кодів. Це дозволяє отримувати незалежну від розрядності затримку потоку кодів добутків відносно потоку кодів операндів, не потребуючи додаткових тактів між послідовними кодами, та забезпечує лінійне зростання витрат обладнання при нарощуванні розрядності пристроїв, побудованих на основі даного методу;

- удосконалено потоковий метод побітового ділення кодів золотої 1-пропорції, який відрізняється тим, що на кожному етапі у другому такті після надходження старшої цифри дільника за допомогою додаткового аналізу його наступного розряду визначається черговий розряд частки і вставляється у попередній код частки. Це забезпечує лінійне зростання витрат обладнання при нарощуванні розрядності пристроїв, побудованих на основі даного методу, не потребуючи додаткових тактів між послідовними кодами.

Практичне значення одержаних результатів:

- запропоновано рекомендації щодо побудови потокових пристроїв зі зменшеними витратами обладнання для побітового додавання, віднімання, а також додавання з урахуванням знаків чисел, поданих прямими послідовними кодами золотої 1-пропорції у довільній формі представлення;

- запропоновано рекомендації щодо побудови потокових пристроїв зі зменшеними витратами обладнання та лінійним їх зростанням при нарощуванні розрядності для побітового множення і ділення чисел, поданих прямими послідовними кодами золотої 1-пропорції у довільній формі представлення;

- запропоновано метод та рекомендації щодо побудови на основі побітової потокової обробки пристрою обчислення похибок лінійності передатної характеристики АЦП у системі числення золотої 1-пропорції, що дозволяє виконувати самокалібрування лінійності АЦП у процесі роботи.

Рекомендації щодо побудови розроблених пристроїв впроваджені у Російському науково-дослідному інституті космічного приладобудування (м. Москва. Акт впровадження від 5.12.2001 р.) та Інституті електроніки і зв'язку Української академії наук (м. Київ. Акт впровадження від 31.07.2012 р.).

Особистий внесок здобувача. Всі наукові і практичні результати дисертаційної роботи отримані автором особисто. В роботах, опублікованих у співавторстві автору належать: [2–4] – теоретичні положення систем числення для повнофункціональної порозрядної потокової обробки, метод і властивості порозрядного додавання, математичні співвідношення, формулювання і доведення тверджень; [5–7] – методи та алгоритми виконання арифметичних операцій; [8] – метод, структура пристрою та блока обчислення похибок лінійності; [9–12] – ідеї організації обчислень, структури пристроїв та їх блоків; [13] – аналіз витрат обладнання; [14] – дослідження розрядності пристроїв порозрядного додавання; [15, 16] – поняття і властивості адитивних перетворень; [17] – порівняльні характеристики систем числення; [18] – ідея подання і обробки знаків у послідовних кодах; [19] – ідея використання довільних форм подання кодів доданків і суми, ідея використання та структура блока формування додаткових

сигналів суми і перенесення; [20-22] – ідеї організації обчислень, структури пристроїв та їх блоків.

Апробація результатів дисертації. Результати дисертаційної роботи доповідались на: всесоюзній конференції "Методы и микроэлектронные средства цифрового преобразования и обработки сигналов" (м. Рига, 1983 р.); Всесоюзному семінарі "Микропроцессорные средства вычислительной техники и их применение в народном хозяйстве" (м. Москва, 1985 р.); республіканському семінарі "Избыточное кодирование в вычислительных системах и преобразование информации" (м. Вінниця, 1988 р.); республіканському семінарі "Избыточное кодирование в вычислительных системах и преобразование информации" (м. Вінниця, 1990 р.); Міжнародній науково-технічній конференції "Фотоніка ОДС 2000" (м. Вінниця, 2000 р.); міжвідомчому міжрегіональному семінарі Наукової Ради НАН України "Технічні засоби захисту інформації" (м. Вінниця, 2003 р.); VI Міжнародній науково-технічній конференції "АВІА-2004" (м. Київ, 2004 р.); міжвідомчому міжрегіональному семінарі Наукової Ради НАН України "Технічні засоби захисту інформації" (м. Вінниця, 2004 р.); VIII Міжнародній конференції "Контроль і управління в складних системах (КУСС-2005)" (м. Вінниця, 2005 р.); V Міжнародній конференції "ІНТЕРНЕТ – НАУКА – ОСВІТА (ІОН-2006)" (м. Вінниця, 2006 р.); VII Міжнародній конференції "ІНТЕРНЕТ – НАУКА – ОСВІТА (ІОН-2010)" (м. Вінниця, 2010 р.); III Міжнародній науково-практичній конференції "Методи та засоби кодування, захисту й ущільнення інформації", (м. Вінниця, 2011 р.); щорічних науково-технічних конференціях (м. Вінниця, 1980–2011 р.).

Публікації. За результатами дисертації опубліковано 14 статей за переліком фахових видань, 5 матеріалів і тез доповідей на всесоюзних й міжнародних конференціях і семінарах, 14 авторських свідоцтв СРСР на винаходи та деклараційний патент України на корисну модель.

Структура та обсяг дисертації. Дисертаційна робота складається із вступу, чотирьох розділів, висновків, списку використаних літературних джерел із 161-го найменування і дев'яти додатків. Загальний обсяг роботи – 265 сторінок друкованого тексту. Основний текст займає 146 сторінок. Робота містить 100 рисунків, 14 таблиць та 2 акти про впровадження

ОСНОВНИЙ ЗМІСТ РОБОТИ

У вступі обґрунтовано актуальність теми дисертаційної роботи, сформульовано мету, задачі, об'єкт, предмет та методи досліджень, визначено наукову новизну та практичне значення одержаних результатів, подано загальну характеристику роботи.

У першому розділі автором проведено аналіз стану повнофункціональної побітової потокової обробки у сучасних та перспективних технологіях побудови цифрових засобів. Обґрунтовано важливість проблеми з'єднань у цифровій техніці та визначено побітову обробку як один з напрямів вирішення даної проблеми. Зроблено висновок про необхідність використання для такої обробки надлишкових систем числення. Розглянуто переваги та недоліки порозрядної потокової обробки у знакорозрядній двійковій системі числення. Розглянуто особливості і визначено недоліки існуючих підходів до організації побітової обробки у класичній двійковій системі числення та у системах числення золотої p -пропорції. Визначено актуальність зменшення витрат при побудові пристроїв для даної обробки. Сформульовано напрям і задачі досліджень.

У другому розділі описано запропоновані автором теоретичні положення, що узагальнюють системи числення, в яких можлива повнофункціональна порозрядна потокова обробка. Вони названі АМ-системами числення. АМ-системи числення – це вагомозначні надлишкові системи числення з природним порядком ваг, в яких між вагами розрядів наряду з мультиплікативним існує адитивне співвідношення певного виду. Будь-яка АМ-система числення може бути описана такою сукупністю параметрів

$$\left. \begin{array}{l} C_k = \{0, \dots, c_{k-1}\}; \\ w; \\ {}^t A^{\tau, p} : w^{\tau p + t} = R^{\tau, p} \end{array} \right\}, \quad (1)$$

де k – значність системи числення;

C_k – множина цифр;

w – основа системи числення;

${}^t A^{\tau, p}$ – адитивне співвідношення (A -співвідношення) порядку (t, p) ;

t, p – параметри адитивного співвідношення ($t, p > 0$ – цілі);

$R^{\tau, p} = \sum_{i=0}^p r_i \cdot w^{\tau i}$ – граничне значення ($r \in C_k$).

При цьому на параметри адитивного співвідношення накладаються такі обмеження:

$$\left\{ \begin{array}{l} r_{\tau i} \geq r_{\tau(i-1)} > 0; \\ \tau \bmod t = 0. \end{array} \right. \quad (2)$$

Між адитивним співвідношенням, основою системи числення і множиною цифр існує зв'язок: основа системи числення є додатним дійсним коренем адитивного співвідношення, в якому коефіцієнти при невідомому є цифрами. Межі, в яких знаходиться основа системи числення, в залежності від інших її параметрів визначаються твердженням 1.

Твердження 1. Для АМ-системи числення з параметрами, заданими в (1) і (2), значення основи знаходиться в межах

$$\sqrt[t]{r_{\tau p}} \leq w \leq \sqrt[t]{c_{k-1} + 1}. \quad (3)$$

Дане твердження доводить можливість задання АМ-систем числення за допомогою лише двох параметрів C_k і ${}^t A^{\tau, p}$, що спрощує дослідження їх властивостей.

Наявність адитивних співвідношень в АМ-системах числення дозволяє виконувати адитивні перетворення кодів (A -перетворення), які є окремим видом умовних арифметичних операцій, що використовуються для перенесення і запозичення при додаванні і відніманні. A -перетворення полягають у додаванні деякої величини до однієї частин коду і відніманні її від іншої частини у випадку, якщо значення цих частин відповідають певній умові. За напрямком перенесення A -перетворення поділяються на перетворення з перенесенням у старші розряди (AL -перетворення):

$${}^t AL_i^{\tau, p}(X_0^{n-1}): X_0^i - R_{i-\tau p}^{\tau, p} + X_{i+1}^{n-i-2} + w^{i+t} \quad (4)$$

і перетворення з перенесенням у молодші розряди (AR -перетворення):

$${}^t AR_i^{\tau, p}(X_0^{n-1}): X_{i+1}^{n-i-2} - w^{i+t} + X_0^i + R_{i-\tau p}^{\tau, p}. \quad (5)$$

За умовами виконання A -перетворення поділяються на елементарні (EA -перетворення), універсальні (UA -перетворення) та повні (FA -перетворення). Тобто, існує шість видів адитивних перетворень.

EAL -перетворення:

$${}^t EAL_i^{\tau, p}(X_0^{n-1}) = \begin{cases} X_0^{n-1} \text{ при } (x_{i+t} = c_{k-1}) \vee \exists_{0 \leq j \leq p} (x_{i-\tau(p-j)} < r_{\tau(p-j)}); \\ (X_{i+1}^{n-i-2} + w^{i+t}) + (X_0^i - R_{i-\tau p}^{\tau, p}) \text{ при} \\ (x_{i+t} < c_{k-1}) \wedge \forall_{0 \leq j \leq p} (x_{i-\tau(p-j)} \geq r_{\tau(p-j)}). \end{cases} \quad (6)$$

EAR -перетворення:

$${}^t E A R_i^{\tau, p} (X_0^{n-1}) = \begin{cases} X_0^{n-1} \text{ при } (x_{i+t} = 0) \vee \exists_{0 \leq j \leq p} (x_{i-\tau(p-j)} + r_{\tau(p-j)} > c_{k-1}); \\ (X_{i+1}^{n-i-2} - w^{i+t}) + (X_0^i + R_{i-\tau p}^{\tau, p}) \text{ при} \\ (x_{i+t} > 0) \wedge \forall_{0 \leq j \leq p} (x_{i-\tau(p-j)} + r_{\tau(p-j)} \leq c_{k-1}). \end{cases} \quad (7)$$

UAL-перетворення:

$${}^t U A L_i^{\tau, p} (X_{i-\tau b}^{tb+t}) = \begin{cases} X_{i-\tau b}^{tb+t} \text{ при } (x_{i+t} = c_{k-1}) \vee (X_{i-\tau b}^{tb} < R_{i-\tau p}^{\tau, p}); \\ X_{i-\tau b}^{tb+t} + w^{i+t} - R_{i-\tau p}^{\tau, p} \text{ при} \\ (x_{i+t} < c_{k-1}) \wedge (X_{i-\tau b}^{tb} \geq R_{i-\tau p}^{\tau, p}). \end{cases} \quad (8)$$

UAR-перетворення:

$${}^t U A R_i^{\tau, p} (X_{i-\tau b}^{tp+t}) = \begin{cases} X_{i-\tau b}^{tb+t} \text{ при} \\ (x_{i+t} = 0) \vee (X_{i-\tau b}^{tb} + R_{i-\tau p}^{\tau, p} > c_{k-1} \sum_{j=i-\tau b}^i w^j); \\ X_{i-\tau b}^{tb+t} - w^{i+t} + R_{i-\tau p}^{\tau, p} \text{ при} \\ (x_{i+t} > 0) \wedge (X_{i-\tau b}^{tb} + R_{i-\tau p}^{\tau, p} \leq c_{k-1} \sum_{j=i-\tau b}^i w^j). \end{cases} \quad (9)$$

FAL-перетворення:

$${}^t F A L_i^{\tau, p} (X_{i-\tau b}^{tb}) = {}^t U A L_{i-\tau b}^{\tau, p} ({}^t U A L_{i-\tau+t}^{\tau, p} (\dots {}^t U A L_{i-t}^{\tau, p} ({}^t U A L_i^{\tau, p} (X_{i-\tau b}^{tb})) \dots)). \quad (10)$$

FAR-перетворення:

$${}^t F A R_i^{\tau, p} (X_{i-\tau b}^{tb}) = {}^t U A R_{i-\tau b}^{\tau, p} ({}^t U A R_{i-\tau+t}^{\tau, p} (\dots {}^t U A R_{i-t}^{\tau, p} ({}^t U A R_i^{\tau, p} (X_{i-\tau b}^{tb})) \dots)). \quad (11)$$

Перевірка умов *UA*-перетворень в загальному випадку може виявитись складною. Тому ці перетворення виконуються, як послідовність *EA*-перетворень за розробленими автором алгоритмами.

Основною арифметичною операцією в АМ-системах числення є порозрядне потокове додавання, починаючи зі старших розрядів. Особливістю цієї операції є обмеження довжини перенесення d у старші розряди за рахунок виконання на кожному такті *FAL*-перетворення над групою розрядів. Дане перетворення створює інформаційний резерв для збільшення (*IRI*)

$$I R I (X_m^d) = \sum_{i=m}^{m+d} c_{k-1} \cdot w^{i-1} F A L_{m+d}^{\tau, p} (X_m^d), \quad (12)$$

який при достатньому значенні d поглинає перенесення у старші розряди на наступному такті. Адитивні перетворення виконуються над розрядами, розташованими один від одного на відстані, кратній t . Тому перенесення в i -й розряд можуть утворювати тільки розряди з номерами $(i \pm nt)$. Отже, для визначення перенесення в i -й розряд потрібно аналізувати тільки ті розряди, що мають номери $(i \pm nt)$, де $n=1, 2, \dots$ Це дозволяє розглядати додавання у будь-якій АМ-системі числення з параметром адитивного співвідношення $t > 1$ як декілька незалежних додавань, кожне з яких виконується при $t=1$.

Результат Z_i , отриманий на i -му кроці порозрядного додавання, можна поділити на дві частини: сталі старші розряди та змінні молодші розряди. Стала частина являє собою отримані на даний момент розряди коду результату $Z C_i$, а змінна частина є черговим проміжним результатом T_i . Тобто:

$$Z_i = Z C_i + T_i, \quad (13)$$

де $Z C_i = (Z_i)_{n-i+d-1}^d$;

$$T_i = (Z_i)_{n-i-b-1}^{d+b-1};$$

d – довжина перенесення у старші розряди;

b – довжина перенесення у молодші розряди.

На кожному такті порозрядного додавання в АМ-системі числення виконуються такі дії:

$$\begin{aligned} z_{n-i-1+d} &= ({}^1FAL_{n-i-2+d}^{\tau,p}(T_{i-1} + (x_{n-1-i} + y_{n-1-i}) \cdot w^{n-1-i}))_{n-i-1+d}^0, \\ T_i &= ({}^1FAL_{n-i-2+d}^{\tau,p}(w \cdot T_{i-1} + (x_{n-1-i} + y_{n-1-i}) \cdot w^{n-1-i}))_{n-i-b-1}^{d+b-1}, \\ ZC_i &= w \cdot ZC_{i-1} + z_{n-i-1+d}. \end{aligned} \quad (14)$$

Розрядність проміжного результату залежить від максимальної довжини перенесення як у старші, так і в молодші розряди. Межі, в яких знаходиться довжина перенесення d у старші розряди, визначаються в залежності від параметрів АМ-системи числення за допомогою твердження 2.

Твердження 2. Нехай для АМ-системи числення задані множина цифр $\{0, 1, \dots, c_{k-1}\}$ і адитивне співвідношення ${}^1A^{\tau,p}$. Нехай також для цієї системи числення визначені: $dS_{max_{min}}$, $dS_{max_{max}}$ – мінімальна і максимальна довжини перенесення у старші розряди при додаванні максимальних цифр в одному розряді та dZ – найбільша кількість розрядів, загальне максимальне значення яких менше граничного значення адитивного співвідношення, тобто

$$c_{k-1} \cdot \sum_{i=0}^{dZ-1} w^{p-i} < {}^1R_0^{\tau,p} \leq c_{k-1} \cdot \sum_{i=0}^{dZ} w^{p-i}. \quad (15)$$

Тоді на будь-якому кроці порозрядного додавання максимальна довжина d перенесення у старші розряди знаходиться у межах

$$dZ + dS_{max_{max}} + \tau + 2 > d \geq dZ + dS_{max_{min}} + H[p], \quad (16)$$

де $H[p]$ – дискретна одинична функція Хевісайда.

З твердження слідує два висновки. Перший – при порозрядному додаванні в АМ-системах числення максимальна довжина перенесення d у старші розряди є обмеженою. Другий – на кожному такті побітового додавання довжина перенесення у старші розряди для будь-якої АМ-системи числення не менша трьох розрядів. Найменше її значення буде для системи числення з параметрами $t=1$ і $p=1$, що відповідає кодам золотої 1-пропорції. При побітовому додаванні в АМ-системах числення в якості перенесення використовується FAL -перетворення, яке може приводити до EAR -перетворення. Тому довжина перенесення у молодші розряди для будь-якої АМ-системи числення не менша ніж довжина адитивного співвідношення τp . Оскільки для АМ-систем числення з цифрами 0, 1 значення $\tau p \geq 2$, то найменша довжина перенесення у молодші розряди буде при $\tau p=2$, тобто у системі числення золотої 1-пропорції. Отже, при побітовому додаванні система числення золотої 1-пропорції забезпечує найменшу довжину перенесення у старші і молодші розряди серед всіх АМ-систем числення з цифрами 1 і 0. Довжина перенесення визначає кількість розрядів, що паралельно обробляються на кожному такті, а відтак і витрати обладнання при побудові арифметичних пристроїв. Тому дана система числення обирається для розробки алгоритмів і пристроїв потокової побітової обробки зі зменшеними витратами обладнання. У другому розділі також виконано порівняльний аналіз найбільш відомих систем числення, що використовуються для порозрядної обробки.

У третьому розділі описано запропоновані автором методи потокового виконання побітових арифметичних операцій у системі числення золотої 1-пропорції, а також метод самокалібрування у процесі перетворення лінійності передатної характеристики АЦП як приклад використання повнофункціональної побітової потокової обробки. З метою зменшення витрат обладнання всі арифметичні операції виконуються над прямими кодами у довільній формі подання.

Розглянуто особливості подання та обробки знаків у послідовних прямих кодах золотої 1-пропорції. При побітовій обробці, починаючи зі старших розрядів, знак послідовного коду може знаходитись у будь-якому його розряді, але безпосередньо перед старшою одиницею даного коду. Автором запропоновано поміняти місцями знак і старшу одиницю коду для

використання її на приймальній стороні у ролі маркера знака без збільшення розрядності послідовних кодів.

Проаналізовано особливості побітового потокового додавання і віднімання кодів золотої 1-пропорції. Обґрунтовано, що виконання обох операцій потребує використання п'ятирозрядного коду проміжного результату. Для цих операцій запропоновано сталі послідовності виконання елементарних згортань і розгортань на кожному такті, що дозволяє формалізувати побудову таблиць переходів при розробці пристроїв. Особливістю побітового віднімання є необхідність розгортання на кожному такті старшого розряду проміжного результату для запобігання зміни знака у молодших розрядах коду різниці. Іншою особливістю даної операції є можливість тимчасової зміни знака проміжного результату, що вимагає його запам'ятовування і врахування на кожному такті. Запропоновано алгоритми потокового виконання побітового додавання і віднімання прямих кодів золотої 1-пропорції у довільних формах подання.

Запропоновано потоковий метод побітового додавання прямих кодів золотої 1-пропорції з урахуванням їх знаків. При надходженні старших одиниць кодів операндів вони затримуються на один такт, а знаки, що слідує за ними, вилучаються з кодів і запам'ятовуються. Після приходу першого знака і до приходу другого встановлюється примусове розгортання старшого розряду проміжного результату для запобігання переходу у від'ємне значення молодших розрядів результату. Після приходу обох знаків операндів встановлюється дійсна операція додавання чи віднімання, на кожному такті якої до проміжного результату додається розряд операнда з тим самим знаком і віднімається розряд операнда з протилежним знаком. Для врахування знака проміжного результату з метою зменшення витрат обладнання використовується ознака Z_x , яка дорівнює одиниці, якщо знак проміжного результату дорівнює знаку першого операнда. На кожному такті формується черговий розряд результату, черговий проміжний результат та ознака Z_x , що запам'ятовується для використання на наступному такті. Знак результату визначається знаком проміжного результату при встановленні в одиничне значення його старшого розряду. Це дозволяє обміняти місцями знак і старшу одиницю результату. Після надходження останніх розрядів операндів протягом трьох тактів забороняється розгортання старшого розряду проміжного результату.

Запропоновано потоковий метод побітового множення прямих кодів золотої 1-пропорції ($C=A \times B$), в основу якого покладено формування часткових добутоків, починаючи зі старших розрядів, у вигляді пар послідовних кодів:

$$C = \sum_{i=1}^n \left(\sum_{j=i}^n (a_{n-i} \cdot b_{n-j} \cdot \alpha^{n-i-j}) + \sum_{j=i+1}^n (a_{n-j} \cdot b_{n-i} \cdot \alpha^{n-i-j}) \right). \quad (17)$$

Це дозволяє побітово додавати чергову пару кодів до результату додавання попередньої пари за допомогою п'яти послідовностей з'єднаних між собою побітових тривходових суматорів. Для отримання добутку послідовні коди з виходів останніх суматорів всіх послідовностей додаються між собою. Особливістю даного методу є невелика фіксована затримка кодів добутоків відносно кодів співмножників, що не залежить від розрядності операндів.

Запропоновано потоковий метод побітового ділення прямих кодів золотої 1-пропорції ($Z=X/Y$), в основу якого покладено ділення з відновленням залишку. Побітове ділення n -розрядних кодів складається з n етапів, на кожному з яких на основі порівняння чергового коду залишку $X(i)$ і чергового коду дільника $Y(i)$ визначається черговий розряд частки z_n і наступний код залишку $X(i+1)$. Визначення більшого між черговим залишком і черговим дільником, а також формування наступного коду залишку виконується за допомогою побітового віднімання $Y(i)$ від $X(i)$. Оскільки таке віднімання виконується, починаючи зі старших розрядів, то точно визначити черговий розряд частки z_{n-1-i} у деяких випадках можна лише на останньому такті. Автором запропоновано визначення чергового розряду частки на другому такті після надходження старшої одиниці коду дільника, суміщене з аналізом наступного розряду дільника:

$$z_{n-1-i} = \begin{cases} 1 \text{ при } X(i)_{n-2-i}^2 - Y(i)_{n-3-i}^3 \geq w^{n-2-i}; \\ 0 \text{ при } X(i)_{n-2-i}^2 - Y(i)_{n-3-i}^3 < w^{n-2-i}. \end{cases} \quad (18)$$

На нульовому етапі побітового ділення у першому такті формується старший розряд частки. На кожному наступному етапі визначається черговий код частки $Z(i)$ за допомогою логічної операції "АБО" над черговим розрядом частки z_n і затриманим на $(d+1)$ тактів попереднім кодом частки $Z(i-1)$, а також виконується додаткова затримка на один такт коду дільника.

Як приклад використання повнофункціональної побітової потокової обробки автором запропоновано метод оперативного самокалібрування лінійності передатної характеристики АЦП у системі числення золотої 1-пропорції. Метод базується на порівнянні результатів кодування одного і того ж аналогового сигналу двома АЦП (АЦП1 і АЦП2), кожен з яких по черзі стає контрольованим, або контролюючим. Кожен АЦП під дією сигналу керування може переходити у режим перетворення або у режим самокалібрування. У режимі перетворення на i -у циклі кодування АЦП1 і АЦП2, починаючи зі старших розрядів, видають послідовні коди золотої пропорції $A1_0^{n-1}(i)$ і $A2_0^{n-1}(i)$. Обидва АЦП працюють синхронно, тому при відсутності похибок $|A1_0^{n-1}(i) - A2_0^{n-1}(i)| \leq 1$. Кожен АЦП може забороняти вмикання заданого розряду під дією відповідного сигналу керування. Завдяки надлишковості системи числення золотої 1-пропорції це не призводить до спотворення результату кодування. Нехай контрольованим є АЦП1, а контролюючим – АЦП2. АЦП1 вмикає k -й розряд, а АЦП2 не вмикає його. Тому в АЦП1 буде похибка лінійності даного розряду, а в АЦП2 її не буде. На основі відмінності кодів обох АЦП визначається абсолютне значення похибки лінійності $|\Delta L1_k|$ k -го розряду АЦП1, що потребує вилучення з показань обох АЦП похибок масштабу та зміщення нуля за виразом:

$$|\Delta L1_k| = \left| \frac{|A1_0^{k-1}(i+i1) - A1_0^{k-1}(i+i1+i2)|}{|A2_0^{k-1}(i+i1) - A2_0^{k-1}(i+i1+i2)|} \cdot |A2_0^{k-1}(i) - A2_0^{k-1}(i+i1)| - |A1_0^k(i) - A1_0^{k-1}(i+i1)| \right|. \quad (19)$$

Аналогічно визначається абсолютне значення похибки лінійності $|\Delta L2_k|$ k -го розряду АЦП2. Якщо значення $|\Delta L1_k|$ або $|\Delta L2_k|$ більше від допустимої похибки для даного розряду, яку генерує блок контролю, то АЦП1 і АЦП2 по черзі переводяться у режим самокалібрування. При цьому на вихід пристрою подається код того АЦП, який на даний момент знаходиться у режимі перетворення. Якщо ж абсолютні значення похибок лінійності k -го розряду АЦП1 і АЦП2 не перевищують допустимої похибки, то визначаються похибки лінійності $(k+1)$ -го розряду і так далі.

У четвертому розділі описано розроблені автором рекомендації щодо побудови поточкових пристроїв зі зменшеними витратами обладнання для виконання таких побітових арифметичних операцій: додавання, віднімання, додавання і віднімання з урахуванням знаків, множення, а також ділення послідовних кодів золотої 1-пропорції. Крім того, описано розроблений автором пристрій оперативного самокалібрування лінійності АЦП на основі системи числення золотої 1-пропорції. Проведено порівняльний аналіз витрат обладнання запропонованого і найбільш близького пристроїв побітового додавання і віднімання кодів золотої 1-пропорції з урахуванням знаків.

Структурна організація пристрою побітового віднімання наведена на рисунку 1.

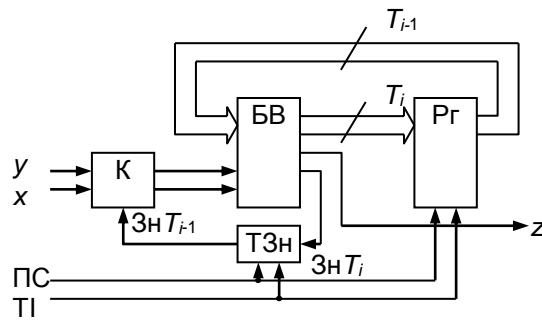
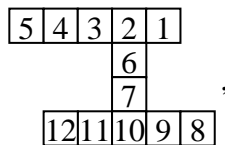


Рисунок 1 – Структурна організація пристрою побітового віднімання послідовних кодів золотої 1-пропорції

Даний пристрій складається з блока віднімання БВ, комутатора К, тригера знака ТЗн та регістра Рг. На вхід блока віднімання даного пристрою надходять такі сигнали: код попереднього проміжного результату T_{i-1} , чергові розряди зменшуваного x_i і від'ємника u_i , а також сигнал знака попереднього проміжного результату $3nT_{i-1}$. БВ крім коду проміжного результату T_i та чергового розряду остаточного результату z_i формує сигнал знака поточного проміжного результату $3nT_i$. Формат даних для пристроїв додавання і віднімання має вигляд:



де

5	4	3	2	1
---	---	---	---	---

 – код проміжного результату T_{i-1} , що встановлюється у регістрі Рг на попередньому такті;

6

 – i -й розряд коду першого операнда x_i ;

7

 – i -й розряд коду другого операнда u_i ;

12	11	10	9	8
----	----	----	---	---

 – код проміжного результату T_i , що формується на виході БД у залежності від коду T_{i-1} , значень чергових розрядів операндів x_i , u_i та відповідно до алгоритму побітового додавання чи віднімання.

Розроблено пристрій побітового множення прямих кодів золотої 1-пропорції, структурна організація якого наведена на рисунку 2.

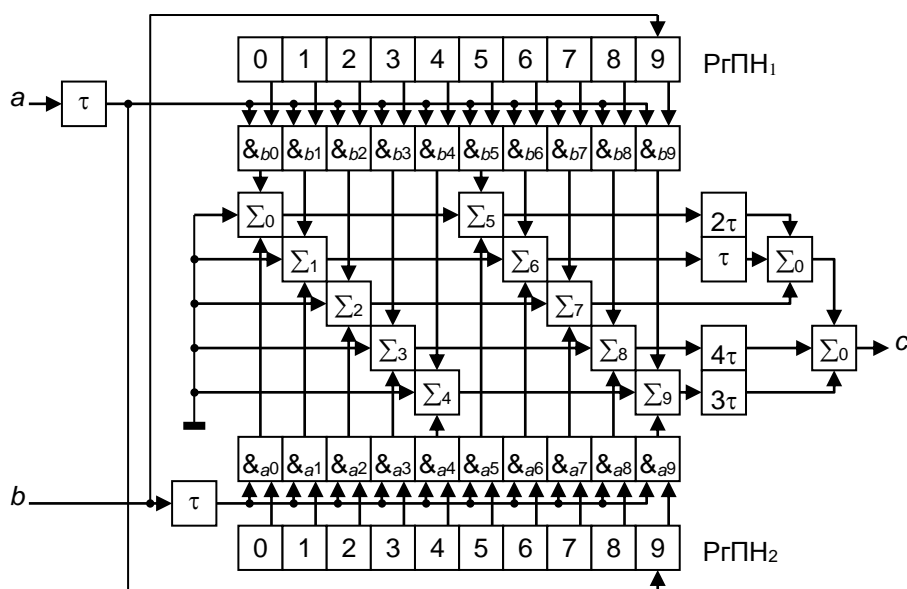


Рисунок 2 – Структурна організація пристрою побітового множення кодів золотої 1-пропорції

N -розрядний пристрій містить п'ять груп по $N/5$ послідовно з'єднаних тривходових

побітових суматорів. Формування часткових добутоків на входах даних суматорів здійснюється за допомогою логічних елементів І та регістрів послідовного наближення РГПН₁ і РГПН₂, що складаються з тригерів-защіпок й схем для подавання вхідного сигналу на кожен з цих тригерів. Код добутку формується за допомогою трьох побітових триходових суматорів.

Розроблено потоковий пристрій побітового ділення прямих кодів золоті 1-пропорції. На рисунку 3 наведена структурна організація блока визначення розряду частки даного пристрою, що містить блок віднімання БВ, блок аналізу БА, мультиплексор MS, тригери Т1 і Т2, схеми затримки τ і логічні елементи.

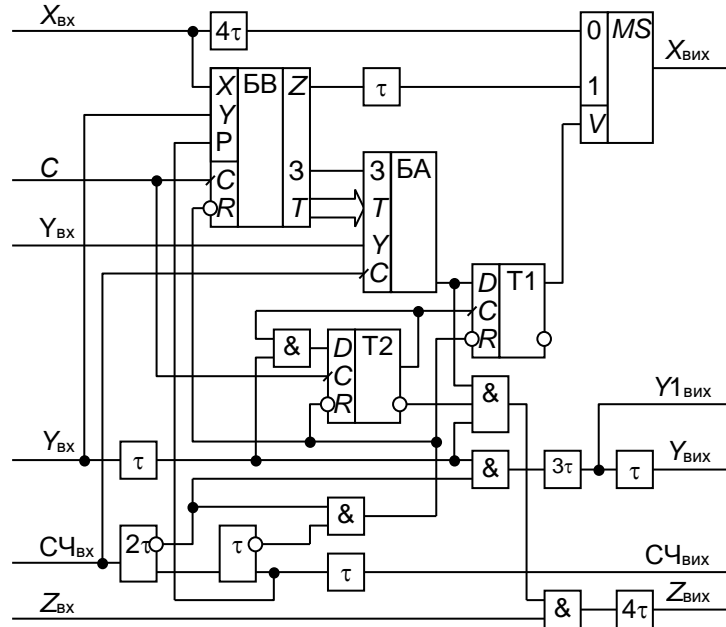


Рисунок 3 – Структурна організація блока розряду частки пристрою побітового ділення кодів золоті 1-пропорції

Для побітового ділення N -розрядних кодів потрібно послідовно з'єднати N блоків визначення розряду частки.

Як приклад використання побітової потокової обробки кодів золоті 1-пропорції з фіксованою крапкою розроблено пристрій оперативного самокалібрування лінійності АЦП. На рисунку 4 наведена структурна організація пристрою.

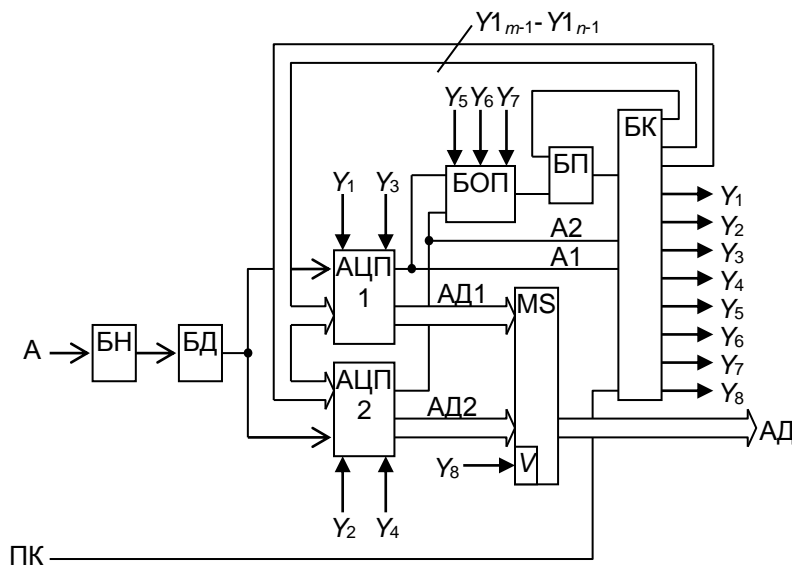


Рисунок 4 – Структурна організація пристрою аналого-цифрового перетворення з оперативним самокалібруванням лінійності

Пристрій містить вхід аналогового сигналу А; блок нормалізації БН; блок дискретизації БД; два аналого-цифрових перетворювачі АЦП1 і АЦП2 на основі систем числення золоті 1-пропорції з можливістю самокалібрування та заборони включення заданого розряду; блок керування БК; мультиплексор MS; блок обчислення похибки БОП за виразом (19); блок побітового порівняння обчисленої і заданої похибок БП; вхід примусового самокалібрування ПК; вихід АД, з якого поступає паралельний код чергового відліку АЦП у двійковій системі числення, сигнали керування Y_1-Y_8 та шину сигналів керування $Y_{1m-1}-Y_{1n-1}$. Крім того на даному рисунку зображені сигнали: А1, А2 – послідовні коди золоті 1-пропорції з виходів АЦП1 і АЦП2; АД1, АД2 – паралельні двійкові коди з виходів АЦП1 і АЦП2.

Показано, що використання у даному пристрої побітових арифметичних операцій з фіксованою крапкою не призводить до переповнення результатів, або переходу їх у від'ємні значення.

У четвертому розділі проведено також порівняння витрат обладнання розроблених автором та відомих потокових засобів повнофункціональної побітової обробки на прикладі пристрою побітового додавання і віднімання з урахуванням знаків. Зменшення витрат обладнання досягається за рахунок використання довільних форм прямих кодів золоті 1-пропорції і використання запропонованих методів виконання арифметичних операцій. Показано, що залежність коефіцієнта $K_{ЗВ_{ПДВ}}$ зменшення витрат обладнання розробленого пристрою відносно найбільш близького аналогічного є ступінчастою функцією, яка лінійно зростає при збільшенні розрядності операндів, як зображено на рисунку 5.

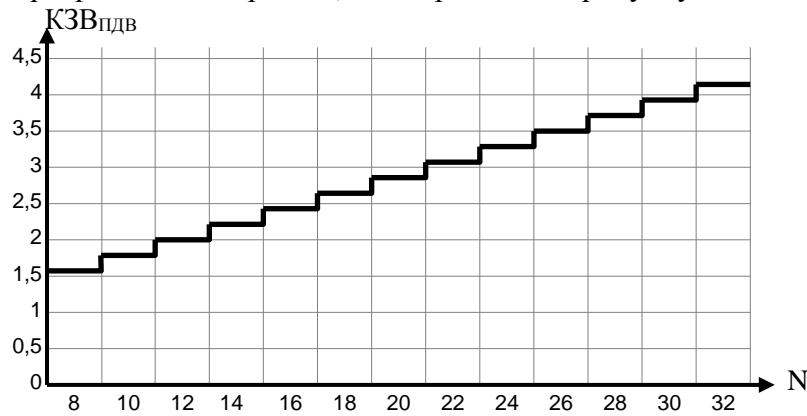


Рисунок 5 – Залежність від розрядності коефіцієнту зменшення витрат обладнання пристрою побітового додавання і віднімання з урахуванням знаків

ВИСНОВКИ ТА ОСНОВНІ РЕЗУЛЬТАТИ РОБОТИ

У дисертаційній роботі сформульовані і вирішені задачі розробки потокових методів і засобів повнофункціональної побітової арифметики зі зменшеними витратами обладнання за рахунок використання довільних форм прямих кодів золоті 1-пропорції. При вирішенні даних задач отримані такі результати.

Проведений аналіз вітчизняних і зарубіжних наукових публікацій дозволив зробити висновок, що повнофункціональна порозрядна потокова обробка широко використовується для вирішення проблеми інформаційних зв'язків як в існуючих, так і у перспективних технологіях розробки засобів обчислювальної техніки. Найефективнішою з цієї точки зору є побітова обробка. Проте відомі розробки з даного напрямку або не дозволяють реалізувати всі побітові арифметичні операції в єдиному потоці, або потребують значних витрат обладнання для їх реалізації. Тому актуальним є зменшення витрат обладнання потокових пристроїв побітового виконання всіх арифметичних операцій.

Виконані в рамках дисертації дослідження дозволили отримати такі наукові результати.

1. Вперше запропоновано теоретичні положення, що узагальнили системи числення як з цілою, так і з нецілою основою, придатні для порозрядного потокового виконання всіх арифметичних операцій (АМ-системи числення). Це дозволило порівнювати дані системи числення за витратами обладнання при побудові потокових засобів повнофункціональної

побітової арифметики на їх основі та визначити, що найменші витрати обладнання забезпечує використання системи числення золоті 1-пропорції.

2. Удосконалено потоковий метод побітового додавання кодів золоті 1-пропорції з урахуванням знаків, який відрізняється тим, що в ньому використовуються довільні форми прямих кодів зі знаками, розташованими після старших одиниць. Крім того, до появи обох знаків операндів примусово встановлюється розгортання старшого розряду проміжного результату, яке забороняється після надходження їх останніх розрядів. Це дозволило зменшити витрати обладнання при побудові пристроїв, не потребуючи додаткових тактів між послідовними кодами.

3. Удосконалено потоковий метод побітового множення кодів золоті 1-пропорції, який відрізняється тим, що в ньому за допомогою декількох послідовностей тривходових побітових поточкових суматорів додаються всі часткові добутки, сформовані у пари послідовних кодів. Це дозволило отримати невелику незалежну від розрядності затримку потоку кодів добутків відносно потоку кодів операндів та побудувати пристрої з лінійним зростанням витрат обладнання від розрядності, не потребуючи додаткових тактів між послідовними кодами.

4. Удосконалено потоковий метод побітового ділення кодів золоті 1-пропорції. Метод відрізняється тим, що на кожному етапі у другому такті після надходження старшої цифри дільника за допомогою додаткового аналізу його наступного розряду визначається черговий розряд частки, який вставляється у попередній код частки. Це дозволило отримати лінійну залежність витрат обладнання від розрядності пристроїв, побудованих на основі даного методу, не потребуючи додаткових тактів між послідовними кодами.

Всі побітові арифметичні операції виконуються над довільними формами прямих кодів золоті 1-пропорції в єдиному потоці, починаючи зі старших розрядів.

Виконані розробки рекомендацій щодо побудови пристроїв дозволили отримати такі практичні результати.

1. Запропоновано рекомендації щодо побудови поточкових пристроїв побітового додавання, віднімання, а також додавання з урахуванням знаків чисел, поданих прямими послідовними кодами золоті 1-пропорції у довільній формі, що дозволило зменшити витрати обладнання. Запропонований пристрій побітового додавання і віднімання з урахуванням знаків при розрядності операндів 8 має у 1,54 рази менші витрати обладнання, ніж найбільш близький відомий, а при розрядності 32 – у 4,17 рази.

2. Запропоновано практичні рекомендації щодо побудови поточкових пристроїв для побітового множення і ділення чисел, поданих прямими послідовними кодами золоті 1-пропорції у довільній формі, що дозволило зменшити витрати обладнання та отримати лінійну залежність їх від розрядності.

3. Як приклад використання розроблених засобів побітової потокової арифметики при подані інформації у форматі з фіксованою крапкою автором вперше запропоновано метод та рекомендації щодо побудови пристрою обчислення похибок лінійності передатної характеристики АЦП на основі побітової потокової обробки у системі числення золоті 1-пропорції, що дозволило виконувати самокалібрування лінійності АЦП у процесі його роботи.

З метою підтвердження результатів досліджень були виготовлені та пройшли випробування дослідні макети цифрового фібоначчєвого фільтра (ЦФФ) та фібоначчєвого послідовного арифметичного пристрою (ФПАП). Крім того, було проведене програмне моделювання розроблених пристроїв і алгоритмів. Результати дисертаційної роботи були впроваджені у Російському НДІ космічного приладобудування (м. Москва) та Інституті електроніки і зв'язку Української академії наук (м. Київ), що підтверджено відповідними актами.

СПИСОК ПУБЛІКАЦІЙ ЗА ТЕМОЮ ДИСЕРТАЦІЇ

У рамках досліджень за темою дисертації опубліковано наукові праці, основними з яких є такі:

1. Черняк О. І. Системи числення для конвеєрної порозрядної обробки послідовних кодів /

- О. І. Черняк // Реєстрація, зберігання і обробка даних. – 2000. – Т. 2, № 4. – С. 18–26. – ISSN 1560-9189.
2. Черняк О. І. Рекурсивні алгоритми адитивних перетворень в АМ-системах числення / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2010. – № 2 (18). – С. 32–37. – ISSN 1999-9941.
3. Черняк О. І. Додавання у системах числення з адитивними та мультиплікативними співвідношеннями між розрядами / О. Д. Азаров, О. І. Черняк, Д. О. Черняк // Вісник Вінницького політехнічного інституту. – 2004. – № 2. – С. 71–76. – ISSN 1997-9266.
4. Черняк О. І. Визначення довжини перенесення при додаванні в системах числення з адитивними та мультиплікативними співвідношеннями між вагами розрядів / О. Д. Азаров, О. І. Черняк // Наукові праці Донецького національного технічного університету. Серія: Обчислювальна техніка та автоматизація. – 2004. – Випуск 74. – С. 401–407. – ISSN 1996-1588.
5. Черняк О. І. Методи конвеєрної порозрядної обробки послідовних кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Вісник Вінницького політехнічного інституту. – 1996. – № 1. – С. 18–22. – ISSN 1997-9266.
6. Черняк О. І. Алгоритмічні основи побітової обробки кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2006. – № 2(6). – С. 28–43. – ISSN 1999-9941.
7. Черняк О. І. Метод побітового конвеєрного ділення довільних форм прямих кодів золотої 1-пропорції / О. Д. Азаров, О. І. Черняк // Проблеми інформатизації та управління. – 2011. – Вип. 3(35). – С. 5–12. – ISSN 2073-4751.
8. Черняк О. І. Метод оперативного самокалібрування АЦП порозрядного наближення з ваговою надлишковістю / О. Д. Азаров, О. І. Черняк // Вісник Вінницького політехнічного інституту. – 2012. – № 3. – С. 142. – 147. – ISSN 1997-9266.
9. Черняк О. І. Схемотехнічні основи побітового додавання кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2007. – № 1(8). – С. 9–17. – ISSN 1999-9941.
10. Черняк О. І. Схемотехнічні основи побітового віднімання кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Вісник Вінницького політехнічного інституту. – 2008. – № 2. – С. 56–60. – ISSN 1997-9266.
11. Черняк О. І. Структурна організація побітового додавання і віднімання кодів золотої 1-пропорції з урахуванням знаків / О. Д. Азаров, О. І. Черняк // Інформаційні технології та комп'ютерна інженерія. – 2011. – № 3(22). – С. 13–16. – ISSN 1999-9941.
12. Черняк О. І. Структурна організація побітового множення і ділення кодів золотої пропорції / О. Д. Азаров, О. І. Черняк // Проблеми інформатизації та управління. – 2007. – Вип. 3(21). – С. 5–13. – ISSN 2073-4751.
13. Черняк О. І. Аналіз витрат обладнання пристроїв побітової арифметики у системі числення золотої 1-пропорції / О. Д. Азаров, О. І. Черняк // Проблеми інформатизації та управління. – 2012. – Вип. 2(38). – С. 5–9. – ISSN 2073-4751.
14. Черняк О. І. Розрядність пристроїв порозрядного додавання в АМ-системах числення [Електронний ресурс] / О. Д. Азаров, О. І. Черняк // Наукові праці ВНТУ. – 2010. – № 4. – С. 1–9. – Режим доступу до журналу : http://www.nbuu.gov.ua/e-journals/VNTU/2010_4/2010-4.files/uk/10odaics_ua.pdf.
15. Черняк О. І. Розробка і моделювання адитивних перетворень у системах числення з адитивним та мультиплікативним співвідношеннями між вагами розрядів / О. Д. Азаров, О. І. Черняк // Контроль і управління в складних системах (КУСС-2005) : VIII Міжнар. конф., 24-27 жовтня 2005 р. : тези доповідей – Вінниця, 2005. – С. 26.
16. Черняк О. І. Властивості адитивних перетворень в АМ-системах числення / О. Д. Азаров, О. І. Черняк // АВІА-2004 : VI Міжнародна науково-технічна конференція 26-28 квітня 2004 р. : матер. – Київ. – 2004. – Т. 1. – С. 13.61–13.64.
17. Черняк О. І. Порівняльні оцінки систем числення для порозрядного оброблення / О. Д. Азаров, О. І. Черняк // Інтернет-Освіта-Наука : VII Міжнародна науково-практична

конференція – 2010, 28 вересня – 3 жовтня 2010 р. : тези доповідей – Вінниця : ВНТУ, 2010. – С. 364–367. – ISBN 978-966-641-377-5.

18. Черняк О. І. Полнофункциональная побитовая обработка результатов аналого-цифрового преобразования / А. Д. Азаров, А. И. Черняк // Методи та засоби кодування, захисту й ущільнення інформації : Третя міжнародна наук.-практ. конф., 20-22 квітня 2011р. : тези доповідей. – Вінниця : ВНТУ. – 2011. – С. 208–209. ISBN 978-966-641-406-2.

19. А. с. 1170449 СССР, МКИ³ G 06 F 7/49. Последовательный сумматор кодов с иррациональными основаниями / В. А. Лужецкий, А. И. Черняк, В. В. Кондратенко, Д. А. Стахов (СССР). – № 3608773/24-24 ; заявл. 17.06.83 ; опубл. 30.07.85, Бюл. № 28.

20. А. с. 1259249 СССР, МКИ³ G 06 F 7/40. Последовательный сумматор кодов с иррациональными основаниями / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, И. С. Соболева, А. Е. Андреев (СССР). – № 3836694/24-24; заявл. 07.01.85 ; опубл. 23.09.86, Бюл. № 35.

21. А. с. 1444754 СССР, МКИ³ G 06 F 7/52. Последовательное устройство для умножения / А. П. Стахов, В. А. Лужецкий, А. И. Черняк, В. П. Малиночка, А. Е. Андреев (СССР). – № 4276300/24-24 ; заявл. 06.07.87 ; опубл. 15.12.88, Бюл. № 46.

22. Деклараційний патент України на корисну модель № 5494. (51) 7 G06F7/49. Пристрій для ділення послідовних кодів золотої пропорції / Азаров О. Д., Черняк О. І. ; заявник і патентовласник Вінницький національний технічний університет. – № 20040604913 ; заявл. 21.06.2004 ; опубл. 15.03.2005, Бюл. № 3.

АНОТАЦІЯ

Черняк О. І. Потоківі методи і засоби повнофункціональної побітової арифметики зі зменшеними витратами обладнання. – На правах рукопису.

Дисертація на здобуття наукового ступеня кандидата технічних наук за спеціальністю 05.13.05 – комп'ютерні системи та компоненти. Вінницький національний технічний університет Міністерства освіти і науки, молоді та спорту України, Вінниця, 2012.

Запропоновано теоретичні положення систем числення для повнофункціональної порозрядної потокової обробки. Це дозволило обґрунтувати, що система числення золотої 1-пропорції оптимальна за витратами обладнання при побудові засобів повнофункціональної побітової арифметики. Запропоновано потоківі методи виконання, починаючи зі старших розрядів, всіх побітових арифметичних операцій у довільних формах прямих кодів золотої 1-пропорції. Це дозволяє зменшити витрати обладнання при побудові пристроїв повнофункціональної побітової арифметики на їх основі. Розроблено потоківі пристрої для побітового додавання, віднімання, множення та ділення.

Ключові слова: потокова обробка, побітова арифметика, арифметичні операції, системи числення, адитивні перетворення, довжина перенесення, коди золотої пропорції, витрати обладнання.

АННОТАЦИЯ

Черняк А. И. Потоквые методы и средства полнофункциональной побитовой арифметики с уменьшенными затратами оборудования. – На правах рукописи.

Диссертация на соискание ученой степени кандидата технических наук по специальности 05.13.05 – компьютерные системы и компоненты. Винницкий национальный технический университет Министерства образования и науки, молодежи и спорта, Винница, 2012.

Диссертация посвящена разработке потоквых методов и средств побитового выполнения всех арифметических операций на основе оптимальной по затратам оборудования системы счисления.

Проведенный в работе анализ литературных источников, позволил сделать заключение о перспективности использования побитовой потоковой обработки в современной вычислительной технике и цифровых технологиях будущего для решения проблемы связей при создании средств интегральной схемотехники и построении реконфигурируемых систем. Однако полнофункциональная реализация побитовой потоковой обработки требует использования избыточных систем счисления, что совместно с потоковой организацией вычислений приводит к большим затратам оборудования. Поэтому сделан вывод об актуальности задачи уменьшения затрат оборудования при реализации полнофункциональной побитовой потоковой арифметики.

Побитовая обработка является отдельным случаем поразрядной. Для поразрядной потоковой обработки предложен класс так называемых АМ-систем счисления, принадлежащих к весомозначным избыточным системам счисления с естественным порядком весов и аддитивным базисом. В этих системах счисления между весами разрядов помимо мультипликативного существует аддитивное соотношение определенного вида. На основании аддитивных соотношений предложены аддитивные преобразования в АМ-системах счисления, представляющие собой условные арифметические операции прибавления и вычитания эквивалентных значений в различных частях кода. На основании этих операций выполняется перенос и заем при сложении и вычитании. Определены виды аддитивных преобразований и проведена их классификация. Особенностью данных преобразований является то, что они могут выполняться не только при переполнении разрядов или при переходе их в другой знак, но и при достижении некоторого предельного значения в разрядах кода. В результате аддитивных преобразований над частями кодов в них образуются информационные резервы, которые поглощают переносы в старшие разряды, возникающие на следующих тактах поразрядного сложения. Это дает возможность в едином потоке поразрядно выполнять все арифметические операции, начиная со старших разрядов. Сформулированы и доказаны утверждения о зависимости основания АМ-системы счисления и длины переноса в старшие разряды при побитовом потоковом сложении от параметров аддитивного соотношения. Длина переноса определяет количество одновременно обрабатываемых разрядов сумматора. На основании утверждений исследована зависимость затрат оборудования при реализации устройств от параметров аддитивного соотношения. Это позволило сравнивать АМ-системы счисления между собой и обосновать, что при построении потоковых средств полнофункциональной побитовой арифметики минимальные затраты оборудования обеспечивает система счисления золотой 1-пропорции. Предложены потоковые методы выполнения побитового сложения, вычитания, умножения и деления в произвольных формах прямых кодов золотой 1-пропорции, начиная со старших разрядов. Это обеспечило уменьшение затрат оборудования при построении устройств на их основе по сравнению с известными устройствами полнофункциональной побитовой арифметики. Показано, что при побитовой потоковой обработке кодов золотой 1-пропорции применение минимизированных форм дополнительных кодов приводит к большим затратам оборудования. Поэтому предложено проводить данную обработку в произвольных формах прямых кодов со знаком. Для последовательных кодов золотой 1-пропорции предложено представление знаков, которое не требует расширения разрядности для их стробирования. Разработаны потоковые устройства с уменьшенными затратами оборудования для побитового сложения, вычитания, а также сложения и вычитания с учетом знаков. Разработаны потоковые устройства с уменьшенными затратами оборудования для побитового умножения и деления. Проведен сравнительный анализ затрат оборудования известного и предложенного устройств побитового сложения-вычитания кодов золотой 1-пропорции с учетом знаков, который показал, что при разрядности операндов 32 предложенный вариант требует в 4,17 раза меньше оборудования.

В качестве примера использования разработанных потоковых средств полнофункциональной побитовой арифметики с фиксированной точкой разработан метод и вычислительное устройство для оперативного самокалибрования линейности АЦП в системе счисления золотой 1-пропорции, основанного на сравнении результатов кодирования одного сигнала двумя АЦП. **Ключевые слова:** потоковая обработка, побитовая арифметика, арифметические операции, системы счисления, аддитивные преобразования, длина переноса, коды золотой пропорции, затраты оборудования.

SUMMARY

Chernyak O. I. The pipe-line methods and means of full-function bit-serial arithmetic with reduced hardware expenses. – As a manuscript.

Thesis for Ph. D (candidate of technical science) degree by specialty 05.13.05 – computer systems and components. Vinnytsia National Technical University, Vinnytsia, 2012.

The theoretical positions of numerical systems for full-function order-serial pipe-line development are offered. It allowed to prove, that golden 1-ratio numerical system provides minimum hardware expenses on construction of full-function bit-serial pipe-line arithmetic means. The pipe-line methods of bit-serial arithmetic operations in any forms of sign-and-magnitude golden 1-ratio code representation are offered. It provided to reduce hardware expenses for devices on their basis in comparison with known full-function bit-serial arithmetic devices. The pipe-line devices for bit-serial adding, subtraction, multiplication and division are developed.

Keywords: bit-serial development, arithmetic operations, numerical systems, additive transforms, carrier length, golden ratio codes, hardware expenses.

Підписано до друку 11. 01. 2013 р. Формат 29.7 ×42 ¼

Наклад 100 прим. Зам. № 2013-008

Віддруковано в комп'ютерному інформаційно-видавничому центрі

Вінницького національного технічного університету

м. Вінниця, Хмельницьке шосе, 95. Тел.: 59-87-38