



УКРАЇНА

(19) **UA** (11) **135221** (13) **U**
(51) МПК (2019.01)
H03F 3/26 (2006.01)
G05B 1/00

МІНІСТЕРСТВО
ЕКОНОМІЧНОГО
РОЗВИТКУ І ТОРГІВЛІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

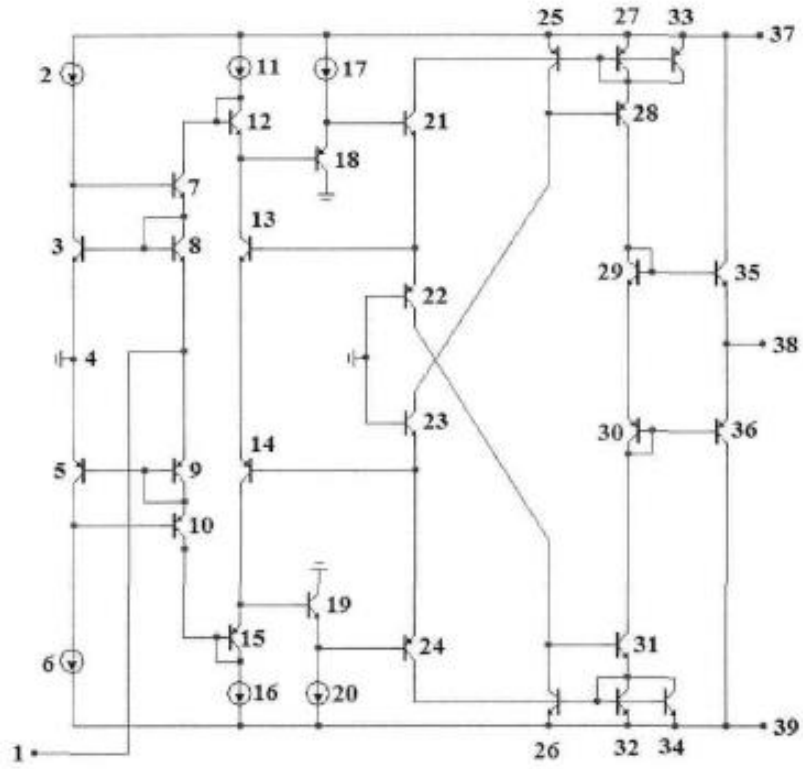
<p>(21) Номер заявки: u 2019 00013</p> <p>(22) Дата подання заявки: 02.01.2019</p> <p>(24) Дата, з якої є чинними права на корисну модель: 25.06.2019</p> <p>(46) Публікація відомостей про видачу патенту: 25.06.2019, Бюл.№ 12</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Генеральницький Євгеній Сергійович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
--	--

(54) ДВОТАКТНИЙ СИМЕТРИЧНИЙ ПІДСИЛЮВАЧ СТРУМУ

(57) Реферат:

Двотактний симетричний підсилювач струму містить перше, друге джерела струму та відбивачі струму Вілсона на першому, дев'ятнадцятому, третьому та другому, четвертому, двадцятому транзисторах утворюють схему задання режимів по постійному струму каскадів схеми, третє та четверте джерела струму та двадцять перший і двадцять другий транзистори в діодному вмиканні, а також п'яте і шосте джерела струму задають режим по постійному струму підсилювальних проміжних каскадів які побудовані на складених транзисторах Шіклаї двадцять третій, п'ятий та двадцять четвертий, шостий транзистори відповідно, тринадцятий, чотирнадцятий, одинадцятий, дванадцятий транзистори утворюють двонаправлений відбивач струму який задає режим роботи, а також корегування коефіцієнта передачі проміжних підсилювальних каскадів на двадцять третьому, п'ятому та двадцять четвертому, шостому складених транзисторах Шіклаї відповідно, сьомий, дев'ятий, п'ятнадцятий, двадцять сьомий та восьмий, десятий, шістнадцятий, двадцять восьмий утворюють складені відбивачі Вілсона, які передають підсилений сигнал з проміжних каскадів на двотактний симетричний вихідний каскад, який побудовано двадцять п'ятому, двадцять шостому, вісімнадцятому, сімнадцятому транзисторах відповідно, шина нульового потенціалу та шина додатного і від'ємного живлення забезпечують необхідні рівні напруги для живлення схеми.

UA 135221 U



Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

За аналог вибрано двотактний симетричний підсилювач струму [Push-pull amplifier with current mirrors for determining the quiescent operating point, United States Patent 3,852,678, Dec. 3, 1974], який містить перше і друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, шість транзисторів, причому вхідну шину з'єднано з емітерами третього четвертого транзисторів відповідно, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, другі виводи першого і другого джерел струму та емітери п'ятого і шостого транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, колектори п'ятого і шостого транзисторів з'єднано з вихідною шиною.

Недоліком пристрою є низький коефіцієнт підсилення, що обмежує галузь його використання.

За найближчий аналог обрано двотактний симетричний підсилювач струму [патент України № 69736, Н03К 5/24, G05B 1/01, 2011], який містить перше та друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, вісімнадцять транзисторів, причому вхідну шину з'єднано з емітерами третього і четвертого транзисторів, емітери першого і другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори третього і четвертого транзисторів з'єднано з базами п'ятого і шостого транзисторів та з колекторами сьомого та восьмого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами та колекторами першого і другого транзисторів відповідно, а також з першими виводами першого і другого джерел струму, другі виводи першого і другого джерел струму з'єднано з шинами додатного і від'ємного живлення відповідно, бази сьомого та восьмого транзисторів з'єднано з колекторами та базами дев'ятого та десятого транзисторів відповідно, а також з колекторами одинадцятого та дванадцятого транзисторів, а також з базами п'ятнадцятого та шістнадцятого транзисторів відповідно, емітери одинадцятого та дванадцятого транзисторів об'єднано між собою, бази одинадцятого та дванадцятого транзисторів з'єднано з емітерами тринадцятого та чотирнадцятого транзисторів, а також з колекторами п'ятою та шостого транзисторів відповідно, бази тринадцятого та чотирнадцятого транзисторів з'єднано з шиною нульового потенціалу, емітери п'ятнадцятого та шістнадцятого транзисторів з'єднано з колекторами чотирнадцятого та тринадцятого транзисторів відповідно, колектори сімнадцятого та вісімнадцятого транзисторів з'єднано з вихідною шиною, бази сімнадцятого та вісімнадцятого транзисторів з'єднано з базами п'ятого та шостого транзисторів відповідно, емітери сьомого, дев'ятого, п'ятого та сімнадцятого транзисторів, а також колектор п'ятнадцятого транзистора підключено до шини додатного живлення, емітери восьмого, десятого, шостого та вісімнадцятого транзисторів, а також колектор шістнадцятого транзистора підключено до шини від'ємного живлення.

Недоліком найближчого аналогу є низький коефіцієнт підсилення та точність роботи пристрою, що обмежує галузь використання пристрою.

В основу корисної моделі поставлено задачу створення двотактного симетричного підсилювача струму, в якому за рахунок введення нових елементів та зв'язків між ними підвищується точність роботи пристрою та збільшується коефіцієнт підсилення, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у двотактний симетричний підсилювач струму, який містить перше, друге, третє, четверте, п'яте, шосте, джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, двадцять шість транзисторів, причому емітери сьомого та дев'ятого транзисторів об'єднані між собою та з'єднані з шиною додатного живлення та першим джерелом струму, бази сьомого та дев'ятого транзисторів об'єднані між собою та з'єднані з колектором дев'ятого транзистора, емітери восьмого та десятого транзисторів об'єднані між собою та з'єднані з шиною від'ємного живлення та другим джерелом струму, бази восьмого та десятого транзисторів об'єднані між собою та з'єднані з колектором десятого транзистора, колектор першого транзистора з'єднано з першим джерелом струму, база першого транзистора з'єднана з базою третього транзистора, емітери першого та другого транзисторів об'єднані між собою та з'єднані шиною нульового потенціалу, емітери третього та четвертого транзисторів об'єднані між собою та з'єднані вхідною шиною, база другого транзистора з'єднана з базою четвертого транзистора, колектор другого

транзистора з'єднано з другим джерелом струму, емітери одинадцятого та дванадцятого транзисторів з'єднані між собою, база одинадцятого транзистора з'єднана з емітером тринадцятого транзистора, база дванадцятого транзистора з'єднана з емітером чотирнадцятого транзистора, бази тринадцятого та чотирнадцятого транзисторів об'єднані між собою та з'єднані з шиною нульового потенціалу, причому емітер дев'ятнадцятого транзистора з'єднано з колектором та базою третього транзистора, базу дев'ятнадцятого транзистора з'єднано з першим джерелом струму, колектор дев'ятнадцятого транзистора з'єднано з базою та колектором двадцять першого транзистора, які в свою чергу з'єднані з третім джерелом струму, третє джерело струму з'єднано з додатною шиною живлення, емітер двадцять першого транзистора з'єднано з базою двадцять третього та колектором одинадцятого транзисторів, колектор двадцять третього транзистора з'єднано з шиною нульового потенціалу, емітер двадцять третього транзистора з'єднано з базою п'ятого транзистора та п'ятим джерелом струму, п'яте джерело струму з'єднано з додатною шиною живлення, емітер двадцятого транзистора з'єднано з колектором та базою четвертого транзистора, базу двадцятого транзистора з'єднано з другим джерелом струму, колектор двадцятого транзистора з'єднано з базою та колектором двадцять другого транзистора, які в свою чергу з'єднані з четвертим джерелом струму, четверте джерело струму з'єднано з від'ємною шиною живлення, емітер двадцять другого транзистора з'єднано з базою двадцять четвертого та колектором дванадцятого транзисторів, колектор двадцять четвертого транзистора з'єднано з шиною нульового потенціалу, емітер двадцять четвертого транзистора з'єднано з базою шостого транзистора та шостим джерелом струму, шосте джерело струму з'єднано з від'ємною шиною живлення, емітери п'ятого та тринадцятого транзисторів об'єднані між собою та з'єднані з базою одинадцятого транзистора, емітери шостого та чотирнадцятого транзисторів об'єднані між собою та з'єднані з базою дванадцятого транзистора, колектори п'ятого та бази сьомого, дев'ятого, двадцять сьомого об'єднані між собою, емітер двадцять сьомого транзистора з'єднаний з шиною додатного живлення, колектори дев'ятого та двадцять сьомого транзисторів об'єднані та з'єднані з п'ятнадцятим транзистором, колектор шостого транзистора з'єднано з базами восьмого, десятого та двадцять восьмого транзистора, емітер двадцять восьмого транзистора з'єднано з шиною від'ємного живлення, колектори двадцять восьмого та десятого транзисторів об'єднані та з'єднані з емітером шістнадцятого транзистора, база шістнадцятого транзистора з'єднана з колекторами восьмого та тринадцятого транзисторів, база п'ятнадцятого транзистора з'єднана з колекторами чотирнадцятого та сьомого транзисторів, колектори п'ятнадцятого та двадцять п'ятого транзисторів об'єднані та з'єднані з базами двадцять п'ятого та вісімнадцятого транзисторів, колектори шістнадцятого та двадцять шостого транзисторів об'єднані та з'єднані з базами двадцять шостого та сімнадцятого транзисторів, колектор вісімнадцятого транзистора з'єднано з шиною додатного живлення, колектор сімнадцятого транзистора з'єднано з шиною від'ємного живлення, емітери сімнадцятого та вісімнадцятого транзисторів об'єднано та з'єднано з вихідною шиною.

Суть корисної моделі пояснюється кресленням, де представлено принципову схему двотактного симетричного підсилювача струму.

Пристрій містить перше 2, друге 6, третє 11, четверте 16, п'яте 17, шосте 20, джерела струму, шини додатного 37 і від'ємного 39 живлення, вхідну 1 і вихідну 38 шини, шину нульового потенціалу 4, двадцять шість транзисторів, причому емітери сьомого 25 та дев'ятого 27 транзисторів об'єднані між собою та з'єднані з шиною додатного 37 живлення та першим 2 джерелом струму, бази сьомого 25 та дев'ятого 27 транзисторів об'єднані між собою та з'єднані з колектором дев'ятого 27 транзистора, емітери восьмого 26 та десятого 32 транзисторів об'єднані між собою та з'єднані з шиною від'ємного 39 живлення та другим 6 джерелом струму, бази восьмого 26 та десятого 32 транзисторів об'єднані між собою та з'єднані з колектором десятого 32 транзистора, колектор першого 3 транзистора з'єднано з першим 2 джерелом струму, база першого 3 транзистора з'єднана з базою третього 8 транзистора, емітери першого 3 та другого 5 транзисторів об'єднані між собою та з'єднані шиною нульового потенціалу 4, емітери третього 8 та четвертого 9 транзисторів об'єднані між собою та з'єднані вхідною 1 шиною, база другого 5 транзистора з'єднана з базою четвертого 9 транзистора, колектор другого 5 транзистора з'єднано з другим 6 джерелом струму, емітери одинадцятого 13 та дванадцятого 14 транзисторів з'єднані між собою, база одинадцятого 13 транзистора з'єднана з емітером тринадцятого 22 транзистора, база дванадцятого 14 транзистора з'єднана з емітером чотирнадцятого 23 транзистора, бази тринадцятого 22 та чотирнадцятого 23 транзисторів об'єднані між собою та з'єднані з шиною нульового потенціалу 4, причому емітер дев'ятнадцятого 7 транзистора з'єднано з колектором та базою третього 8 транзистора, базу дев'ятнадцятого 7 транзистора з'єднано з першим 2 джерелом струму, колектор

дев'ятнадцятого 7 транзистора з'єднано з базою та колектором двадцять першого 12 транзистора, які в свою чергу з'єднані з третім 11 джерелом струму, третє 11 джерело струму з'єднано з додатною 37 шиною живлення, емітер двадцять першого 12 транзистора з'єднано з базою двадцять третього 18 та колектором одинадцятого 13 транзисторів, колектор двадцять
5 третього 18 транзистора з'єднано з шиною нульового потенціалу 4, емітер двадцять третього 18 транзистора з'єднано з базою п'ятого 21 транзистора та п'ятим 17 джерелом струму, п'яте 17 джерело струму з'єднано з додатною 37 шиною живлення, емітер двадцятого 10 транзистора з'єднано з колектором та базою четвертого 9 транзистора, базу двадцятого 10 транзистора з'єднано з другим 6 джерелом струму, колектор двадцятого 10 транзистора з'єднано з базою та
10 колектором двадцять другого 15 транзистора, які в свою чергу з'єднані з четвертим 16 джерелом струму, четверте 16 джерело струму з'єднано з від'ємною 39 шиною живлення, емітер двадцять другого 15 транзистора з'єднано з базою двадцять четвертого 19 та колектором дванадцятого 14 транзисторів, колектор двадцять четвертого 19 транзистора з'єднано з шиною нульового потенціалу 4, емітер двадцять четвертого 19 транзистора з'єднано
15 з базою шостого 24 транзистора та шостим 16 джерелом струму, шосте 16 джерело струму з'єднано з від'ємною 39 шиною живлення, емітери п'ятого 21 та тринадцятого 22 транзисторів об'єднані між собою та з'єднані з базою одинадцятого 13 транзистора, емітери шостого 24 та чотирнадцятого 23 транзисторів об'єднані між собою та з'єднані з базою дванадцятого 14 транзистора, колектори п'ятого 21 та бази сьомого 25, дев'ятого 27, двадцять сьомого 33 об'єднані між собою, емітер двадцять сьомого 33 транзистора з'єднаний з шиною додатного 37 живлення, колектори дев'ятого 27 та двадцять сьомого 33 транзисторів об'єднані та з'єднані з
20 п'ятнадцятим 28 транзистором, колектор шостого 24 транзистора з'єднано з базами восьмого 26, десятого 32 та двадцять восьмого 34 транзистора, емітер двадцять восьмого 34 транзистора з'єднано з шиною від'ємного 39 живлення, колектори двадцять восьмого 34 та десятого 32 транзисторів об'єднані та з'єднані з емітером шістнадцятого 31 транзистора, база шістнадцятого транзистора 31 з'єднана з колекторами восьмого 26 та тринадцятого 22 транзисторів, база п'ятнадцятого 28 транзистора з'єднана з колекторами чотирнадцятого 23 та сьомого 25 транзисторів, колектори п'ятнадцятого 28 та двадцять п'ятого 29 транзисторів об'єднані та з'єднані з базами двадцять п'ятого 29 та вісімнадцятого 35 транзисторів, колектори шістнадцятого 31 та двадцять шостого 30 транзисторів об'єднані та з'єднані з базами двадцять шостого 30 та сімнадцятого 36 транзисторів, колектор вісімнадцятого 35 транзистора з'єднано з шиною додатного 37 живлення, колектор сімнадцятого 36 транзистора з'єднано з шиною від'ємного 39 живлення, емітери сімнадцятого 36 та вісімнадцятого 35 транзисторів об'єднано та з'єднано з вихідною 38 шиною.

35 Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 1.

Якщо вхідний струм втікає в схему, це призводить до збільшення колекторного струму двадцятого 10 транзистора та зменшення колекторного струму дев'ятнадцятого 7 транзистора, що в свою чергу призводить до збільшення базового струму двадцять четвертого 19 транзистора та зменшення базового струму двадцять третього 18 транзистора, це у свою чергу призводить до часткового відкривання двадцять четвертого 19 та часткового закривання двадцять четвертого 18 транзисторів, що у свою чергу призводить до часткового закривання шостого 24 транзистора і часткового відкривання п'ятого 21 транзистора, у свою чергу базовий струм шістнадцятого 31 транзистора збільшується, п'ятнадцятого 28 транзистора зменшується,
45 що призводить до часткового відкривання шістнадцятого 31 та часткового закривання п'ятнадцятого 28 транзисторів, при цьому збільшується колекторний струм шістнадцятого 31 та зменшується п'ятнадцятого 28 транзисторів при цьому потенціал точки об'єднання двадцять п'ятого 29 та двадцять шостого 30 транзисторів зменшується і прямує до шини від'ємного 39 живлення, точка об'єднання емітерів вісімнадцятого 35 та сімнадцятого 36 транзисторів разом з
50 вихідною 38 шиною відслідковує потенціал об'єднання емітерів двадцять п'ятого 29 та двадцять шостого 30 транзисторів їх потенціал також зменшується і прямує до шини від'ємного 39 живлення.

Якщо вхідний струм витікає зі схеми, це призводить до збільшення колекторного струму дев'ятнадцятого 7 транзистора та зменшення колекторного струму двадцятого 10 транзистора,
55 що в свою чергу призводить до збільшення базового струму двадцять третього 18 транзистора та зменшення базового струму двадцять четвертого 19 транзистора, це у свою чергу призводить до часткового відкривання двадцять третього 18 та часткового закривання двадцять четвертого 19 транзисторів, що у свою чергу призводить до часткового закривання п'ятого 21 транзистора і часткового відкривання шостого 24 транзистора, у свою чергу базовий струм п'ятнадцятого 28 транзистора збільшується, а шістнадцятого 31 транзистора зменшується, що
60

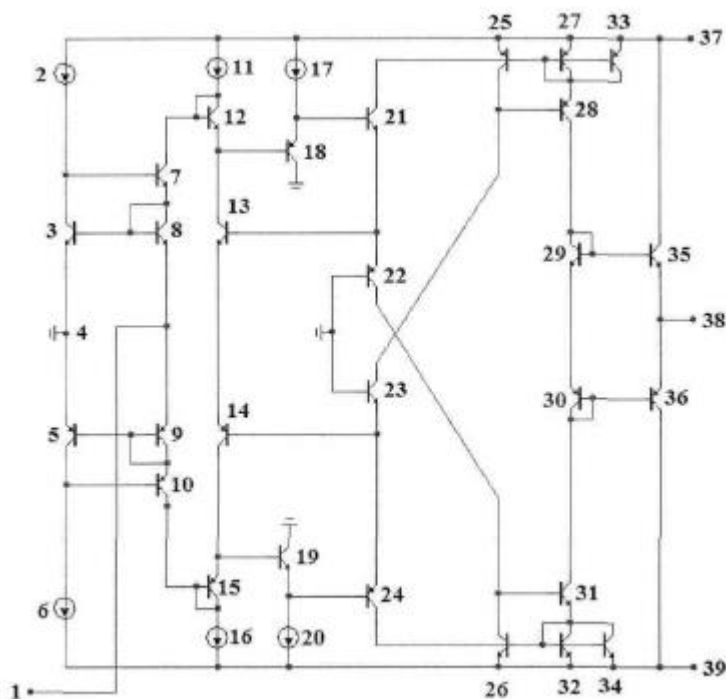
призводить до часткового відкриття п'ятнадцятого 28 та часткового закривання шістнадцятого 31 транзисторів, при цьому збільшується колекторний струм п'ятнадцятого 28 та зменшується шістнадцятого 31 транзисторів при цьому потенціал точки об'єднання двадцять п'ятого 29 та двадцять шостого 30 транзисторів збільшується і прямує до шини додатного 37 живлення, точка об'єднання емітерів вісімнадцятого 35 та сімнадцятого 36 транзисторів разом з вихідною 38 шиною відслідковує потенціал об'єднання емітерів двадцять п'ятого 29 та двадцять шостого 30 транзисторів їх потенціал також збільшується і прямує до шини додатного 37 живлення.

Перше 2, друге 6 джерела струму та відбивачі струму Вілсона на першому 3, дев'ятнадцятому 7, третьому 8 та другому 5, четвертому 9, двадцятому 10 транзисторах утворюють схему задання режимів по постійному струму каскадів схеми, третє 11 та четверте 16 джерела струму та двадцять перший 12 і двадцять другий 15 транзистори в діодному вмиканні, а також п'яте 17 і шосте 20 джерела струму задають режим по постійному струму підсилювальних проміжних каскадів, які побудовані на складених транзисторах Шіклаї двадцять третій 18, п'ятий 21 та двадцять четвертий 19, шостий 24 транзистори відповідно, тринадцятий 22, чотирнадцятий 23, одинадцятий 13, дванадцятий 14 транзистори утворюють двонаправлений відбивач струму, який задає режим роботи, а також корегування коефіцієнту передачі проміжних підсилювальних каскадів на двадцять третьому 18, п'ятому 21 та двадцять четвертому 19, шостому 24 складених транзисторах Шіклаї відповідно, сьомий 25, дев'ятий 27, п'ятнадцятий 28, двадцять сьомий 33 та восьмий 26, десятий 31, шістнадцятий 32, двадцять восьмий 34 утворюють складені відбивачі Вілсона, які передають підсилений сигнал з проміжних каскадів на двотактний симетричний вихідний каскад, який побудовано двадцять п'ятому 29, двадцять шостому 30, вісімнадцятому 35, сімнадцятому 36 транзисторах відповідно, шина нульового потенціалу 4 та шина додатного 37 і від'ємного 39 живлення забезпечують необхідні рівні напруги для живлення схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Двотактний симетричний підсилювач струму, який містить перше, друге джерела струму, шини додатного і від'ємного живлення, вхідну і вихідну шини, шину нульового потенціалу, вісімнадцять транзисторів, причому емітери сьомого та дев'ятого транзисторів об'єднані між собою та з'єднані з шиною додатного живлення та першим джерелом струму, бази сьомого та дев'ятого транзисторів об'єднані між собою та з'єднані з колектором дев'ятого транзистора, емітери восьмого та десятого транзисторів об'єднані між собою та з'єднані з шиною від'ємного живлення та другим джерелом струму, бази восьмого та десятого транзисторів об'єднані між собою та з'єднані з колектором десятого транзистора, колектор першого транзистора з'єднано з першим джерелом струму, база першого транзистора з'єднана з базою третього транзистора, емітери першого та другого транзисторів об'єднані між собою та з'єднані шиною нульового потенціалу, емітери третього та четвертого транзисторів об'єднані між собою та з'єднані вхідною шиною, база другого транзистора з'єднана з базою четвертого транзистора, колектор другого транзистора з'єднано з другим джерелом струму, емітери одинадцятого та дванадцятого транзисторів з'єднані між собою, база одинадцятого транзистора з'єднана з емітером тринадцятого транзистора, база дванадцятого транзистора з'єднана з емітером чотирнадцятого транзистора, бази тринадцятого та чотирнадцятого транзисторів об'єднані між собою та з'єднані з шиною нульового потенціалу, який **відрізняється** тим, що введено чотири джерела струму, вісім транзисторів, причому емітер дев'ятнадцятого транзистора з'єднано з колектором та базою третього транзистора, базу дев'ятнадцятого транзистора з'єднано з першим джерелом струму, колектор дев'ятнадцятого транзистора з'єднано з базою та колектором двадцять першого транзистора, які в свою чергу з'єднані з третім джерелом струму, третє джерело струму з'єднано з додатною шиною живлення, емітер двадцять першого транзистора з'єднано з базою двадцять третього та колектором одинадцятого транзисторів, колектор двадцять третього транзистора з'єднано з шиною нульового потенціалу, емітер двадцять третього транзистора з'єднано з базою п'ятого транзистора та п'ятим джерелом струму, п'яте джерело струму з'єднано з додатною шиною живлення, емітер двадцятого транзистора з'єднано з колектором та базою четвертого транзистора, базу двадцятого транзистора з'єднано з другим джерелом струму, колектор двадцятого транзистора з'єднано з базою та колектором двадцять другого транзистора, які в свою чергу з'єднані з четвертим джерелом струму, четверте джерело струму з'єднано з від'ємною шиною живлення, емітер двадцять другого транзистора з'єднано з базою двадцять четвертого та колектором дванадцятого транзисторів, колектор двадцять четвертого транзистора з'єднано з шиною

нульового потенціалу, емітер двадцять четвертого транзистора з'єднано з базою шостого транзистора та шостим джерелом струму, шосте джерело струму з'єднано з від'ємною шиною живлення, емітери п'ятого та тринадцятого транзисторів об'єднані між собою та з'єднані з базою одинадцятого транзистора, емітери шостого та чотирнадцятого транзисторів об'єднані між собою та з'єднані з базою дванадцятого транзистора, колектори п'ятого та бази сьомого, дев'ятого, двадцять сьомого об'єднані між собою, емітер двадцять сьомого транзистора з'єднаний з шиною додатного живлення, колектори дев'ятого та двадцять сьомого транзисторів об'єднані та з'єднані з п'ятнадцятим транзистором, колектор шостого транзистора з'єднано з базами восьмого, десятого та двадцять восьмого транзистора, емітер двадцять восьмого транзистора з'єднано з шиною від'ємного живлення, колектори двадцять восьмого та десятого транзисторів об'єднані та з'єднані з емітером шістнадцятого транзистора, база шістнадцятого транзистора з'єднана з колекторами восьмого та тринадцятого транзисторів, база п'ятнадцятого транзистора з'єднана з колекторами чотирнадцятого та сьомого транзисторів, колектори п'ятнадцятого та двадцять п'ятого транзисторів об'єднані та з'єднані з базами двадцять п'ятого та вісімнадцятого транзисторів, колектори шістнадцятого та двадцять шостого транзисторів об'єднані та з'єднані з базами двадцять шостого та сімнадцятого транзисторів, колектор вісімнадцятого транзистора з'єднано з шиною додатного живлення, колектор сімнадцятого транзистора з'єднано з шиною від'ємного живлення, емітери сімнадцятого та вісімнадцятого транзисторів об'єднано та з'єднано з вихідною шиною.



Комп'ютерна верстка О. Гергіль

Міністерство економічного розвитку і торгівлі України, вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601