



УКРАЇНА

(19) UA

(11) 139604

(13) U

(51) МПК

G06F 7/06 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

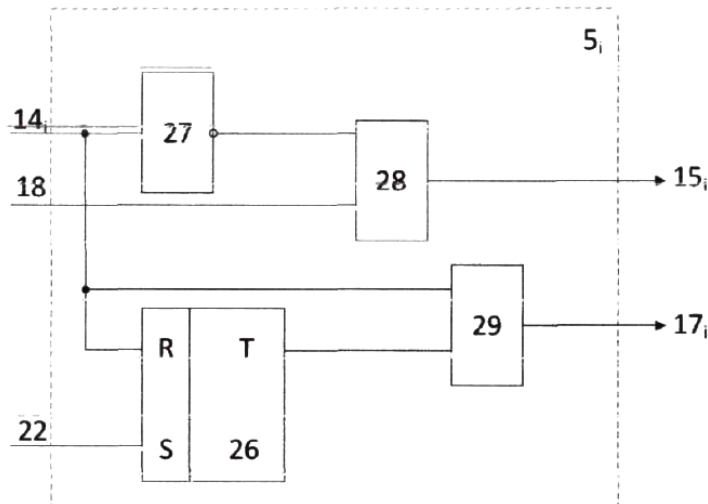
(21) Номер заявки: **u 2019 07034**
(22) Дата подання заявки: **24.06.2019**
(24) Дата, з якої є чинними права на корисну модель: **10.01.2020**
(46) Публікація відомостей про видачу патенту: **10.01.2020, Бюл.№ 1**

(72) Винахідник(и):
**Мартинюк Тетяна Борисівна (UA),
Круківський Богдан Ігорович (UA)**
(73) Власник(и):
**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ
ТЕХНІЧНИЙ УНІВЕРСИТЕТ,
Хмельницьке шосе, 95, м. Вінниця,
21021 (UA)**

(54) АСОЦІАТИВНИЙ ПРОЦЕСОР

(57) Реферат:

Асоціативний процесор містить n регістрів, де n - кількість чисел, які сортуються, та n вихідних лічильників, причому виходи розрядів i -го вихідного лічильника є виходами рангу i -го числа. Додатково введено n вхідних лічильників, n вузлів рангу, n комутаторів, n компараторів, елемент АБО та елемент І.



Фіг. 2

UA 139604 U

Корисна модель належить до обчислювальної техніки і може бути використана у спеціалізованих обчислювальних засобах та пристроях обробки даних.

Відомий пристрій для комутації та сортування [а.с. СРСР № 1520508, МПК G 06 F 7/06, 1989р, бюл № 41], що містить трикутну матрицю із $(n^2-n)/2$ блоків комутації, а-й рядок якої містить $(n-a)$ блоків комутації (де $a-1, \dots, n-1$, n - розмір масиву даних, який оброблюється), b-й стовпець трикутної матриці (де $b-1, \dots, n-1$), містить b блоків комутації, при цьому перший інформаційний вхід-вихід блока комутації а-го рядка k-го стовпця трикутної матриці (де $k-a, \dots, n-2$) підключений до другого інформаційного входу-виходу блока комутації а-го рядка $(k+1)$ -го стовпця трикутної матриці, перший інформаційний вхід-вихід блока комутації а-го рядка $(n-1)$ -го стовпця трикутної матриці підключений до а-го інформаційного входу-виходу першої групи пристрою, третій інформаційний вхід-вихід блока комутації а-го рядка а-го стовпця трикутної матриці підключений до другого інформаційного входу-виходу блока комутації $(a+1)$ -го рядка $(a+1)$ -го стовпця трикутної матриці, третій інформаційний вхід-вихід блока комутації $(n-1)$ -го рядка $(n-1)$ -го стовпця трикутної матриці підключений до n-го інформаційного входу-виходу першої групи пристрою, третій інформаційний вхід-вихід блока комутації b-го стовпця c-го рядка (де $c-1, \dots, b-1$) трикутної матриці підключений до четвертого інформаційного входу-виходу блока комутації b-го стовпця $(c+1)$ -го рядка трикутної матриці, другий інформаційний вхід-вихід блока комутації першого рядка першого стовпця трикутної матриці підключений до першого інформаційного входу-виходу другої групи пристрою, четвертий інформаційний вхід-вихід блока комутації першого рядка b-го стовпця трикутної матриці підключений до $(b+1)$ -го інформаційного входу-виходу другої групи пристрою, причому кожний блок комутації трикутної матриці містить тригер, вхід ознаки налаштування пристрою підключений до керуючих входів блоків комутації матриці, причому кожний блок комутації трикутної матриці містить компаратор, перший і другий магістральні комутатори, при цьому в кожному блоці комутації трикутної матриці перший інформаційний вхід-вихід блока комутації підключений до першого інформаційного входу-виходу першого магістрального комутатора, другий інформаційний вхід-вихід блока комутації підключений до першого входу компаратора, до другого інформаційного входу-виходу першого магістрального комутатора і до першого інформаційного входу-виходу другого магістрального комутатора, третій інформаційний вхід-вихід блока комутації підключений до другого інформаційного входу-виходу другого магістрального комутатора, четвертий інформаційний вхід-вихід блока комутації підключений до другого входу компаратора і до третіх інформаційних входів-виходів першого і другого магістральних комутаторів, керуючий вхід блока комутації підключений до входу синхронізації тригера, інверсний і прямий виходи якого підключені відповідно до керуючих входів першого і другого магістральних комутаторів, перший і другий виходи компаратора підключені відповідно до входів встановлення в "1" і в "0" тригера.

Недоліком пристрою є недостатня швидкодія через послідовний процес порівняння пар чисел, а також невизначеність їх рангів.

Найбільш близьким аналогом за технічною суттю є пристрій для ранжування чисел [а.с. СРСР № 1363184, МПК G 06 F 7/06, 1987р, бюл № 48], що містить розподільвач імпульсів, n регістрів, n схем порівняння, де n - кількість чисел, які сортуються, n лічильників, в подальшому n вихідних лічильників, групи елементів I перезапису чисел, вузол підрахунку кількості одиниць, проміжний регістр, n тригерів, n елементів I аналізу першої групи, причому виходи розрядів i -го регістра, де $i=1,2, \dots, n$, з'єднані з входами першої групи i -ої схеми порівняння, входи другої групи якої з'єднані з виходами розрядів проміжного регістра, перший вхід підключений до першого входу i -го елемента I аналізу першої групи, другий вхід якого з'єднаний з прямим виходом i -го тригера, вхід встановлення в одиничний стан якого з'єднаний з i -м виходом розподільвача імпульсів і керуючими входами елементів I перезапису чисел i -ої групи, тактовий вхід розподільвача імпульсів підключений до тактового входу пристрою, крім того, пристрій містить n елементів I аналізу другої групи, n груп елементів I перезапису рангу, причому інформаційні входи пристрою з'єднані з інформаційними входами відповідних елементів I перезапису чисел $(n+1)$ -ї групи, керуючі входи яких підключені до тактового входу пристрою, а виходи з'єднані з інформаційними входами проміжного регістра, виходи розрядів якого з'єднані додатково з відповідними інформаційними входами елементів I перезапису чисел i -их груп, виходи елементів I перезапису чисел i -ої групи з'єднані з інформаційними входами i -го регістра, другий вхід i -ої схеми порівняння підключений до першого входу i -го елемента I аналізу другої групи, другий вхід якого з'єднаний з прямим виходом i -го тригера, а вихід з'єднаний із виходом лічби i -го вихідного лічильника, виходи розрядів якого є виходами рангу i -го числа пристрою, а інформаційні входи з'єднані з виходами відповідних елементів I перепису рангу i -ої групи, керуючі входи яких підключені до i -го виходу розподільвача імпульсів, виходи елементів I

аналізу першої групи з'єднані з входами вузла підрахунку кількості одиниць, виходи якого з'єднані з інформаційними входами відповідних елементів I перепису рангу всіх груп.

Недоліком найбільш близького аналога є недостатня швидкодія через послідовний спосіб подання чисел у пристрій та неможливість зчитування певного числа за його рангом у відсортованій послідовності чисел, що обмежує його функціональні можливості.

В основу корисної моделі поставлена задача створення асоціативного процесора, в якому введення нових вузлів та зв'язків дозволяє прискорити сортування та визначення рангів чисел масиву в процесі їх паралельного порівняння без перезапису даних у регістрах та можливість зчитування певного числа за його рангом у відсортованій послідовності чисел, що сприяє розширенню його функціональних можливостей.

Поставлена задача вирішується тим, що в асоціативний процесор, що містить n регістрів, де n - кількість чисел, які сортуються, та n вихідних лічильників, причому виходи розрядів i -го вихідного лічильника є виходами рангу i -го числа, згідно з корисною моделлю, додатково введено n вхідних лічильників, n вузлів рангу, n комутаторів, n компараторів, елемент АБО та елемент I, причому інформаційні входи пристрою з'єднані з входами відповідних регістрів, вхід початкового встановлення пристрою з'єднаний з першим входом n вузлів рангів, вхід тактових імпульсів пристрою підключений до входу зворотної лічби n вхідних лічильників, вихід елемента I є виходом сигналу "Кінець" пристрою, а вихід кожного з n вхідних лічильників є виходом ознаки нуля відповідного вхідного лічильника і з'єднаний з другим входом відповідного вузла рангів, а також з відповідним входом елемента I, вихід кожного з n вузлів рангів з'єднаний з входом прямої лічби відповідного вихідного лічильника, інформаційний вхід n вихідних лічильників з'єднаний з інформаційним входом початкового стану пристрою, вихід ознаки кожного з n вузлів рангів з'єднаний з відповідним входом елемента АБО, вихід якого підключений до входу дозволу кожного з n вузлів рангів, інформаційний вхід кожного з вхідних лічильників з'єднаний з першим інформаційним виходом відповідного комутатора, другий інформаційний вихід якого підключений до відповідного інформаційного виходу пристрою, а його керуючий вхід з'єднаний з виходом співпадіння відповідного компаратора, крім того, інформаційні входи n комутаторів з'єднані з виходами відповідних регістрів, вхід ключа пристрою підключений до першого інформаційного входу кожного з n компараторів, другий інформаційний вхід яких з'єднаний з виходом рангу відповідного вихідного лічильника, а керуючий вхід пристрою з'єднаний з входом запису/зчитування кожного з n регістрів.

На Фіг. 1 наведено функціональну схему асоціативного процесора, на Фіг. 2 представлено функціональну схему вузла рангу.

Асоціативний процесор (Фіг. 1) містить інформаційні входи $1_1, \dots, 1_n$, n регістрів $2_1, \dots, 2_n$, n вхідних лічильників $3_1, \dots, 3_n$, n вихідних лічильників $4_1, \dots, 4_n$, n вузлів рангів $5_1, \dots, 5_n$, n комутаторів $6_1, \dots, 6_n$, n компараторів $7_1, \dots, 7_n$, елемент АБО 8, елемент 19.

Вхід 10 тактових імпульсів пристрою підключений до входу зворотної лічби вхідних лічильників $3_1, \dots, 3_n$, виходи $11_1, \dots, 11_n$ відповідних вихідних лічильників $4_1, \dots, 4_n$ з'єднані з першими входами компараторів $7_1, \dots, 7_n$, вихід елемента 19 є виходом 12 сигналу "Кінець" пристрою.

Інформаційні входи $13_1, \dots, 13_n$ відповідних регістрів $2_1, \dots, 2_n$ з'єднані з інформаційними входами відповідних комутаторів $6_1, \dots, 6_n$, виходи $14_1, \dots, 14_n$ ознаки нуля відповідних вхідних лічильників $3_1, \dots, 3_n$ з'єднані відповідно з другими входами вузлів рангів $5_1, \dots, 5_n$. Виходи $15_1, \dots, 15_n$ відповідних вузлів рангів $5_1, \dots, 5_n$ з'єднані з входами прямої лічби відповідних вихідних лічильників $4_1, \dots, 4_n$, інформаційні входи яких з'єднані з інформаційним входом 16 початкового стану пристрою.

Виходи $17_1, \dots, 17_n$ ознаки відповідних вузлів рангів $5_1, \dots, 5_n$ з'єднані з n входами елемента АБО 8, вихід 18, дозвіл якого з'єднаний з входом дозволу відповідних вузлів рангів $5_1, \dots, 5_n$. Виходи $19_1, \dots, 19_n$ співпадіння відповідних компараторів $7_1, \dots, 7_n$, з'єднані з керуючими входами відповідних комутаторів $6_1, \dots, 6_n$, інші виходи яких з'єднані з інформаційними входами $21_1, \dots, 21_n$ відповідних вхідних лічильників $3_1, \dots, 3_n$. Вхід 22 початкового встановлення пристрою з'єднаний з першими входами вузлів рангів $5_1, \dots, 5_n$, вхід 23 ключа пристрою з'єднаний з входами $24_1, \dots, 24_n$ відповідних компараторів $7_1, \dots, 7_n$, а керуючий вхід 25 пристрою з'єднаний з входами запису/зчитування регістрів $2_1, \dots, 2_n$.

Вузол рангу 5_i , де $i=1, \dots, n$ (Фіг. 2) містить RS-тригер 26, елемент HI 27, два елементи 128, 129. S-вхід RS-тригера 26 з'єднаний з входом 22 початкового встановлення пристрою, а R-вхід RS-тригера 26 з'єднаний з входом елемента HI 27, з входом 14 і вузла рангу 5_i і з першим входом елемента I 29, другий вхід якого з'єднаний з прямим виходом RS-тригера 26. Вихід елемента I 29 є виходом 17_i ознаки вузла рангу 5_i , а вихід елемента HI 27 з'єднаний з першим

входом елемента 128, другий вхід якого з'єднаний з входом 18 дозволу вузла рангу 5_i , а його вихід з'єднаний з виходом 15_i вузла рангу 5_i

Асоціативний процесор (Фіг. 1) працює таким чином. На початку роботи по входу 22 початкового встановлення пристрою одиничний сигнал встановлює в початковий стан вузли рангів $5_1, \dots, 5_n$, будучи поданий на їх перші входи. Числові дані записуються по входах $1_1, \dots, 1_n$ пристрою у відповідні регістри $2_1, \dots, 2_n$, за наявності відповідного сигналу запису на керуючому вході 25 пристрою. Одночасно у вихідні лічильники $4_1, \dots, 4_n$ по їх інформаційних входах записується початкове одиничне значення по сигналу на вході 16 початкового стану пристрою. Оскільки на початку роботи на вході 23 ключа пристрою присутній нульовий сигнал, то на виходах $19_1, \dots, 19_n$ співпадіння відповідних компараторів $7_1, \dots, 7_n$ також присутні нульові сигнали, які будучи подані на керуючі входи відповідних комутаторів $6_1, \dots, 6_n$, дозволять проходження числових даних з виходів $13_1, \dots, 13_n$ відповідних регістрів $2_1, \dots, 2_n$ на інформаційні входи $21_1, \dots, 21_n$ відповідних вхідних лічильників $3_1, \dots, 3_n$. Процес зчитування числових даних з регістрів $2_1, \dots, 2_n$ відбувається за наявності відповідного сигналу зчитування на керуючому вході 25 пристрою.

З подачею одиничного тактового імпульсу зі входу 10 пристрою на вхід зворотної лічби всіх вхідних лічильників $3_1, \dots, 3_n$ відбувається зворотна лічба їх вмісту, тобто кожне число під час подачі одного тактового імпульсу зменшується на одиницю доти, поки найменше число з цього масиву не обнулиться. Так починається перший цикл формування рангів чисел масиву, що зафіксовані у регістрах $2_1, \dots, 2_n$.

У випадку обнуління одного з вхідних лічильників $3_1, \dots, 3_n$, наприклад вхідного лічильника 3_1 , на його виході 14_1 ознаки нуля з'являється одиничний сигнал, який подається на другий вхід відповідного вузла рангів 5_1 , закриваючи проходження через нього сигналу з його виходу 15_1 на вхід прямої лічби вхідного лічильника 4_1 . На виходах $14_2, \dots, 14_n$ ознаки нуля інших вхідних лічильників $3_2, \dots, 3_n$ присутні нульові сигнали, які будучи подані на другі входи відповідних вузлів рангів $5_2, \dots, 5_n$, відкриють проходження сигналу з їх виходів $15_2, \dots, 15_n$ на вхід прямої лічби відповідних вихідних лічильників $4_2, \dots, 4_n$. При цьому задіяно виходи $17_1, \dots, 17_n$, ознаки відповідних вузлів рангів $5_1, \dots, 5_n$ та одиничний імпульс, що формується на виході 18 елемента АБО 8 і подається на вхід дозволу всіх вузлів рангів $5_1, \dots, 5_n$, оскільки на виході 17_1 ознаки відповідного вузла рангу 5_1 формується короткий одиничний імпульс.

Одночасно одиничний сигнал з виходу 14_1 ознаки нуля відповідного вхідного лічильника 3_1 подається на відповідний вхід елемента 19, в результаті на виході елемента 19, тобто на виході 12 сигналу "Кінець" пристрою нульовий сигнал не змінюється. Тільки вузли рангів $5_2, \dots, 5_n$ пропускають одиничний сигнал з відповідних виходів $15_2, \dots, 15_n$ на вхід прямої лічби відповідних вихідних лічильників $4_2, \dots, 4_n$, збільшуючи їх вміст на одиницю. Отже, в цьому випадку на виході вхідного лічильника 4_1 , тобто на відповідному виході 11_1 рангу зафіксовано одиницю, а на виходах вихідних лічильників $4_2, \dots, 4_n$, тобто на виходах $11_2, \dots, 11_n$ рангів фіксується величина "2".

В подальшому аналогічний процес відбувається при кожній появі одиничного сигналу на будь-якому виході 14_i , де $i=1, \dots, n$, ознаки нуля вхідних лічильників $3_2, \dots, 3_n$, вміст яких одночасно зменшується на одиницю з надходженням кожного тактового імпульсу з входу 10 пристрою.

У випадку появи одиничного сигналу на виході 14_i , ознаки нуля останнього вхідного лічильника 3_i , який ще не був обнулений, виконуються такі дії.

Нехай останнім обнулиться вхідний лічильник 3_n . Тоді на його виході 14_n ознаки нуля з'являється одиничний сигнал, який подається на другий вхід відповідного вузла рангів 5_n , закриваючи проходження через нього сигналу з його виходу 15_n на вхід прямої лічби відповідного вихідного лічильника 4_n . На всіх інших виходах $15_1, \dots, 15_{n-1}$ відповідних вузлів рангів $5_1, \dots, 5_{n-1}$ не буде відбуватись ніяких дій, так як всі ці виходи вже закриті. В результаті на виходах $17_1, \dots, 17_n$ всіх вузлів рангів $5_1, \dots, 5_n$ встановлюються нульові сигнали, тому на виході 18 елемента АБО 8 відсутній сигнал дозволу, що подається на відповідний вхід всіх вузлів рангів $5_1, \dots, 5_n$.

Одночасно одиничний сигнал з виходу 14_n ознаки нуля відповідного вхідного лічильника 3_n подається на відповідний вхід елемента 19. В результаті на виході елемента 19, тобто на виході 12 сигналу "Кінець" пристрою формується одиничний сигнал. Отже, на виході вихідного лічильника 4_n , тобто на відповідному виході 11_n рангу буде зафіксована величина "n", що була сформована у попередньому циклі роботи пристрою.

Коли всі вхідні лічильники $3_1, \dots, 3_n$ обнулені, кінцевий результат ранжування початкового масиву чисел буде зафіксований на виходах $11_1, \dots, 11_n$ рангів. Ємність кожного вихідного лічильника $4_1, \dots, 4_n$ дорівнює величині $k = \log_2 n$, отже у кожного з них може бути сформовано максимальний ранг кожного з чисел масиву.

Для зчитування відповідного i -го числа з масиву n чисел, що зберігаються у всіх регістрах $2_1, \dots, 2_n$, на вхід 23 ключа пристрою подається значення відповідного i -ого рангу, що відповідає позиції i -го числа у відсортованій послідовності чисел. Це може бути перше (найменше за значенням) число або n -е (більше за значенням) число, або $(n/2)$ -е (середнє за значенням) число у масиві n чисел, чому відповідають ранги "1", "n", "n/2".

В результаті подачі відповідного значення i -го рангу зі входу 23 ключа пристрою на входи $24_1, \dots, 24_n$ відповідних компараторів $7_1, \dots, 7_n$ спрацює i -й компаратор 7_i де $i=1, \dots, n$, оскільки відбувається співпадіння значень рангів на його входах і на його виході 19_i співпадіння формується одиничний сигнал. В результаті з виходу 19_i співпадіння відповідного компаратора 7_i одиничний сигнал подається на керуючий вхід відповідного комутатора 6_i . Це дозволить проходження числових даних з виходу 13_i відповідного регістра 2_i на інформаційний вихід 20_i пристрою. Процес зчитування числових даних будь-якого з регістрів $2_1, \dots, 2_n$ за певним рангом відбувається за наявності відповідного сигналу зчитування на керуючому вході 25 пристрою.

Вузол рангу 5_i , де $i=1, \dots, n$ (Фіг. 2) працює таким чином. Спочатку встановлюється в одиничний стан RS-тригер 26 за одиничним сигналом на вході 22 початкового встановлення пристрою. На початку роботи пристрою на вході 14_i вузла рангу 5_i присутній нульовий сигнал, який проходячи через елемент I 29, встановлює нульовий сигнал на виході 17_i ознаки вузла рангу 5_i , а проходячи через елемент HI 27, фіксує одиничний сигнал на першому вході елемента I 28. Якщо при цьому на другий вхід елемента I 28 надходить одиничний імпульс зі входу 18 дозволу вузла рангу 5_i , то з'являється одиничний імпульс на його виході 15_i , що приведе до збільшення вмісту відповідного вихідного лічильника 4_i на одиницю. Отже за наявністю нульового сигналу на вході 14_i вузла рангу 5_i з кожною появою одиничного імпульсу на вході 18 дозволу вузла рангу 5_i вміст відповідного вихідного лічильника 4_i збільшується на одиницю.

Після появи одиничного сигналу на вході 14_i , що відповідає нульовому значенню числа у відповідному вхідному лічильнику 3_i , забороняється процес лічби у відповідному вихідному лічильнику 4_i через наявність нульового сигналу на виході елемента HI 27, тобто через відсутність появи одиничного імпульсу на виході елемента I 28, а отже, на виході 15_i відповідного вузла рангу 5_i . Крім цього, скидається у нульовий стан RS-тригер 26, оскільки одиничний сигнал зі входу 14_i подається на його R-вхід.

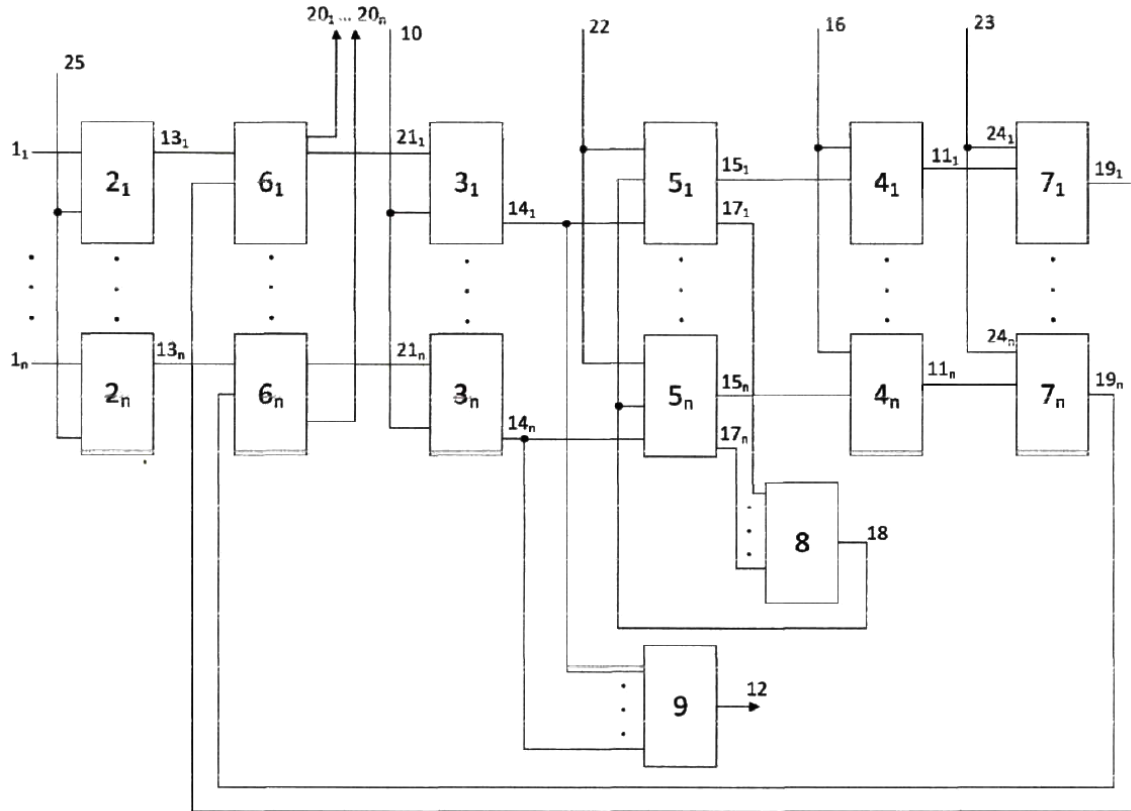
Але до початку встановлення нульового сигналу на прямому виході RS-тригера 26 одиничний сигнал зі входу 14_i формує на виході елемента I 29 короткий одиничний сигнал (імпульс), який з'являється на виході 17_i ознаки відповідного вузла рангу 5_i . Після появи нульового сигналу на прямому виході RS-тригера 26 на виході елемента I 29, а отже, на виході 17_i ознаки відповідного вузла рангу 5_i встановлюється нульовий сигнал, який свідчить про те, що ранг відповідного числа у вихідному лічильнику 4_i сформовано, тобто відповідний вузол рангу 5_i маскується.

Отже, в результаті паралельного порівняння n чисел масиву в процесі одночасного зменшення їх величини на одиничне значення (операції декременту) досягається прискорення процесу як сортування, так і ранжування чисел, оскільки час цього процесу не залежить від величини n , а обмежується максимальним значенням числа масиву. Крім цього, існує можливість зчитування певного числа за його рангом у відсортованій послідовності чисел.

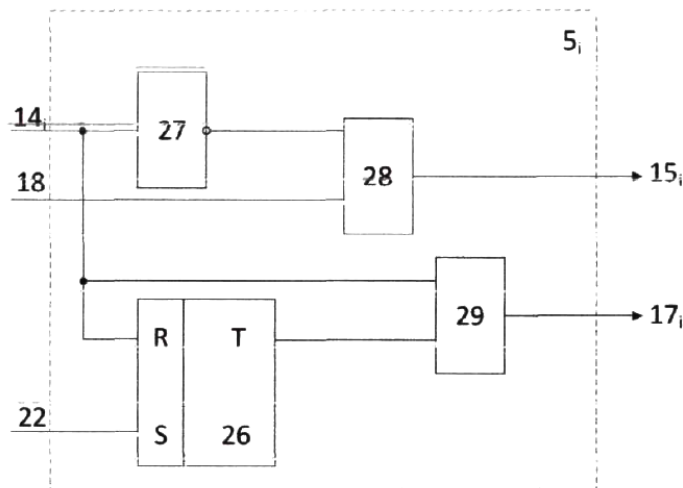
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Асоціативний процесор, що містить n регістрів, де n - кількість чисел, які сортуються, та n вихідних лічильників, причому виходи розрядів i -го вихідного лічильника є виходами рангу i -го числа, який **відрізняється** тим, що введено n вхідних лічильників, n вузлів рангу, n комутаторів, n компараторів, елемент АБО та елемент I , причому інформаційні входи пристрою з'єднані з входами відповідних регістрів, вхід початкового встановлення пристрою з'єднаний з першим входом n вузлів рангів, вхід тактових імпульсів пристрою підключений до входу зворотної лічби n вхідних лічильників, вихід елемента I є виходом сигналу "Кінець" пристрою, а вихід кожного з n вхідних лічильників є виходом ознаки нуля відповідного вхідного лічильника і з'єднаний з другим входом відповідного вузла рангів, а також з відповідним входом елемента I , вихід кожного з n вузлів рангів з'єднаний з входом прямої лічби відповідного вихідного лічильника, інформаційний вхід n вихідних лічильників з'єднаний з інформаційним входом початкового стану пристрою, вихід ознаки кожного з n вузлів рангів з'єднаний з відповідним входом елемента АБО, вихід якого підключений до входу дозволу кожного з n вузлів рангів, інформаційний вхід кожного з вхідних лічильників з'єднаний з першим інформаційним виходом відповідного комутатора, другий інформаційний вихід якого підключений до відповідного інформаційного виходу

пристрою, а його керуючий вхід з'єднаний з виходом співпадіння відповідного компаратора, крім того, інформаційні входи n комутаторів з'єднані з виходами відповідних регістрів, вхід ключа пристрою підключений до першого інформаційного входу кожного з n компараторів, другий інформаційний вхід яких з'єднаний з виходом рангу відповідного вихідного лічильника, а керуючий вхід пристрою з'єднаний з входом запису/зчитування кожного з n регістрів.



Фіг. 1



Фіг. 2

Комп'ютерна верстка В. Юкін

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601