



УКРАЇНА

(19) **UA** (11) **140874** (13) **U**
(51) МПК
H03F 3/26 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

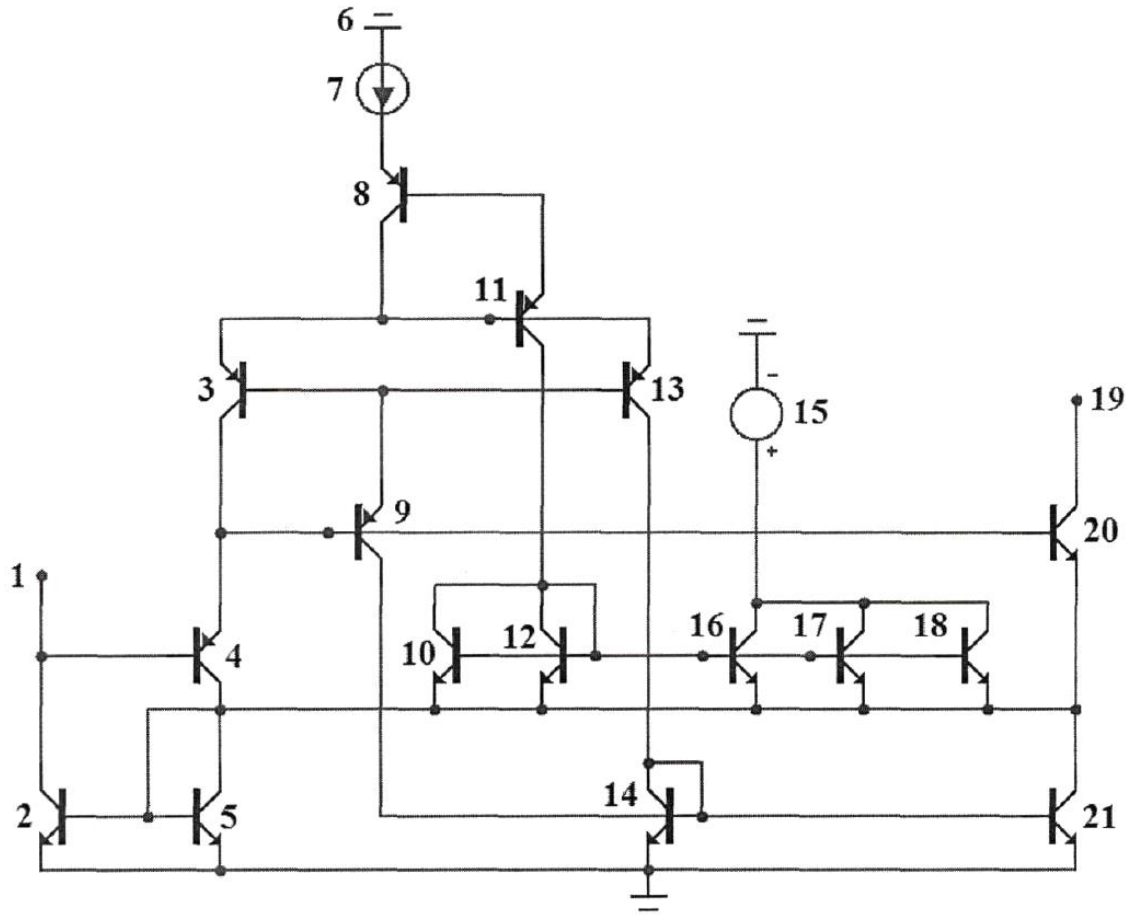
(21) Номер заявки: u 2019 09355	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Генеральницький Євгеній Сергійович (UA)
(22) Дата подання заявки: 16.08.2019	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021, Україна (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.03.2020	
(46) Публікація відомостей про видачу патенту: 10.03.2020, Бюл.№ 5	

(54) ВІДБИВАЧ СТРУМУ

(57) Реферат:

Відбивач струму містить чотири транзистори, вхідну та вихідну шини, джерело струму, шину нульового потенціалу. Вхідну шину з'єднано з колектором першого транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу. Колектори другого та третього транзисторів об'єднані та з'єднані з базами першого та другого транзисторів. Емітер четвертого транзистора з'єднано з шиною нульового потенціалу. Джерело струму з'єднано з шиною нульового потенціалу. Введено дванадцять транзисторів та джерело напруги. Базу третього транзистора з'єднано з вхідною шиною. Емітер дванадцятого транзистора з'єднано з шиною нульового потенціалу, емітер шостого транзистора з'єднано з джерелом струму. Колектор шостого транзистора з'єднано з емітерами п'ятого та одинадцятого транзисторів та об'єднано з базою дев'ятого транзистора. Базу шостого транзистора з'єднано з колектором дев'ятого транзистора, бази п'ятого та одинадцятого транзисторів об'єднано та з'єднано з емітером сьомого транзистора, бази сьомого та шістнадцятого транзисторів об'єднано та з'єднано з колектором п'ятого транзистора та емітером третього транзистора. Колектори дев'ятого, восьмого, десятого транзисторів об'єднані та з'єднані з базами восьмого, десятого, тринадцятого, чотирнадцятого, п'ятнадцятого транзисторів. Колектори тринадцятого, чотирнадцятого, п'ятнадцятого, транзисторів об'єднані та з'єднані з джерелом напруги. Джерело напруги з'єднано з шиною нульового потенціалу, емітери восьмого, десятого, тринадцятого, чотирнадцятого, п'ятнадцятого, шістнадцятого транзисторів об'єднано та з'єднано з колекторами другого, третього та четвертого транзисторів. Колектори сьомого, одинадцятого, дванадцятого транзисторів об'єднано та з'єднано з базами дванадцятого та четвертого транзисторів, колектор шістнадцятого транзистора з'єднано з вихідною шиною.

UA 140874 U



Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

За аналог вибрано відбивач струму [Гребен А.Б. Токоотвод с диодным смещением // Гребен А.Б. Проектирование аналоговых интегральных схем. - М.: Энергия, 1976. - с. 74-76], який містить шину нульового потенціалу, вхідну та вихідну шини, два транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою другого транзистора, емітери першого та другого транзистора з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною.

Недоліком аналога є низька точність роботи пристрою.

Найближчим аналогом є відбивач струму [патент України № 88149, МПК H03K 5/22, бюл. № 5, 2014 р.], який містить три транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, введено четвертий транзистор та джерело струму, причому вхідну шину з'єднано з базою четвертого транзистора, емітер четвертого транзистора з'єднано з шиною нульового потенціалу, колектор четвертого транзистора з'єднано з базою третього транзистора, а також з другим виводом джерела струму, перший вивід джерела струму з'єднано з шиною нульового потенціалу, колектор третього транзистора з'єднано з базою та колектором другого транзистора, а також з базою першого транзистора, емітер третього транзистора з'єднано з вихідною шиною.

Недоліком найближчого аналога є низький вихідний опір пристрою, що обмежує сферу використання.

В основу корисної моделі поставлено задачу створення такого відбивача струму, в якому за рахунок введення нових елементів та зв'язків між ними підвищується вихідний опір та точність роботи, що сприяє розширенню галузі використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що відбивач струму, який містить чотири транзистори, вхідну та вихідну шини, джерело струму, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори другого та третього транзисторів об'єднані та з'єднані з базами першого та другого транзисторів, емітер четвертого транзистора з'єднано з шиною нульового потенціалу, джерело струму з'єднано з шиною нульового потенціалу, згідно з корисною моделлю, введено дванадцять транзисторів та джерело напруги, причому базу третього транзистора з'єднано з вхідною шиною, емітер дванадцятого транзистора з'єднано з шиною нульового потенціалу, емітер шостого транзистора з'єднано з джерелом струму, колектор шостого транзистора з'єднано з емітерами п'ятого та одинадцятого транзисторів та об'єднано з базою дев'ятого транзистора, базу шостого транзистора з'єднано з колектором дев'ятого транзистора, бази п'ятого та одинадцятого транзисторів об'єднано та з'єднано з емітером сьомого транзистора, бази сьомого та шістнадцятого транзисторів об'єднано та з'єднано з колектором п'ятого транзистора та емітером третього транзистора, колектори дев'ятого, восьмого, десятого транзисторів об'єднані та з'єднані з базами восьмого, десятого, тринадцятого, чотирнадцятого, п'ятнадцятого транзисторів, колектори тринадцятого, чотирнадцятого, п'ятнадцятого, транзисторів об'єднані та з'єднані з джерелом напруги, джерело напруги з'єднано з шиною нульового потенціалу, емітери восьмого, десятого, тринадцятого, чотирнадцятого, п'ятнадцятого, шістнадцятого транзисторів об'єднано та з'єднано з колекторами другого, третього та четвертого транзисторів, колектори сьомого, одинадцятого, дванадцятого транзисторів об'єднано та з'єднано з базами дванадцятого та четвертого транзисторів, колектор шістнадцятого транзистора з'єднано з вихідною шиною.

На кресленні представлено принципову схему відбивача струму.

Пристрій містить шістнадцять транзисторів, вхідну 1 та вихідну 19 шини, джерело струму 7, джерело напруги 15, шину нульового потенціалу 6, причому вхідну шину 1 з'єднано з колектором першого 2 транзистора, емітери першого 2 та другого 5 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 6, колектори другого 5 та третього 4 транзисторів об'єднані та з'єднані з базами першого 2 та другого 5 транзисторів, емітер четвертого 21 транзистора з'єднано з шиною нульового потенціалу 6, джерело струму 7 з'єднано з шиною нульового потенціалу 6, причому базу третього 4 транзистора з'єднано з вхідною шиною 1, емітер дванадцятого 14 транзистора з'єднано з шиною нульового потенціалу 6, емітер шостого транзистора 8 з'єднано з джерелом струму 7, колектор шостого 8 транзистора з'єднано з емітерами п'ятого 3 та одинадцятого 13 транзисторів та об'єднано з базою дев'ятого 11 транзистора, базу шостого 8 транзистора з'єднано з колектором дев'ятого 11 транзистора, бази

п'ятого 3 та одинадцятого 13 транзисторів об'єднано та з'єднано з емітером сьомого 9 транзистора, бази сьомого 9 та шістнадцятого 20 транзисторів об'єднано та з'єднано з колектором п'ятого 3 транзистора та емітером третього 4 транзистора, колектори дев'ятого 11, восьмого 10, десятого 12 транзисторів об'єднані та з'єднані з базами восьмого 10, десятого 12, тринадцятого 16, чотирнадцятого 17, п'ятнадцятого 18 транзисторів, колектори тринадцятого 16, чотирнадцятого 17, п'ятнадцятого 18, транзисторів об'єднані та з'єднані з джерелом напруги 15, джерело напруги 15 з'єднано з шиною нульового потенціалу 6, емітери восьмого 10, десятого 12, тринадцятого 16, чотирнадцятого 17, п'ятнадцятого 18, шістнадцятого 20 транзисторів об'єднано та з'єднано з колекторами другого 5, третього 4 та четвертого 21 транзисторів, колектори сьомого 9, одинадцятого 13, дванадцятого 14 транзисторів об'єднано та з'єднано з базами дванадцятого 14 та четвертого 21 транзисторів, колектор шістнадцятого 20 транзистора з'єднано з вихідною шиною 19.

Пристрій працює таким чином.

Якщо струм на вхідній шині 1 збільшується, то потенціал бази і емітера третього 4 транзистора збільшується, при цьому шістнадцятим 20 транзистор частково відкривається і емітерний струм шістнадцятого 20 транзистора, який надходить на другий 5 транзистор, збільшується, другий 5 транзистор частково відкривається, при цьому колекторний струм першого 2 транзистора збільшується і стан третього 4 та шістнадцятого 20 транзисторів стабілізується, струм джерела струму 7 подається в емітер шостого 8 транзистора і ділиться навпіл на переходах емітер-колектор п'ятого 3 і одинадцятого 13 транзисторів, колекторний струм дев'ятого 11 транзистора подається на восьмий 10, десятим 12 транзисторами в діодному вмиканні і відбивається струмами колекторів тринадцятого 16, чотирнадцятого 17, п'ятнадцятого 18 транзисторів, колектори яких підключені до джерела напруги 15, колекторний струм одинадцятого 13 транзистора подається на дванадцятим 14 транзистор, частково відкриває його, що в свою чергу частково відкриває четвертий 21 транзистор, колекторний струм четвертого 21 транзистора збільшується і подається на емітер шістнадцятого 20 транзистора, вихідний струм схеми подається на вихідну шину 19.

Якщо струм на вхідній шині 1 зменшується, то потенціал бази і емітера третього 4 транзистора зменшується, при цьому шістнадцятим 20 транзистор частково закривається і емітерний струм шістнадцятого 20 транзистора, який надходить на другий 5 транзистор, зменшується, другий 5 транзистор частково закривається при цьому колекторний струм першого 2 транзистора зменшується і стан третього 4 та шістнадцятого 20 транзисторів стабілізується, струм джерела струму 7 подається в емітер шостого 8 транзистора і ділиться навпіл на переходах емітер-колектор п'ятого 3 і одинадцятого 13 транзисторів, колекторний струм дев'ятого 11 транзистора подається на восьмий 10, десятим 12 транзисторами в діодному вмиканні і відбивається струмами колекторів тринадцятого 16, чотирнадцятого 17, п'ятнадцятого 18 транзисторів, колектори яких підключені до джерела напруги 15, колекторний струм одинадцятого 13 транзистора подається на дванадцятим 14 транзистор, частково закриває його, що в свою чергу частково закриває четвертий 21 транзистор, колекторний струм четвертого 21 транзистора зменшується і подається на емітер шістнадцятого 20 транзистора, вихідний струм схеми подається на вихідну шину 19.

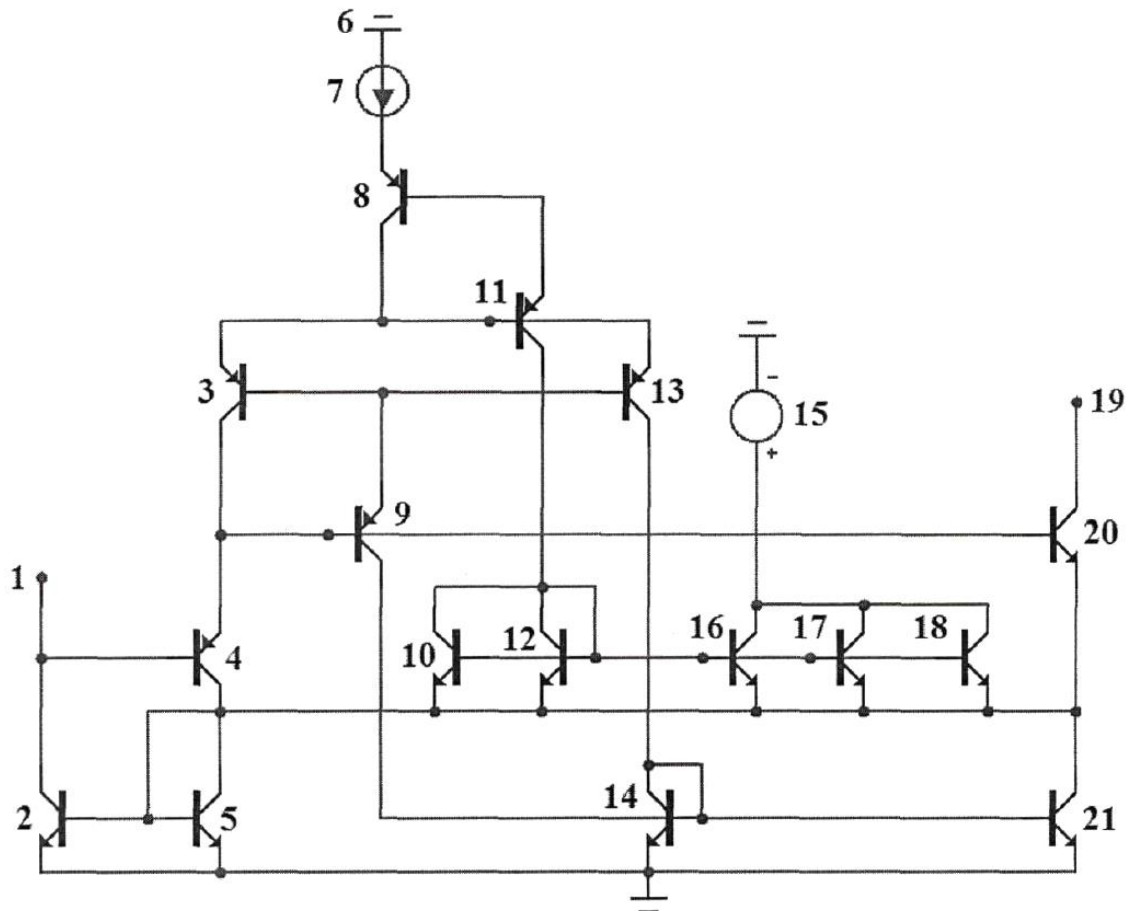
П'ятим 3, шостим 8, дев'ятим 11, одинадцятим 13 і сьомим 9 транзисторами призначено для утворення контуру зворотного зв'язку, який збільшує вихідний опір схеми, восьмим 10, десятим 12 транзисторами в діодному вмиканні, а також тринадцятим 16, чотирнадцятим 17, п'ятнадцятим 18 транзисторами також утворюють коло зворотного зв'язку, яке додатково збільшує вихідний опір схеми.

Схема функціонує таким чином, що струм колектора шістнадцятого 20 транзистора приблизно рівний вхідному струму. Таким чином струм на вхідній шині 1 схеми повторює струм на вихідній шині 19.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Відбивач струму, який містить чотири транзистори, вхідну та вихідну шини, джерело струму, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектори другого та третього транзисторів об'єднані та з'єднані з базами першого та другого транзисторів, емітер четвертого транзистора з'єднано з шиною нульового потенціалу, джерело струму з'єднано з шиною нульового потенціалу, який **відрізняється** тим, що введено дванадцять транзисторів та джерело напруги, причому базу третього транзистора з'єднано з вхідною шиною, емітер дванадцятого транзистора з'єднано з шиною нульового потенціалу,

емітер шостого транзистора з'єднано з джерелом струму, колектор шостого транзистора з'єднано з емітерами п'ятого та одинадцятого транзисторів та об'єднано з базою дев'ятого транзистора, базу шостого транзистора з'єднано з колектором дев'ятого транзистора, бази п'ятого та одинадцятого транзисторів об'єднано та з'єднано з емітером сьомого транзистора, бази сьомого та шістнадцятого транзисторів об'єднано та з'єднано з колектором п'ятого транзистора та емітером третього транзистора, колектори дев'ятого, восьмого, десятого транзисторів об'єднані та з'єднані з базами восьмого, десятого, тринадцятого, чотирнадцятого, п'ятнадцятого транзисторів, колектори тринадцятого, чотирнадцятого, п'ятнадцятого, транзисторів об'єднані та з'єднані з джерелом напруги, джерело напруги з'єднано з шиною нульового потенціалу, емітери восьмого, десятого, тринадцятого, чотирнадцятого, п'ятнадцятого, шістнадцятого транзисторів об'єднано та з'єднано з колекторами другого, третього та четвертого транзисторів, колектори сьомого, одинадцятого, дванадцятого транзисторів об'єднано та з'єднано з базами дванадцятого та четвертого транзисторів, колектор шістнадцятого транзистора з'єднано з вихідною шиною.



Комп'ютерна верстка В. Юкін

Міністерство розвитку економіки, торгівлі та сільського господарства України,
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601