



УКРАЇНА

(19) UA

(11) 142771

(13) U

(51) МПК

G06G 7/14 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ
ЕКОНОМІКИ, ТОРГІВЛІ ТА
СІЛЬСЬКОГО ГОСПОДАРСТВА
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2020 00206**

(22) Дата подання заявки: **13.01.2020**

(24) Дата, з якої є чинними
права на корисну
модель: **25.06.2020**

(46) Публікація відомостей
про видачу патенту: **25.06.2020, Бюл.№ 12**

(72) Винахідник(и):

**Мартинюк Тетяна Борисівна (UA),
Кожем'яко Андрій Вікторович (UA),
Куперштейн Леонід Михайлович (UA),
Шепотайло Артур Вікторович (UA)**

(73) Власник(и):

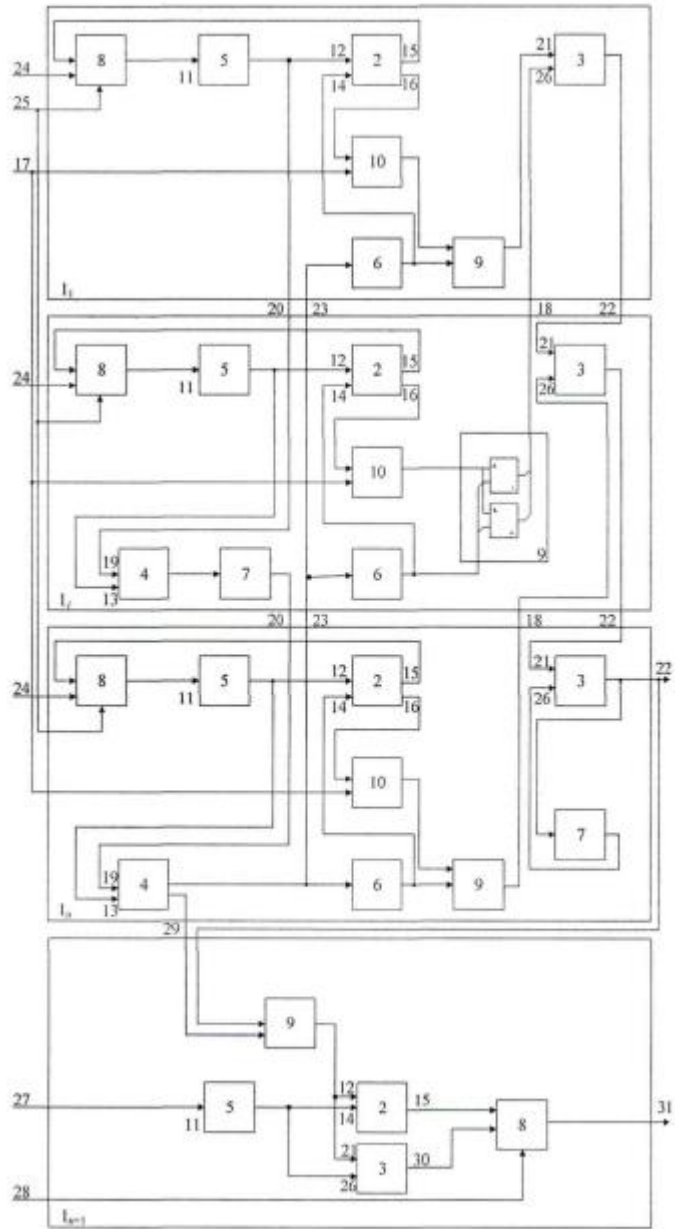
**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ
ТЕХНІЧНИЙ УНІВЕРСИТЕТ,
Хмельницьке шосе, 95, м. Вінниця, 21021
(UA)**

(54) КОНВЕЄРНИЙ ПІДСУМОВУЮЧИЙ ПРИСТРІЙ

(57) Реферат:

Конвеєрний підсумовуючий пристрій містить n входів, групу з n суматорів-віднімачів і n комірок, i -ий суматор-віднімач міститься в i -ій комірці пристрою, крім того, i -та комірка містить суматор, мініматор, три регістри, D-тригер, мультиплексор і комутатор. Введено $(n+1)$ -й вхід, знаковий вхід та додаткову $(n+1)$ -у комірку, яка містить перший регістр, суматор-віднімач, суматор, мультиплексор і комутатор.

UA 142771 U



Корисна модель належить до автоматики та обчислювальної техніки і може бути використана для розв'язання задач паралельного підсумовування масиву чисел при побудові спеціалізованих обчислювальних систем.

Відомий пристрій для одночасного виконання операцій додавання над множиною чисел (а.с. СРСР 558267 м. кл. G06F 7/385, 1977 р.), що містить однотипні блоки, причому кожний i -блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду часткового результату, тригер формування кінцевого результату, елемент l , виходи n старших розрядів вузла формування часткового результату з'єднанні з входами регістра часткового результату $(i+1)$ -го блока, одиничний вихід тригера зберігання молодшого розряду часткового результату з'єднаний з першим входом елемента l , другий вхід якого з'єднаний з одиничним входом тригера формування кінцевого результату $(i+1)$ -го блока, вихід молодшого розряду вузла формування часткового результату підключений до одиничного входу тригера зберігання молодшого розряду часткового результату, нульові виходи тригерів зберігання молодшого розряду часткового результату, формування кінцевого результату та регістра часткового результату підключені до шини тактових імпульсів, причому в i -й блок пристрою введені регістр порядку, вузол формування порядку, елемент АБО та два логічних вузла, виходи регістра порядку з'єднанні з входами вузла формування порядку, виходи якого підключені до входів регістра порядку $(i+1)$ -го блока, крім того виходи регістра порядку з'єднанні з входами елемента АБО, вихід якого з'єднаний з підсумовуючим входом вузла формування порядку, а також з керуючими входами логічних вузлів, виходи регістра часткового результату з'єднанні з входами логічних вузлів, виходи першого логічного вузла підключені до входів n старших розрядів вузла формування часткового результату, а виходи другого логічного вузла підключені до входів $(n+1)$ розрядів вузла формування часткового результату, причому n -ий вихід другого логічного вузла підключений до n -го та $(n+1)$ -го входів вузла формування часткового результату, до підсумовуючого входу якого підключений одиничний вихід тригера зберігання молодшого розряду часткового результату, вихід елемента l з'єднаний з $(n-1)$ -им розрядом регістра часткового результату $(i+1)$ -го блока.

Недоліком даного пристрою є обмежені функціональні можливості через його нездатність врахувати величину та знак зовнішнього зміщення.

Найбільш близьким аналогом за технічною суттю є конвеєрний підсумовуючий пристрій (патент України 46877, м. кл. G06G 7/14, G06F 7/50, 2002 р., бюл. № 6), що містить n входів, групу з n блоків порівняння, в подальшому суматорів-віднімачів, і n комірок, i -ий суматор-віднімач міститься в i -ій комірці пристрою, крім того, i -та комірка містить суматор, вузол виділення загальної частини операндів, в подальшому мініматор, три регістри, D-тригер, мультиплексор і блок логічних елементів l , в подальшому комутатор, причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом суматора-віднімача та першим входом мініматора, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом комутатора та другим входом суматора-віднімача, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід - з D-входом D-тригера, R-вихід якого підключений до входу встановлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу комутатора, вихід якого є першим виходом i -ої комірки, другий вхід мініматора i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід - з першим виходом $(i+1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці мініматора та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом комутатора, при цьому в n -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід мініматора з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ комірки, третій вихід n -ої комірки є виходом, в подальшому першим виходом пристрою, комутатор містить m елементів l , де m - розрядність вхідних величин, перші входи яких з'єднанні з першим входом комутатора, другі входи - з другим входом комутатора, а виходи - з виходами комутатора.

Недоліком найближчого аналога є обмежені функціональні можливості через його нездатність враховувати величину та знак зовнішнього зміщення.

В основу корисної моделі поставлено задачу створення конвеєрного підсумовуючого пристрою, в якому за рахунок введення нових блоків та зв'язків між ними забезпечується

врахування зовнішнього зміщення та його знака при виконанні конвеєрного способу обробки масиви n операндів, що дозволяє розширити функціональні можливості пристрою.

Поставлена задача вирішується тим, що в конвеєрний підсумовуючий пристрій, що містить n входів, групу з n суматорів-віднімачів і n комірок, i -ий суматор-віднімач міститься в i -ій комірці пристрою, крім того, i -та комірка містить суматор, мініматор, три регістри, D-тригер, мультиплексор і комутатор, причому перший вхід i -ої комірки з'єднаний з першим входом мультиплексора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом суматора-віднімача та першим входом мініматора, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом комутатора та другим входом суматора-віднімача, перший вихід якого з'єднаний з другим входом мультиплексора, а другий вихід - з D-входом D-тригера, R-вихід якого підключений до входу встановлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу комутатора, вихід якого є першим входом i -ої комірки, другий вхід мініматора i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід - з першим виходом $(i+1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплексора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірці мініматора та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом комутатора, при цьому в n -ій комірці вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід мініматора з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ комірки, третій вихід n -ої комірки є першим виходом пристрою, комутатор містить m елементів l , де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом комутатора, другі входи - з другим входом комутатора, а виходи - з виходами комутатора, введено $(n+1)$ - й вхід, знаковий вхід та додаткову $(n+1)$ - у комірку, яка містить перший регістр, суматор-віднімач, суматор, мультиплексор і комутатор, причому вхід першого регістра з'єднаний з $(n+1)$ - м входом пристрою, а його вихід з'єднаний з другим входом суматора-віднімача і другим входом суматора, перші входи яких підключені до виходу комутатора, перший вхід комутатора з'єднаний з третім виходом n -ої комірки, а його другий вхід з'єднаний з виходом ознаки нуля мініматора n -ої комірки, перший та другий входи мультиплексора підключені відповідно до виходів суматора-віднімача та суматора, керувальний вхід мультиплексора з'єднаний зі знаковим входом пристрою, а вихід мультиплексора з'єднаний з виходом $(n+1)$ -ої комірки, який є другим виходом пристрою.

На креслені зображено функціональну схему пристрою. Пристрій містить n - комірок 1, причому i -та комірка 1 містить суматор-віднімач 2, суматор 3, мініматор 4, перший 5, другий 6, третій 7 регістри, мультиплексор 8, комутатор 9, D-тригер 10.

Вихід мультиплексора 8 i -ої комірки 1 підключено до входу 11 першого регістра 5, в якого вихід з'єднаний з прямим входом 12 суматора-віднімача 2 та входом 13 мініматора 4. Вихід другого регістра 6 з'єднаний з інформаційним входом комутатора 9 та інверсним входом 14 суматора-віднімача 2, вихід 15 якого з'єднаний з другим інформаційним входом мультиплексора 8, а вихід 16 ознаки від'ємного результату суматора-віднімача 2 з'єднаний з D-входом D-тригера 10, R-вихід якого підключений до входу 17 встановлення в початковий стан пристрою. Інверсний вихід D-тригера 10 підключено до керувального входу комутатора 9, інформаційний вихід якого підключено до виходу 18 i -ої комірки 1.

Крім того, вхід 19 мініматора 4 i -ої комірки 1 з'єднаний з виходом 20 $(i-1)$ -ої комірки 1, вхід 21 суматора 3 i -ої комірки 1 з'єднаний з виходом 22 $(i-1)$ -ої комірки 1, а вихід суматора 3 є виходом 22 i -ої комірки 1. Вхід другого регістра 6 підключено до входу 23 i -ої комірки 1, вихід мініматора 4 з'єднаний з входом третього регістра 7, вихід якого є виходом 20 i -ої комірки 1. Перший інформаційний вхід мультиплексора 8 з'єднаний з входом 24 i -ої комірки 1, який є i -м входом пристрою, його керувальний вхід - з керувальним входом 25 пристрою, а вхід 26 суматора 3 i -ої комірки 1 підключено до виходу 18 $(i+1)$ -ої комірки 1.

Комутатор 9 містить m логічних елементів l (де m - розрядність вхідних величин), перші входи яких з'єднані з відповідними інформаційними входами комутатора 9, другі входи - з керувальним входом комутатора 9, а виходи - з відповідними інформаційними виходами комутатора 9. У першій комірці 1 вихід першого регістра 5 є виходом 20 першої комірки 1, а вхід 21 суматора 3 з'єднаний з виходом комутатора 9 цієї комірки. В останній n -ій комірці 1 вхід третього регістра 7 підключено до виходу суматора 3 n -ої комірки 1, а вихід - до входу 26 цього ж суматора 3, вихід мініматора 4 з'єднаний з входом другого регістра 6 n -ої комірки 1, а також з входом 23 всіх $(n-1)$ комірок 1, вихід 22 n -ої комірки 1 є першим виходом пристрою.

Додаткова (n+1)-а комірка 1 містить суматор-віднімач 2, суматор 3, перший регістр 5, мультиплексор 8 і комутатор 9. Інформаційний вхід додаткової (n+1)-ої комірки 1 є входом 27 зміщення пристрою, який з'єднаний з входом 11 першого регістра 5, вихід якого з'єднаний з інверсним входом 14 суматора-віднімача 2 і входом 26 суматора 3, прямий вхід 12 суматора-віднімача 2 і вхід 21 суматора 3 підключені до виходу комутатора 9. Керувальний вхід мультиплексора 8 підключений до знакового входу 28 пристрою, інформаційний вхід комутатора 9 з'єднаний з виходом 22 n- ої комірки 1, а його керувальний вхід підключений до виходу 29 n-ої комірки 1, який з'єднаний з виходом ознаки нуля мініматора 4 n-ої комірки 1. Перший і другий входи мультиплексора 8 з'єднані відповідно з виходом 15 суматора-віднімача 2 і виходом 30 суматора 3, а його вихід з'єднаний з виходом 31 (n+1)-ої комірки 1, який є другим виходом пристрою.

Конвеєрний підсумовуючий пристрій реалізує процес обчислення, суть якого полягає в тому, що підсумовування n чисел a_i зводиться до обчислення і підсумовування N часткових сум, де N - кількість різноманітних вхідних величин a_i , тобто математична модель цього процесу має вигляд:

$$S = \sum_{i=1}^n a_i = \sum_{j=1}^N q_j p_j, \quad (1)$$

де q_j - загальна значуща (мінімальна) частина всіх чисел a_i ; p_j - кратність загальної частини; j - цикл обробки.

Уточнення даної математичної моделі (1) з урахуванням зовнішнього зміщення b зі знаком має вигляд:

$$S_0 = S \pm b = \sum_{j=1}^N q_j p_j \pm b. \quad (2)$$

В результаті алгоритм багатооперандного підсумовування має такий вигляд.

Крок 1. Записується векторний масив A_0 чисел $a_{i,0}$ та зовнішнє зміщення b , фіксується його знак.

Крок 2. Визначається загальна значуща (мінімальна) частина всіх доданків у j -му циклі, тобто

$$q_j = \min \{a_{i,j-1}\}_{i=1}^n, \quad (3)$$

де $a_{i,0}$ - i -й доданок на вході пристрою; $j = 1, \dots, N$.

Перевіряється умова

$$q_j = 0. \quad (4)$$

Якщо умова виконується, то перехід до кроку 5, в іншому випадку - до кроку 3.

Крок 3. Виділяється зріз різниць A_j , тобто сукупність величин різниці всіх доданків $(j-1)$ -го циклу з їхньою загальною частиною q_j , тобто

$$A_j = \{a_{i,j}\}_{i=1}^n = \{a_{i,j-1} - q_j\}_{i=1}^n. \quad (5)$$

В подальшому отриманий зріз різниць A_j є вхідною множиною доданків для наступного $(j-1)$ -го циклу.

Крок 4. Формується часткова сума S_j , як кратне загальної частини q_j , де кратність p_j визначається кількістю додатних і нульових доданків j -го циклу:

$$S_j = q_j p_j. \quad (6)$$

Одночасно підсумовуються часткові суми S_1, \dots, S_j , які отримані на попередніх j -х циклах:

$$S_k = \sum_{j=1}^k S_j. \quad (7)$$

Перехід до кроку 2.

Крок 5. Виконується врахування зовнішнього зміщення b зі знаком у вигляді (2) для результату S_0 , оскільки остаточний результат суми S (1) формується в процесі накопичення часткових сум (7) всіх N циклів підсумовування.

Кількість циклів N процесу підсумовування n чисел a_i у цьому алгоритмі залежить від наявності R груп із кількістю m_r повторюваних чисел у початковому масиві A_0 . Таким чином, максимальна, мінімальна і середня кількості циклів алгоритму визначаються таким чином:

$$\begin{aligned} N_{\max} &= n, \\ N_{\min} &= 1, \quad (8) \\ N_{\text{сеп}} &= n - \sum_{r=1}^R (m_r - 1). \end{aligned}$$

Максимальна кількість циклів відповідає обробці масиву, що складається з n різноманітних за величиною чисел, а мінімальна - коли масив складають n однакових за величиною чисел a_i .

10 Конвеєрний підсумовуючий пристрій працює таким чином. На вхід 24 i -ої комірки 1 надходить i -ий операнд з групи A_0 операндів a_i , кількість яких n , на вхід 27 $(n+1)$ -ої комірки 1 надходить зовнішнє зміщення b , а на її вході 28 фіксується знак зовнішнього зміщення b . Запис операндів a_i в комірки 1 виконується паралельно. При цьому на керувальний вхід мультиплексорів 8 всіх n комірок 1 подається одиничний сигнал з керувального входу 25

15 пристрою. Через мультиплексор 8 i -ий операнд надходить через вхід 11 в перший регістр 5 i -ої комірки 1. Після цього виконується послідовне виділення загальної (мінімальної) частини двох операндів - $(i-1)$ -го та i -го мініматором 4 і запис результату в третій регістр 7, починаючи з другої комірки 1. При цьому задіяно входи 13 і 19 мініматора 4 i -ої комірки 1 та вихід 20 $(i-1)$ -ої комірки 1. Згідно із виразом (3) на кроці 2 алгоритму ця операція виконується послідовно, починаючи з

20 другої комірки 1. Кінцевий результат виділення загальної частини всіх n операндів формується в n -ій комірці 1 і з виходу мініматора 4 цієї комірки записується в другі регістри 6 всіх n комірок 1 паралельно по їх входу 23, починаючи з $(n-1)$ -ої комірки 1.

Після цього відбувається порівняння в суматорі-віднімачі 2 i -го операнда, що надходить з першого регістра 5 по прямому входу 12 та загальної частини всіх операндів, що надходить з

25 другого регістра 6 по інверсному входу 14 суматора-віднімача 2. Порівняння відбувається в процесі віднімання від величини операнда загальної частини всіх величин операндів, згідно із виразом (5) на кроці 3 алгоритму, і ця різниця записується з виходу 15 суматора-віднімача 2 через мультиплексор 8 в перший регістр 5 по його входу 11, оскільки на керувальному вході 25 пристрою тепер присутній нульовий сигнал. При цьому з виходу 16 суматора-віднімача 2 ознака від'ємного результату різниці записується в D-тригер 10, який перед початком роботи пристрою був занулений сигналом по входу 17 встановлення в початковий стан пристрою.

При відсутності одиничного сигналу ознаки від'ємного результату одиничний сигнал з інверсного виходу D-тригера 10 дозволяє проходження через комутатор 9 загальної частини операндів з другого регістра 6 i -ої комірки 1 по входу 26 в суматор 3 $(i-1)$ -ої комірки, на вхід 21

35 якого надходить складова часткової суми S_j з $(i-1)$ -ої комірки 1. Так відбувається накопичування загальної частини операндів в усіх N циклах підсумовування операндів, де N - кількість вхідних операндів, що відрізняються. При цьому задіяно вихід 18 комірок 1, починаючи з другої комірки 1, а також виходи 22 комірок 1 з першої до $(n-1)$ -ої комірок 1.

У випадку, якщо на виході 16 суматора-віднімача 2 i -ої комірки 1 з'явиться одиничний сигнал ознаки від'ємного результату, то нульовий сигнал з інверсного виходу D-тригера 10 заборонить надходження загальної частини операндів в даному циклі обробки через комутатор 9 i -ої

40 комірки 1 на вхід 26 суматора 3 $(i-1)$ -ої комірки 1 через вихід 18 i -ої комірки 1.

В суматорах 3 кожної з n комірок 1 в кожному циклі відбувається послідове підсумовування загальних частин групи з n операндів, а в результаті на виході суматора 3 n -ої комірки 1

45 формується часткова сума S_1 операндів згідно із виразом (6) на кроці 4 алгоритму. Так виконується перший цикл обробки. Далі цикли повторюються і кількість їх в середньому дорівнює величині $N_{\text{сеп}}$ (8).

Для накопичення часткових сум S_j за виразом (7) на кроці 4 в n -ій комірці 1 задіяно третій

50 регістр 7, який зберігає результат, сформований у попередніх циклах, і додає їх до наступної часткової суми по входу 26 суматора 3 n -ої комірки 1.

Після виконання всіх N циклів обробки на виході суматора 3 n -ої комірки 1, а отже на виході 22 цієї комірки 1, що є першим виходом пристрою, формується остаточна сума S

5 вигляду (1), а при виконанні умови (4) на виході мініматора 4 n -ої комірки 1, а отже на її виході 29 фіксується одиничний сигнал "Кінець", який подається на керувальний вхід комутатора 9 додаткової $(n+1)$ -ої комірки 1. Цей сигнал дозволяє проходження через комутатор 9 сформованої суми S з виходу 22 n -ої комірки на прямий вхід 12 суматора-віднімача 2 і вхід 21 суматора 3 додаткової $(n+1)$ -ої комірки 1. При цьому на інверсний вхід 14 суматора-віднімача 2 і на вхід 26 суматора 3 подається зміщення b з виходу першого регістра 5 цієї комірки 1.

10 В результаті на виході 15 суматора-віднімача 2 формується результат - величина S_0 за виразом (2) як різниця цих двох величин, а на виході S_0 суматора 3 формується величина S_0 за виразом (2) як сума цих двох величин. З врахуванням знака зовнішнього зміщення b , який подається на керувальний вхід мультиплектора 8 додаткової $(n+1)$ -ої комірки 1, на його вихід, а отже на вихід 31 цієї комірки, що є другим виходом пристрою, подається або інформація з виходу 15 суматора-віднімача 2, оскільки знак "-" кодується нулем, або інформація з виходу 30 суматора 3, оскільки знак "+" кодується одиницею.

15 Отже, пристрій може виконувати не тільки паралельне підсумовування операндів (чисел векторного масиву) за різницею зрізів, але й формувати їх суму з урахуванням величини зовнішнього зміщення b зі знаком. У таблиці 1 показано приклад обробки масиву чисел {13, 8, 3, 11} з урахуванням зміщення $b=17$, та його знака, а саме, наведено часткові суми S_j , накопичені суми S_k , показано процес формування різницевої зрізів A_j і результату S_0 для конкретних значень знака зовнішнього зміщення b .

20

Таблиця

Приклад підсумовування масиву чисел

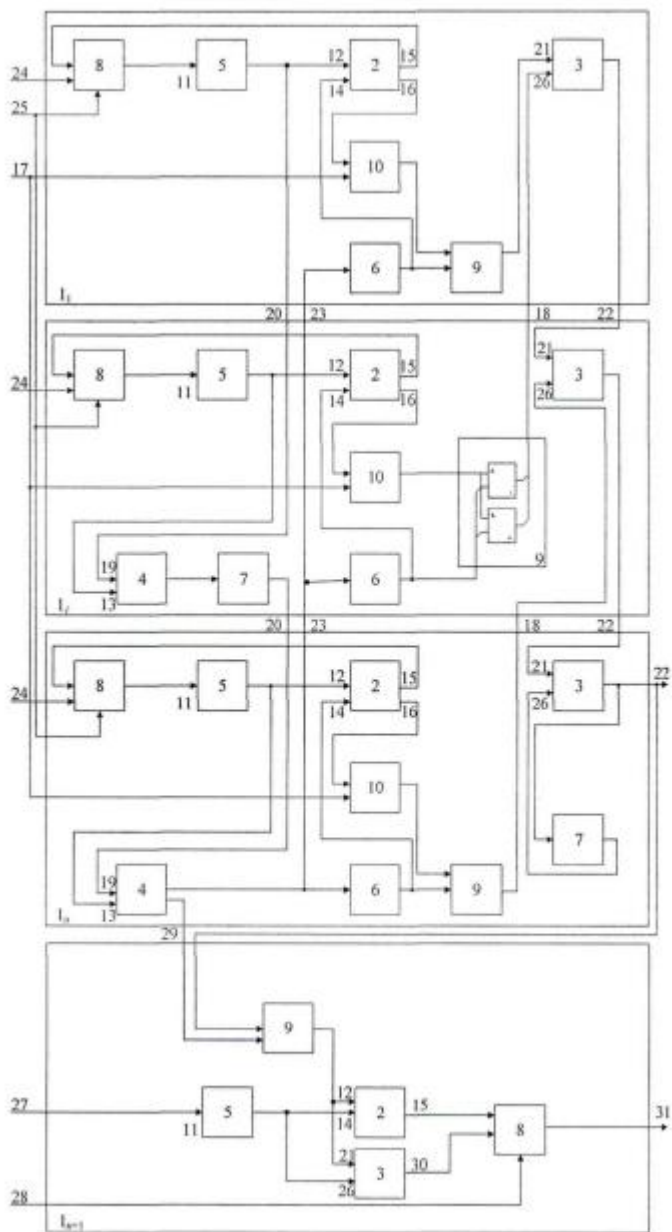
Елементи $a_{i,j}$ різницевої зрізів	Різницеві зрізи A_j					
	A_0	A_1	A_2	A_3	A_4	A_5
$a_{1,j}$	13	10	5	2	0	-
$a_{2,j}$	8	5	0	-	-	-
$a_{3,j}$	3	0	-	-	-	-
$a_{4,j}$	11	8	3	0	-	-
Цикл обробки	0	1	2	3	4	5
Найменше число q_j	0	3	5	3	2	0
Часткова сума S_j	0	$3 \times 4 = 12$	$5 \times 3 = 15$	$3 \times 2 = 6$	$2 \times 1 = 2$	0
Накопичена сума S_k	0	$0 + 12 = 12$	$12 + 15 = 27$	$27 + 6 = 33$	$33 + 2 = 35$	$35 + 0 = 35$
Зміщення b	17	17	17	17	17	17
Результат S_0 (знак "-")	0	0	0	0	0	$35 - 17 = 18$
Результат S_0 (знак "+")	0	0	0	0	0	$35 + 17 = 52$

25 Запропонований конвеєрний підсумовуючий пристрій має розширені функціональні можливості, оскільки моделює роботу адаптивного суматора у складі формального нейрона з формуванням результату обробки з урахуванням зовнішнього зміщення зі знаком, а також виконує одночасно паралельне підсумовування чисел векторного масиву вхідних даних з формуванням їх суми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

30 Конвеєрний підсумовуючий пристрій, що містить n входів, групу з n суматорів-віднімачів і n комірок, i -ий суматор-віднімач міститься в i -ій комірці пристрою, крім того, i -та комірка містить суматор, мініматор, три регістри, D-тригер, мультиплексор і комутатор, причому перший вхід i -ої

комірки з'єднаний з першим входом мультиплектора, вихід якого підключений до входу першого регістра, вихід якого з'єднаний з першим входом суматора-віднімача та першим входом мініматора, вихід якого з'єднаний з третім регістром, а вихід другого регістра з'єднаний з першим входом комутатора та другим входом суматора-віднімача, перший вихід якого з'єднаний з другим входом мультиплектора, а другий вихід - з D-входом D-тригера, R-вхід якого підключений до входу встановлення в початковий стан пристрою, інверсний вихід D-тригера підключений до другого входу комутатора, вихід якого є першим виходом i -ої комірки, другий вхід мініматора i -ої комірки з'єднаний з другим виходом $(i-1)$ -ої комірки, перший вхід суматора i -ої комірки з'єднаний з третім виходом $(i-1)$ -ої комірки, другий вхід - з першим виходом $(i+1)$ -ої комірки, а вихід суматора є третім виходом i -ої комірки, вихід третього регістра є другим виходом i -ої комірки, керувальний вхід мультиплектора підключений до керувального входу пристрою, вхід другого регістра є другим входом i -ої комірки, крім того, через відсутність в першій комірни мініматора та третього регістра, вихід першого регістра є другим виходом першої комірки, а перший вхід суматора з'єднаний з виходом комутатора, при цьому в n -ій комірни вхід третього регістра з'єднаний з виходом суматора, а вихід - з другим входом суматора, вихід мініматора з'єднаний з входом другого регістра, а також підключений до другого входу $(n-1)$ комірки, третій вихід n -ої комірки є першим виходом пристрою, комутатор містить m елементів I, де m - розрядність вхідних величин, перші входи яких з'єднані з першим входом комутатора, другі входи - з другим входом комутатора, а виходи - з виходами комутатора, який **відрізняється** тим, що введено $(n+1)$ -й вхід, знаковий вхід та додаткову $(n+1)$ -у комірку, яка містить перший регістр, суматор-віднімач, суматор, мультиплексор і комутатор, причому вхід першого регістра з'єднаний з $(n+1)$ -м входом пристрою, а його вихід з'єднаний з другим входом суматора-віднімача і другим входом суматора, перші входи яких підключені до виходу комутатора, перший вхід комутатора з'єднаний з третім виходом n -ої комірки, а його другий вхід з'єднаний з виходом ознаки нуля мініматора n -ої комірки, перший та другий входи мультиплектора підключені відповідно до виходів суматора-віднімача та суматора, керувальний вхід мультиплектора з'єднаний зі знаковим входом пристрою, а вихід мультиплектора з'єднаний з виходом $(n+1)$ -ої комірки, який є другим виходом пристрою.



Комп'ютерна верстка О. Рябо

Міністерство розвитку економіки, торгівлі та сільського господарства України,
 вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601