



УКРАЇНА

(19) UA

(11) 144037

(13) U

(51) МПК

H03K 5/22 (2006.01)

МІНІСТЕРСТВО РОЗВИТКУ  
ЕКОНОМІКИ, ТОРГІВЛІ ТА  
СІЛЬСЬКОГО ГОСПОДАРСТВА  
УКРАЇНИ

## (12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: **u 2020 02213**

(22) Дата подання заявки: **03.04.2020**

(24) Дата, з якої є чинними  
права на корисну  
модель: **25.08.2020**

(46) Публікація відомостей  
про видачу патенту: **25.08.2020, Бюл.№ 16**

(72) Винахідник(и):

**Бортник Генадій Григорович (UA),  
Васильківський Микола Володимирович  
(UA),  
Вітер Ринат Миколайович (UA)**

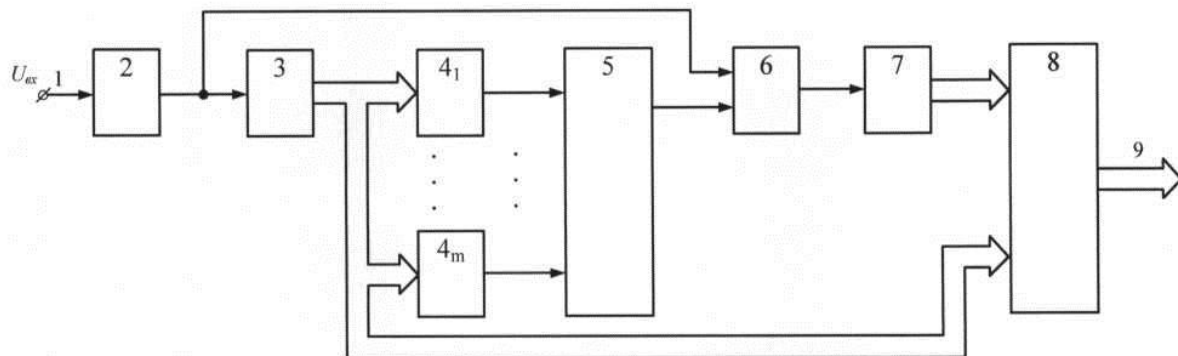
(73) Власник(и):

**ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ  
ТЕХНІЧНИЙ УНІВЕРСИТЕТ,  
Хмельницьке шосе, 95, м. Вінниця, 21021  
(UA)**

## (54) ПАРАЛЕЛЬНО-ПОСЛІДОВНИЙ АНАЛОГО-ЦИФРОВИЙ ПЕРЕТВОРЮВАЧ

(57) Реферат:

Паралельно-последовательный аналого-цифровой перетворювач містить паралельний аналого-цифровий перетворювач старших розрядів, аналоговий вхід під'єднано до виходу блока вибірки та зберігання, аналоговий вхід якого під'єднано до вхідної шини, на яку подається аналоговий сигнал, що підлягає перетворенню, виходи паралельного аналого-цифрового перетворювача старших розрядів під'єднано до першої вхідної шини буферного регістра та до відповідних входів цифро-аналогового перетворювача, а вихід підсилювача-віднімача, під'єднано до аналогового входу паралельного аналого-цифрового перетворювача молодших розрядів, причому другий вхід підсилювача-віднімача під'єднано до виходу блока вибірки та зберігання, а виходи паралельного аналого-цифрового перетворювача молодших розрядів під'єднано до другої вхідної шини буферного регістра, виходи якого з'єднані з вихідною шиною пристрою. Додатково введено  $m-1$  цифро-аналогових перетворювачів, аналоговий суматор,  $m$  входів якого з'єднано з відповідними виходами цифро-аналогових перетворювачів, а вихід під'єднано до другого входу підсилювача-віднімача, входи  $m-1$  цифро-аналогових перетворювачів під'єднано до відповідних виходів паралельного аналого-цифрового перетворювача старших розрядів.



UA 144037 U



Корисна модель належить до інформаційно-вимірювальної техніки і призначена для спектрометричних вимірювань високої точності та швидкодії в контрольно-вимірювальній техніці, радіолокації, експериментальній фізиці.

Відомий паралельно-послідовний аналого-цифровий перетворювач (АЦП), який містить  
 5  $2^{m-1}$  пристроїв порівняння, де  $m$  - кількість розрядів вихідного коду, яка визначається за один вимірювальний такт перетворювача, перші входи яких з'єднані з шиною джерела вхідного сигналу, другі входи - з відповідними виходами резистивного подільника, а виходи з'єднані з цифровими входами блока керування, перший вихід блока керування з'єднаний з першим входом першого перетворювача код-струм, вихід якого з'єднаний з першим виходом  
 10 резистивного подільника, другий вихід блока керування з'єднаний з першим входом другого перетворювача код-струм, вихід якого з'єднаний з  $2^m - 1$  виходом резистивного подільника, а вхід резистивного подільника з'єднаний з шиною джерела початкового зміщення, третій вихід блока керування з'єднаний з входом блока пам'яті, перший вихід якого через цифро-аналоговий перетворювач (ЦАП) з'єднаний з другими входами першого і другого перетворювачів код-струм,  
 15 другий вихід блока пам'яті з'єднаний з першими входами додаткових перетворювачів код-струм, вихід одного з яких з'єднаний з першим входом резистивного подільника, а вихід другого з  $2^m - 1$  виходом резистивного подільника [авторське свідоцтво СРСР № 651475, М. Кл.Н13/17 бюлетень № 9, 1979 р.].

Недоліком цього АЦП є вузький динамічний діапазон.

Відомий паралельно-послідовний 8-розрядний аналого-цифровий перетворювач, який  
 20 містить два 4-розрядних АЦП, кожен з яких містить послідовно з'єднані джерело опорних напруг і набір  $\frac{2^m - 1}{2}$  компараторів, де  $m$  - кількість розрядів вихідного коду, різницевий пристрій,

перші входи компараторів першого 4-розрядного АЦП з'єднані з шиною джерела напруги, що  
 25 підлягає перетворенню, виходи компараторів першого 4-розрядного АЦП з'єднані з входами елементів пам'яті через групу елементів І та АБО, виходи елементів пам'яті під'єднані до шин старших розрядів і до входів ЦАП, вихід якого з'єднаний з другим входом різницевого пристрою, перший вхід якого під'єднаний до шини напруги, що підлягає перетворенню, вихід різницевого пристрою з'єднаний з першими входами компараторів другого 4-розрядного АЦП, другі входи яких і другі входи першого 4-розрядного АЦП під'єднані до шини джерела опорних напруг,  
 30 виходи компараторів другого 4-розрядного АЦП через групу елементів І та АБО під'єднані до шин молодших розрядів [патент США № 41248224, М. Кл. - Н03К 13/17].

Недоліком даного пристрою є вузький динамічний діапазон, що обмежує його функціональні можливості.

Найбільш близьким є паралельно-послідовний аналого-цифровий перетворювач, який  
 35 містить паралельний аналого-цифровий перетворювач старших розрядів, аналоговий вхід під'єднано до виходу блока вибірки та зберігання, аналоговий вхід якого під'єднано до вхідної шини, на яку подається аналоговий сигнал, що підлягає перетворенню, виходи паралельного аналого-цифрового перетворювача старших розрядів під'єднано до першої вхідної шини буферного регістра та до відповідних входів цифро-аналогового перетворювача, вихід якого  
 40 з'єднано з першим входом підсилювача-віднімача, вихід якого під'єднано до аналогового входу паралельного аналого-цифрового перетворювача молодших розрядів, причому другий вхід підсилювача-віднімача під'єднано до виходу блока вибірки та зберігання, а виходи паралельного аналого-цифрового перетворювача молодших розрядів під'єднано до другої вхідної шини буферного регістра, виходи якого з'єднані з вихідною шиною пристрою  
 45 [Топильский В.Б. Схемотехника аналого-цифровых преобразователей. - М.: ТЕХНОСФЕРА, 2014. - С. 64, рис. 40].

Недоліком даного пристрою є обмежені функціональні можливості через високий рівень шумів на виході цифро-аналогового перетворювача, який формує аналоговий еквівалент старших розрядів АЦП. А це погіршує відношення сигнал/шум і відповідно звужує динамічний  
 50 діапазон АЦП, що є недостатнім при їх використанні в цифрових спектроаналізаторах та іншій контрольно-вимірювальній апаратурі, пов'язаній зі спектральним аналізом радіо- та широкополосних відеосигналів.

В основу корисної моделі поставлено задачу створення паралельно-послідовного аналого-цифрового перетворювача, в якому за рахунок введення нових блоків та зв'язків покращується  
 55 відношення сигнал/шум, що сприяє розширенню динамічного діапазону АЦП, розширюються функціональні можливості та галузь використання пристрою.

Поставлена задача вирішується тим, що в паралельно-послідовний аналого-цифровий перетворювач, який містить паралельний аналого-цифровий перетворювач старших розрядів,

аналоговий вхід під'єднано до виходу блока вибірки та зберігання, аналоговий вхід якого під'єднано до вхідної шини, на яку подається аналоговий сигнал, що підлягає перетворенню, виходи паралельного аналого-цифрового перетворювача старших розрядів під'єднано до першої вхідної шини буферного регістра та до відповідних входів цифро-аналогового перетворювача, а вихід підсилювача-віднімача, під'єднано до аналогового входу паралельного аналого-цифрового перетворювача молодших розрядів, причому другий вхід підсилювача-віднімача під'єднано до виходу блока вибірки та зберігання, а виходи паралельного аналого-цифрового перетворювача молодших розрядів під'єднано до другої вхідної шини буферного регістра, виходи якого з'єднані з вихідною шиною пристрою, крім того введено  $m-1$  цифро-аналогових перетворювачів, аналоговий суматор,  $m$  входів якого з'єднано з відповідними виходами цифро-аналогових перетворювачів, а вихід під'єднано до другого входу підсилювача-віднімача, входи  $m-1$  цифроаналогових перетворювачів під'єднано до відповідних виходів паралельного аналого-цифрового перетворювача старших розрядів.

На кресленні наведена структурна електрична схема паралельно-послідовного аналого-цифрового перетворювача.

Пристрій містить вхідну шину 1 напруги  $U_{вх}$ , блок вибірки та зберігання 2, паралельний аналого-цифровий перетворювач старших розрядів 3,  $m$  цифро-аналогових перетворювачів  $4_1-4_m$ , аналоговий суматор 5, підсилювач-віднімач 6, паралельний аналого-цифровий перетворювач молодших розрядів 7, буферний регістр 8, вихідна шина паралельно-послідовного аналого-цифрового перетворювача 9, вхід блок вибірки та зберігання 2 під'єднано до вхідної шини 1, а вихід під'єднано до входу паралельного аналого-цифрового перетворювача старших розрядів 3 та до першого входу підсилювача-віднімача 6, другий вхід якого під'єднано до виходу аналогового суматора 5,  $m$  входів якого з'єднано з відповідними виходами  $m$  цифро-аналогових перетворювачів  $4_1-4_m$ ,  $m$  входів яких під'єднано до виходів паралельного аналого-цифрового перетворювача старших розрядів 3, виходи якого також під'єднано до першої вхідної шини буферного регістра 8, вхід паралельного аналого-цифрового перетворювача молодших розрядів 7 під'єднано до виходу підсилювача-віднімача 6, а виходи паралельного аналого-цифрового перетворювача молодших розрядів 7 під'єднано до другої вхідної шини буферного регістра 8, виходи якого з'єднані з вихідною шиною паралельно-послідовного аналого-цифрового перетворювача 9.

Аналого-цифровий перетворювач працює наступним чином. Вхідна напруга  $U_{вх}$ , яка перетворюється через вхідну шину 1 подається на вхід блока вибірки та зберігання 2. Вихідний сигнал з блока вибірки та зберігання 2 спрямовується на вхід паралельного аналого-цифрового перетворювача старших розрядів 3 та до першого входу підсилювача-віднімача 6. В результаті виконується грубе аналого-цифрове перетворення вхідної напруги  $U_{вх}$  і на виходах паралельного аналого-цифрового перетворювача старших розрядів 3 формується цифровий код старших розрядів, який подається на відповідні входи  $m$  цифро-аналогових перетворювачів  $4_1-4_m$ . На виходах  $m$  цифро-аналогових перетворювачів  $4_1-4_m$  формуються аналогові еквіваленти старших розрядів аналого-цифрового перетворювача, які подаються на  $m$  входів аналогового суматора 5. Після надходження вихідного сигналу аналогового суматора 5 на другий вхід підсилювача-віднімача 6, на його виході формується різниця між вхідною напругою  $U_{вх}$  та аналоговим еквівалентом старших розрядів аналого-цифрового перетворювача.

Сформований різницевий сигнал з виходу підсилювача-віднімача 6 подається на вхід паралельного аналого-цифрового перетворювача молодших розрядів 7, де він підлягає аналого-цифровому перетворенню. В результаті на виходах паралельного аналого-цифрового перетворювача молодших розрядів 7 формується цифровий код молодших розрядів, який подається до другої вхідної шини буферного регістра 8. На виході буферного регістра 9 формується повний цифровий код, який подається на вихідну шину паралельно-послідовного аналого-цифрового перетворювача 9.

Виконання паралельно-послідовного аналого-цифрового перетворювача згідно зі схемою корисної моделі з використанням  $m$  цифро-аналогових перетворювачів, які ввімкнено паралельно, дає можливість підсилити вихідний сигнал аналого-цифрового перетворювача в  $m$  разів, а потужність вихідних шумів, які є некорельованими, зростає лише у  $\sqrt{m}$  разів. У результаті цього покращується відношення сигнал/шум на виході аналого-цифрового перетворювача і, як наслідок, розширяється динамічний діапазон паралельно-послідовного аналого-цифрового перетворювача.

Таким чином, при використанні у запропонованій схемі лише чотирьох паралельно ввімкнених цифро-аналогових перетворювачів відношення сигнал/шум аналого-цифрового

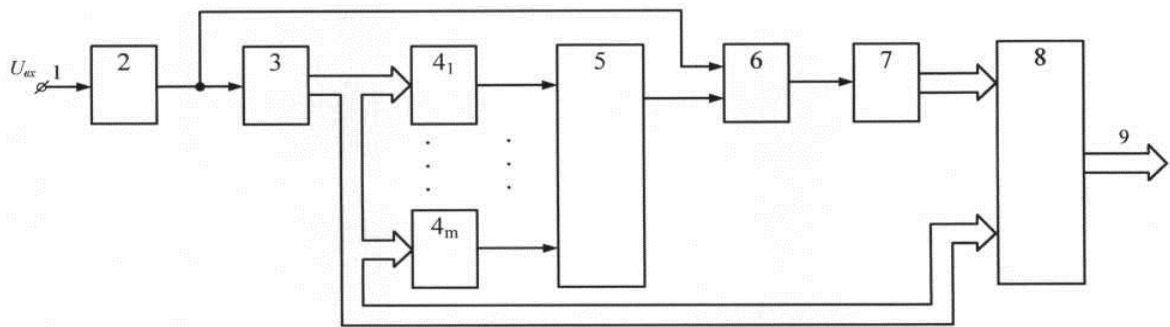
перетворювача зростає у 2 рази. Відповідно, це дає можливість розширити у 2 рази динамічний діапазон паралельно-послідовного аналого-цифрового перетворювача.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

5

Паралельно-послідовний аналого-цифровий перетворювач, який містить паралельний аналого-цифровий перетворювач старших розрядів, аналоговий вхід під'єднано до виходу блока вибірки та зберігання, аналоговий вхід якого під'єднано до вхідної шини, на яку подається аналоговий сигнал, що підлягає перетворенню, виходи паралельного аналого-цифрового перетворювача старших розрядів під'єднано до першої вхідної шини буферного регістра та до відповідних входів цифро-аналогового перетворювача, а вихід підсилювача-віднімача, під'єднано до аналогового входу паралельного аналого-цифрового перетворювача молодших розрядів, причому другий вхід підсилювача-віднімача під'єднано до виходу блока вибірки та зберігання, а виходи паралельного аналого-цифрового перетворювача молодших розрядів під'єднано до другої вхідної шини буферного регістра, виходи якого з'єднані з вихідною шиною пристрою, який **відрізняється** тим, що введено  $m-1$  цифро-аналогових перетворювачів, аналоговий суматор,  $m$  входів якого з'єднано з відповідними виходами цифро-аналогових перетворювачів, а вихід під'єднано до другого входу підсилювача-віднімача, входи  $m-1$  цифро-аналогових перетворювачів під'єднано до відповідних виходів паралельного аналого-цифрового перетворювача старших розрядів.

20




---

Комп'ютерна верстка М. Шамоніна

Міністерство розвитку економіки, торгівлі та сільського господарства України,  
вул. М. Грушевського, 12/2, м. Київ, 01008, Україна

---

ДП "Український інститут інтелектуальної власності", вул. Глазунова, 1, м. Київ – 42, 01601