

УДК 681.325.5

О.Д. АЗАРОВ, О.І. ЧЕРНЯК

ШВИДКОДІЮЧІ ФІБОНАЧЧІЄВІ ЛІЧИЛЬНИКИ ДЛЯ СИСТЕМ ОБРОБКИ СИГНАЛІВ

Вінницький національний технічний університет

21021, пр. Хмельницьке шосе, 95

E-mail: alexandr.chernyak@gmail.com

Анотація. В роботі розглядається метод побудови швидкодіючого лічильника у модифікованій р-системі числення фібоначчі при $p=1$. Наведено теоретичні основи лічби у даній системі числення. Описано фібоначчієві перетворення коду, які реалізують перенесення і запозичення раніше, ніж виникає переповнення розрядів, що дозволяє зменшити їх довжину. Представлено структурну реалізацію запропонованого лічильника

Ключові слова: швидкодіючий лічильник, коди фібоначчі, системи числення, перенесення, запозичення.

Аннотация. В работе рассматривается метод построения быстродействующего счетчика в модифицированной р-системе счисления Фибоначчи при $p = 1$. Приведены теоретические основы счета в данной системе счисления. Описаны фибоначчиевы преобразования кода, реализующие перенос и заимствование раньше, чем возникает переполнение разрядов, что позволяет уменьшить длину их распространения. Представлена структурная реализация предложенного счетчика.

Ключевые слова: быстродействующий счетчик, коды Фибоначчи, системы счисления, перенос, заимствования.

Abstract. The paper discusses a method for constructing a high-speed counter in a modified Fibonacci numerical p-system with $p = 1$. The theoretical bases of counting in this number system are given. The Fibonacci code transformations that implement the transfer and borrowing before the overflow of discharges occurs, which allows to reduce the length of their distribution, are described. The structural implementation of the proposed counter is presented.

Keywords: high-speed counter, Fibonacci code, numerical system, transfer, borrowing.

DOI: 10.31649/1681-7893-2018-36-2-14-19

ВСТУП

Системи цифрової обробки сигналів повинні виконувати велику кількість арифметичних операцій у реальному часі. Тому при побудові таких систем застосовуються різні способи розпаралелювання обчислень. Одним із підходів до розпаралелювання, що широко використовується при побудові даних систем, є конвеєризація. Авторами було опубліковано теоретичні дослідження і запропоновано практичні рекомендації з побудови різноманітних засобів конвеєрної обробки інформації з використанням класу АМ-систем числення [1-3]. Використання конвеєрної обробки дозволяє досягати високої продуктивності при помірних апаратних витратах. Особливістю цифрових конвеєрних засобів є те, що результати обчислень отримуються з затримкою у часі, причому для різних операцій ця затримка є різною [4]. Тому виникає задача їх синхронізації за допомогою швидкодіючих лічильників. Головним завданням на шляху вирішення даної задачі є зменшення довжини розповсюдження перенесення та запозичення, що виникає на кожному такті лічби і обмежує її швидкість [5]. Як було показано раніше, з цією метою можна використовувати Фібоначчієву систему числення [6].

ТЕОРЕТИЧНІ АСПЕКТИ

Модифікована фібоначчієва система числення може бути описана за допомогою базису Φ і алфавіту D :

$$\left\{ \begin{array}{l} \Phi : \{ \varphi_0 = 1, \varphi_1 = 2, \forall_{i>1} (\varphi_i = \varphi_{i-1} + \varphi_{i-2}) \} \\ D : \{ 0, 1 \} \end{array} \right\}, \quad (1)$$

де Φ – множина ваг розрядів φ_i , така, що $\varphi_0 = 1$, $\varphi_1 = 2$, а для кожного $i > 1$ $\varphi_i = \varphi_{i-1} + \varphi_{i-2}$;

D – множина з двох цифр 0 і 1.

В МФ-системі числення будь-яке ціле число X може бути представлене n -розрядним двійковим кодом $x_{n-1}x_{n-2}\dots x_1x_0$, де $x_i \in D$ відповідно до виразу (1), а n визначається за співвідношенням $\varphi_{n-1} \leq X \leq \varphi_{n-2}$. Позначимо n -розрядний двійковий код $x_{n-1}x_{n-2}\dots x_1x_0$ як X_0^n , а його частину довжиною в k розрядів,

починаючи з i -го як X_1^k . Значення коду X_0^n в МФ-системі числення можна отримати за допомогою виразу:

$$X_0^n = \sum_{i=0}^{n-1} x_i \cdot w_i. \quad (2)$$

В даній системі числення між вагами розрядів існує фібоначчіве співвідношення (F-співвідношення):

$$F: \forall_{i>1} (\varphi_i = \varphi_{i-1} + \varphi_{i-2}). \quad (3)$$

Для i -го розряду існує i -те F-співвідношення:

$$F_i: \varphi_i = \varphi_{i-1} + \varphi_{i-2}. \quad (4)$$

Фібоначчіве співвідношення дозволяє виконувати фібоначчіві перетворення кодів (F-перетворення). F-перетворення бувають двох типів: з перенесенням у старші розряди (FL-перетворення) і з перенесенням у молодші розряди (FR-перетворення).

FL-перетворення коду X_0^n є умовною арифметичною операцією, що виконується над всіма його розрядами, крім нульового і першого. Дане перетворення полягає у тому, що для будь-якого $i>1$ у випадку, якщо $x_i=0$, $x_{i-1}=1$, $x_{i-2}=1$, виконується додавання одиниці в розряд x_i і віднімання одиниць у розрядах x_{i-1} та x_{i-2} :

$$FL(X_0^n) = \forall_{x_i=0 \wedge x_{i-1}=1 \wedge x_{i-2}=1} (X_0^n + \varphi_i - \varphi_{i-1} - \varphi_{i-2}).$$

Відповідно до (4) i -те FL-перетворення коду записується виразом

$$FL_i(X_0^n) = \left\{ \begin{array}{l} X_0^n + \varphi_i - \varphi_{i-1} - \varphi_{i-2} \text{ при } x_i = 0 \wedge x_{i-1} = 1 \wedge x_{i-2} = 1; \\ X_0^n \text{ при } x_i \neq 0 \vee x_{i-1} \neq 1 \vee x_{i-2} \neq 1; \end{array} \right\}.$$

FR-перетворення коду X_0^n також є умовною арифметичною операцією, що виконується над всіма його розрядами, крім нульового і першого. Дане перетворення полягає у тому, що для будь-якого $i>1$ у випадку, якщо $x_i=1$, $x_{i-1}=0$, $x_{i-2}=0$, виконується віднімання одиниці в розряді x_i і додавання одиниць у розряди x_{i-1} та x_{i-2} :

$$FR(X_0^n) = \forall_{x_i=0 \wedge x_{i-1}=1 \wedge x_{i-2}=1} (X_0^n - \varphi_i + \varphi_{i-1} + \varphi_{i-2}).$$

Відповідно, i -те FR-перетворення коду виконується над i -м, $(i-1)$ -м та $(i-2)$ -м розрядами цього коду і записується виразом

$$FR_i(X_0^n) = \left\{ \begin{array}{l} X_0^n - \varphi_i + \varphi_{i-1} + \varphi_{i-2} \text{ при } x_i = 1 \wedge x_{i-1} = 0 \wedge x_{i-2} = 0; \\ X_0^n \text{ при } x_i \neq 1 \vee x_{i-1} \neq 0 \vee x_{i-2} \neq 0; \end{array} \right\}.$$

FL- і FR-перетворення подібні до відомих операцій згортки і розгортки, що полягають у заміні одного коду на інший. Але, на відміну від операцій згортки і розгортки, що є логічними операціями, FL- і FR-перетворення є умовними арифметичними операціями додавання і віднімання, що виконуються над частинами коду. При цьому значення всього коду не змінюється, тому дані операції можна використовувати в якості перенесення і запозичення у процесі прямої або оберненої лічби. В МФ-системі числення перенесення і запозичення можуть виконуватись раніше, ніж виникне переповнення чи загублення значення у розрядах. Це дозволяє відокремити перенесення і запозичення від додавання чи віднімання одиниці при лічбі, завдяки чому вони мають обмежену довжину розповсюдження. Обмеженість довжини перенесення і запозичення покладено в основу побудови швидкодіючих лічильників в МФ-системі числення.

СТРУКТУРНА РЕАЛІЗАЦІЯ

Структурна організація лічильника базується на таблиці станів, побудованій за принципами, описаними в [6], відповідно до виразу

$$X_0^n(i) = FL(X_0^n(i-1)) + 1.$$

У таблиці 1 представлено стани шестирозрядного лічильника, починаючи з нульового.

Для структурної реалізації обирається тактований лічильний тригер. Комбінаційна частина повинна у кожному i -у розряді містити два логічних елемента: елемент $E1_i$ призначений для виділення умови i -го FL-перетворення, та елемент $E2_i$ призначений для формування сигналу інвертування стану i -

го тригера при виконанні умови FL-перетворення в одному з 3-х сусідніх розрядів.

Таблиця 1 – Коды послідовних станів лічильника

Розряди коду						№ стану	Розряди коду						№ стану	Розряди коду						№ стану	
Q6	G5	Q4	Q3	Q2	Q1		Q6	G5	Q4	Q3	Q2	Q1		Q6	G5	Q4	Q3	Q2	Q1		
0	0	0	0	0	0	0	1	0	0	1	1	0	18	1	0	0	0	1	0	36	
0	0	0	0	0	1	1	1	0	1	0	0	1	19	1	0	0	0	0	1	1	37
0	0	0	0	1	0	2	1	0	1	0	1	0	20	1	0	0	1	0	1	1	38
0	0	0	0	1	1	3	1	0	1	0	1	1	21	1	0	0	1	1	1	0	39
0	0	0	1	0	1	4	1	0	1	1	0	1	22	1	0	1	0	0	1	1	40
0	0	0	1	1	0	5	1	1	0	0	1	0	23	1	0	1	0	1	1	0	41
0	0	1	0	0	1	6	0	0	0	0	1	1	24	1	0	1	0	1	1	1	42
0	0	1	0	1	0	7	0	0	0	1	0	1	25	1	0	1	1	0	1	1	43
0	0	1	0	1	1	8	0	0	0	1	1	0	26	1	1	0	0	1	1	0	44
0	0	1	1	0	1	9	0	0	1	0	0	1	27	1	1	0	0	1	1	1	45
0	1	0	0	1	0	10	0	0	1	0	1	0	28	1	1	0	1	0	1	1	46
0	1	0	0	1	1	11	0	0	1	0	1	1	29	1	1	0	1	1	1	0	47
0	1	0	1	0	1	12	0	0	1	1	0	1	30	1	1	1	0	0	1	1	48
0	1	0	1	1	0	13	0	1	0	0	1	0	31	1	1	1	0	1	1	0	49
0	1	1	0	0	1	14	0	1	0	0	1	1	32	1	1	1	0	1	1	1	50
1	0	0	0	1	0	15	0	1	0	1	0	1	33	1	1	1	1	0	1	1	51
1	0	0	0	1	1	16	0	1	0	1	1	0	34	1	1	1	1	1	1	0	52
1	0	0	1	0	1	17	0	1	1	0	0	1	35	1	1	1	1	1	1	1	53

Враховуючи особливості структурної організації крайніх молодших і крайніх старших розрядів, булеві вирази для логічних елементів $E1_i$ і $E2_i$ можна представити у такому виді:

$$E1_{i>2}: Q_i \wedge \overline{Q_{i-1}} \wedge \overline{Q_{i-2}};$$

$$E2_1: \overline{Q_2} \wedge Q_1;$$

$$E2_2: \overline{Q_2} \wedge E1_3 \wedge E1_4;$$

$$E2_{2<i<N-1}: \overline{E1_i} \wedge \overline{E1_{i+1}} \wedge \overline{E1_{i+2}};$$

$$E2_{N-1}: \overline{E1_N} \wedge \overline{E1_{N-1}};$$

$$E2_N: \overline{E1_N}.$$

На рисунку 1 зображено структурну організацію швидкодіючого шестирозрядного лічильника у МФ-системі числення, побудованого на основі лічильних тригерів.

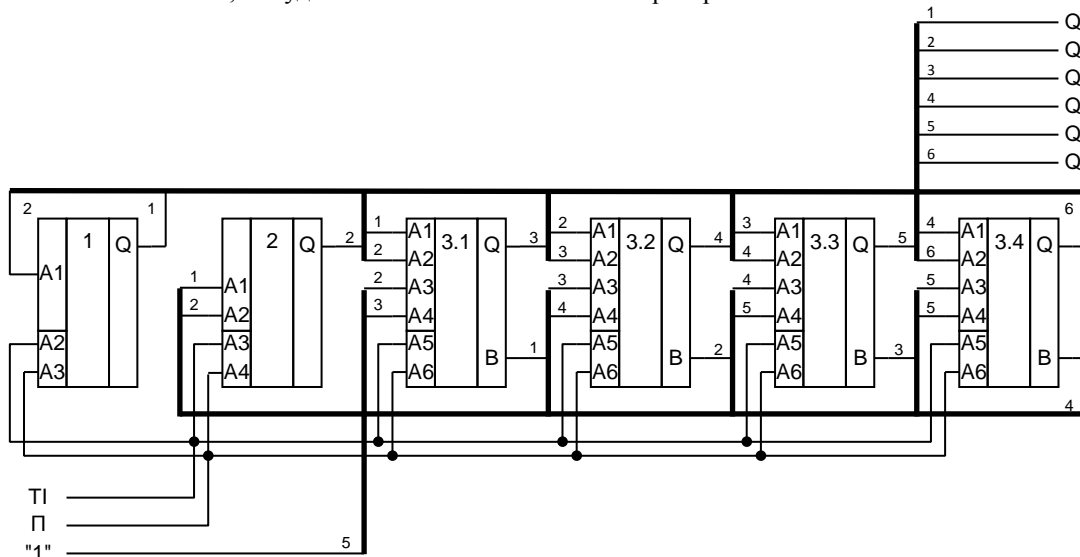


Рис. 1 – Структурна організація швидкодіючого фібоначчівського лічильника

Лічильник складається з розрядних блоків 1, 2, 3.1, 3.2, 3.3, 3.4. На даному рисунку зображено структурну організацію лічильника, що має вхід ТІ тактових імпульсів. На вхід ТІ поступають імпульсні сигнали, що повинні підраховуватись. Також лічильник має вхід ПВ початкового встановлення, призначений для встановлення всіх тригерів лічильника у нульовий стан та вхід логічної одиниці, призначений для подання одиничного потенціалу на відповідні входи двох старших розрядів. Введення входу логічної одиниці пов'язано з тим, що, починаючи з другого розряду, всі розряди лічильника мають однакову будову. Це дозволяє довільно нарощувати розрядність, але вимагає встановлювати в одиничне значення ті входи комбінаційних схем двох старших розрядів, на які повинні поступати сигнали з неіснуючих більш старших розрядів. Крім того лічильник має шість виходів з Q1 по Q6, з яких поступають сигнали, що відповідають розрядам лічильника з 1-го по 6-й.

На рисунку 2.а зображено структурну організацію розрядного блоку 1 першого розряду.

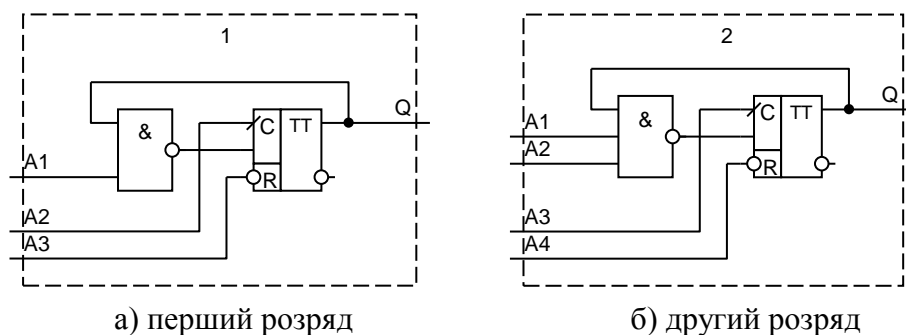


Рис. 2 – Структурна організація першого і другого розрядних блоків лічильника

Даний блок має тактований Т-тригер, логічний елемент 2І-НЕ, вхід А1, на який поступає сигнал з виходу Q тригера другого розрядного блоку, вхід А2, на який поступає тактовий сигнал ТІ, та вхід А3, на який поступає сигнал ПВ встановлення у початковий стан, вихід Q, на який подається сигнал з прямого виходу лічильного тригера даного розряду. Вхід А1 з'єднаний з першим входом логічного елемента 2І-НЕ, другий вхід якого з'єднаний з прямим виходом лічильного тригера. У даному блоці відбувається інвертування лічильного тригера станах лічильника, в яких два молодших розряди не мають значення 11.

На рисунку 2.б зображено структурну організацію розрядного блоку 2 другого розряду лічильника. Другий розряд лічильника має тактований Т-тригер, логічний елемент 3І-НЕ. Його будова подібна до будови розрядного блоку 1. Відмінність полягає у наявності ще одного входу, що з'єднаний із третім входом логічного елемента 3І-НЕ.

Решта розрядних блоків 3.1, 3.2, 3.3, і 3.4 мають однакову структурну організацію, яку зображено на рисунку 3, і реалізують відповідно третій, четвертий, п'ятий і шостий розряди лічильника. Кожен такий і-й блок має тактований лічильний тригер, перший і другий логічні елементи 3І-НЕ, а також вхід А1, на який поступає сигнал з прямого виходу лічильного тригера (i-2)-го розряду, вхід А2, на який поступає сигнал з прямого виходу лічильного тригера (i-1)-го розряду, вхід А3, на який поступає сигнал з виходу В виділення умови FL-перетворення (i+1)-го розряду, вхід А4, на який поступає сигнал з виходу В виділення умови FL-перетворення (i+2)-го розряду, вхід А5, на який поступає тактовий сигнал ТІ, та вхід А6, на який поступає сигнал ПВ встановлення у початковий стан.

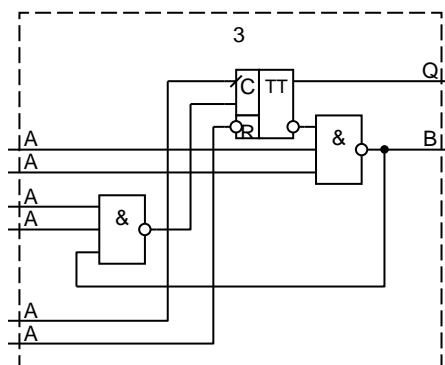


Рис. 3 – Структурна організація розрядних блоків, починаючи з третього, лічильника

перетворень, що реалізують перенесення і запозичення паралельно і незалежно по відношенню до збільшення чи зменшення коду при лічбі. Завдяки цьому не виникає довгих ланцюгів їх розповсюдження. Запропонований авторами лічильник у даній системі числення має швидкодню таку ж, як класичний лічильник з паралельним перенесенням, а його апаратні витрати такі ж, як у лічильника з наскрізним перенесенням. Це надає можливість практичного використання таких лічильників для синхронізації даних у конвеєрних засобах обробки сигналів. Крім того, даний лічильник може використовуватись у низькогітчієвих генераторах лінійно зростаючого аналогового сигналу.

СПИСОК ЛІТЕРАТУРИ

1. O. D. Azarov, A. I. Chernyak, P. A. Chernyak, (2001, June). Class of numerical systems for pipeline bit sequential development of multiple optoelectronic data streams. Selected Papers from the International Conference on Optoelectronic Information Technologies,; doi: 10.1117/12.429761;
2. О. Д. Азаров, О. І. Черняк, П. О. Черняк, (2001). Системи числення з адитивними та мультиплікативними співвідношеннями між вагами розрядів, Вісник ВПІ, 1, 58 – 64.
3. А. Д. Азаров, А. И. Черняк, (2011, квітень). Полнофункциональная побитовая обработка результатов аналогоцифрового преобразования. Методы та засоби кодування, захисту й ущільнення інформації : Третя міжнародна наук.-практ. конф., Вінниця.
4. О. Д. Азаров, О. І. Черняк, (2007). Структурна організація побітового множення і ділення кодів золотої пропорції. Проблеми інформатизації та управління, 21, 3, 5-13.
5. О. Д. Азаров, О. І. Черняк, (2004). Визначення довжини перенесення при додаванні в системах числення з адитивними та мультиплікативними співвідношеннями між вагами розрядів. Наукові праці Донецького національного технічного університету. Серія "Обчислювальна техніка та автоматизація", 74, 401–407.
6. Olexiy Azarov, Olexandr Chernyak, Paweł Komada, Miergul Kozhambardiyeva, Aliya Kalizhanova, (2017, August). "High-speed counters in Fibonacci numerical system", Photonics Applications in Astronomy, Communications, Industry, and High Energy Physics Experiments; doi: 10.1117/12.2280939

REFERENCES

1. O. D. Azarov, A. I. Chernyak, P. A. Chernyak, (2001, June). Class of numerical systems for pipeline bit sequential development of multiple optoelectronic data streams. Selected Papers from the International Conference on Optoelectronic Information Technologies,; doi: 10.1117/12.429761;
2. O. D. Azarov, O. I. Chernyak, P. O. Chernyak, (2001). Systemy chyslennya z adytyvnymy ta mul'typlikatyvnymy spivvidnoshennyamy mizh vahamy rozryadiv, Visnyk VPI, 1, 58 – 64.
3. A. D. Azarov, A. Y. Chernyak, (2011, kviten'). Polnofunktsyonal'naya pobytovaya obrabotka rezul'tatov analohotsyvrovoho preobrazovanyya. Metody ta zasoby koduvannya, zakhystu y ushchil'nennya informatsiyi : Tretya mizhnarodna nauk.-prakt. konf., Vinnytsya.
4. O. D. Azarov, O. I. Chernyak, (2007). Strukturna orhanizatsiya pobitovoho mnozhennya i dilennya kodiv zolotoyi proporsiyi. Problemy informatyzatsiyi ta upravlinnya, 21, 3, 5-13.
5. O. D. Azarov, O. I. Chernyak, (2004). Vyznachennya dovzhyny perenesennya pry dodavanni v systemakh chyslennya z adytyvnymy ta mul'typlikatyvnymy spivvidnoshennyamy mizh vahamy rozryadiv. Naukovi pratsi Donets'koho natsional'noho tekhnichnoho universytetu. Seriya "Obchyslyval'na tekhnika ta avtomatyzatsiya", 74, 401–407.
6. Olexiy Azarov, Olexandr Chernyak, Paweł Komada, Miergul Kozhambardiyeva, Aliya Kalizhanova, (2017, August). "High-speed counters in Fibonacci numerical system", Photonics Applications in Astronomy, Communications, Industry, and High Energy Physics Experiments; doi: 10.1117/12.2280939

Надійшла до редакції 08.09.2018 р.

Азаров Олексій Дмитрович – д. т. н., професор, декан факультету інформаційних технологій та комп'ютерної інженерії Вінницького національного технічного університету.

Черняк Олександр Іванович – к. т. н., доцент кафедри обчислювальної техніки Вінницького національного технічного університету.