



УКРАЇНА

(19) **UA** (11) **147014** (13) **U**
(51) МПК (2021.01)
Н03М 13/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
ДЕРЖАВНЕ ПІДПРИЄМСТВО
"УКРАЇНСЬКИЙ ІНСТИТУТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ"

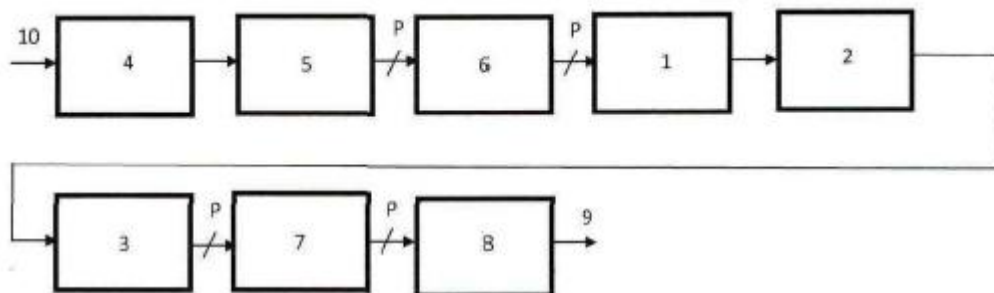
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2020 02825	(72) Винахідник(и): Семеренко Василь Петрович (UA), Крупельницький Леонід Віталійович (UA), Войналович Олександр Юрійович (UA)
(22) Дата подання заявки: 12.05.2020	(73) Володілець (володільці): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права інтелектуальної власності: 08.04.2021	
(46) Публікація відомостей про державну реєстрацію: 07.04.2021, Бюл.№ 14	

(54) ПРИСТРІЙ ДЛЯ ВИПРАВЛЕННЯ ПАКЕТІВ ПОМИЛОК ЗА ДОПОМОГОЮ ПЕРЕМЕЖУВАННЯ ЦИКЛІЧНИХ КОДІВ

(57) Реферат:

Пристрій для виправлення пакетів помилок за допомогою перемежування циклічних кодів складається з блока перемежування, каналу зв'язку, блока відновлення, вхід якого з'єднаний з виходом каналу зв'язку, вхід якого з'єднаний з виходом блока перемежування. Введені демультиплексор, блок із p n -розрядних регістрів, паралельний кодер (n , k)-коду Хемінга, паралельний декодер (n , k)-коду Хемінга і мультиплексор, інформаційний вихід якого є інформаційним виходом пристрою, інформаційний вхід якого з'єднаний з інформаційним входом демультиплексора, p -розрядний інформаційний вихід якого з'єднаний відповідно з p входами блока регістрів, p виходів якого з'єднані відповідно з p входами паралельного кодера (n , k)-коду Хемінга, p виходів якого з'єднані відповідно з p входами блока перемежування, p виходів блока відновлення з'єднані відповідно з p входами паралельного декодера (n , k)-коду Хемінга, p виходів якого з'єднані відповідно з p інформаційними входами мультиплексора.



Фіг. 1

UA 147014 U

Корисна модель належить до комп'ютерної техніки і може бути використана в цифрових каналах передачі та збереження даних, зокрема в мобільному зв'язку, в комп'ютерних мережах.

Відомий неалгебраїчний декодер коригувальних кодів [патент України на корисну модель № 84354 м. кл. H04L 1/00, бюл. № 20, 2013], що містить синдромний (n-k)-розрядний регістр зсуву зі зворотними зв'язками, виходи кожного тригера якого з'єднані зі входами логічного блока перевірки синдромів за заданими критеріями, буферний n-розрядний регістр зсуву, вихід якого з'єднаний з коректором помилок, пристрій розв'язки вхідних сигналів, вихід якого з'єднаний із входом синдромного (n-k)-розрядного регістра зсуву зі зворотними зв'язками, його перший вхід з'єднаний із входом декодера, вихідний ключ, з'єднаний з виходом коректора помилок, і з першим виходом декодера (Вихід 1), пристрій виділення інформаційної групи, який відрізняється тим, що додатково введені два ланцюги з ключами, причому один із них установлений між виходом (n-k)-го осередку буферного (n-k)-розрядного регістра зсуву і другим входом пристрою розв'язки вхідних сигналів, другим фодним кінцем з'єднаний з виходом першого тригера синдромного (n-k)-розрядного регістра зсуву зі зворотними зв'язками, а другий його кінець з'єднаний з другим виходом декодера (Вихід 1), при цьому знову введений модифікатор синдрому, перший вхід якого з'єднаний з виходом синдромного (n-k)-розрядного регістра зсуву зі зворотними зв'язками, другий - з виходом логічного блока перевірки синдромів за заданими критеріями, а вихід модифікатора синдрому з'єднаний із третім входом пристрою розв'язки, причому як пристрій виділення інформаційної групи використовується синдромний (n-k)-розрядний регістр зсуву зі зворотними зв'язками.

Недоліком відомого пристрою є складність процедури декодування і великий інтервал часу для виявлення помилок.

Найбільш близьким по технічній суті до запропонованого є пристрій для виправлення пакетів помилок в завадостійких кодах [Кларк Дж., мл., Кейн Дж. Кодирование с исправлением ошибок в системах цифровой связи: пер. с англ. Москва: Радио и связь, 1987, с. 323], що містить кодер, блок перемежування, канал зв'язку, блок відновлення і декодер, вихід якого з'єднаний з виходом пристрою, вхід якого з'єднаний з входом кодера, вихід якого з'єднаний з входом блока перемежування, вихід якого з'єднаний з входом каналу зв'язку, вихід якого з'єднаний з входом блока відновлення, вихід якого з'єднаний з входом декодера.

Недоліками цього пристрою виправлення пакетів помилок в завадостійких кодах є низька швидкодія і обмежені функціональні можливості за рахунок великих витрат часу на виконання операцій перемежування і деперемежування, а також виправлення лише обмеженої конфігурації помилок.

В основу корисної моделі поставлена задача створення пристрою для виправлення пакетів помилок за допомогою перемежування циклічних кодів, в якому за рахунок введення нових блоків та зв'язків досягається підвищена швидкодія за рахунок прискорення виконання операцій перемежування і деперемежування та розширення функціональних можливостей пристрою.

Поставлена задача вирішується за рахунок того, що у пристрій для виправлення пакетів помилок за допомогою перемежування циклічних кодів, який складається з блока перемежування, каналу зв'язку, блока відновлення, вхід якого з'єднаний з виходом каналу зв'язку, вхід якого з'єднаний з виходом блока перемежування, введені демультіплексор, блок із P n-розрядних регістрів, паралельний кодер (n, k) -коду Хемінга, паралельний декодер (n, k) -коду Хемінга і мультиплексор, інформаційний вихід якого є інформаційним виходом пристрою, інформаційний вхід якого з'єднаний з інформаційним входом демультіплексора, P -розрядний інформаційний вихід якого з'єднаний відповідно з P входами блока регістрів, P виходів якого з'єднані відповідно з P входами паралельного кодера (n, k) -коду Хемінга, P виходів якого з'єднані відповідно з P входами блока перемежування, P виходів блока відновлення з'єднані відповідно з P входами паралельного декодера (n, k) -коду Хемінга, P виходів якого з'єднані відповідно з P інформаційними входами мультиплексора.

На фіг. 1 представлена функціональна схема пристрою для виправлення пакетів помилок за допомогою перемежування циклічних кодів; на фіг. 2 - схема паралельного кодера 6 (n, k) -коду Хемінга; на фіг. 3 - схема паралельного декодера 7 (n, k) -коду Хемінга; на фіг. 4 - схема лінійної послідовної схеми (ЛПС); на фіг. 5 - приклад ЛПС.

Пристрій для виправлення пакетів помилок за допомогою перемежування циклічних кодів (фіг. 1) містить блок перемежування 1, канал зв'язку 2, блок відновлення 3, демультіплексор 4, блок 5 із P n-розрядних регістрів, паралельний кодер 6 (n, k) -коду Хемінга, паралельний

декодер 7 (n, k) -коду Хемінга, мультиплексор 8, вихід якого з'єднаний з інформаційним виходом 9 пристрою, а інформаційний вхід 10 якого з'єднаний з інформаційним входом демультимплексора 4, P -розрядний інформаційний вихід якого з'єднаний відповідно з послідовними P входами блока регістрів 5, послідовні виходи яких з'єднані відповідно з P входами паралельного кодера 6 (n, k) -коду Хемінга, P виходів якого з'єднані відповідно з P входами блока перемежування 1, з інформаційного послідовного виходу якого дані через канал зв'язку 2 надходять на інформаційний послідовний вхід блока відновлення 3, P -розрядний інформаційний вихід якого з'єднаний відповідно з P входами паралельного декодера 7 (n, k) -коду Хемінга, P виходів якого з'єднані відповідно з P інформаційними входами мультиплексора 8.

Паралельний кодер 6 (n, k) -коду Хемінга (фіг. 2) складається з P однакових послідовних вузлів кодування, i -й вузол містить ЛПС 11_{*i*}, перемикач 12_{*i*}, інформаційний вхід 13_{*i*}, інформаційний вихід 14_{*i*} ($i = 1 \div P$).

Паралельний декодер 7 (n, k) -коду Хемінга (фіг. 3) складається з P однакових послідовних вузлів декодування, i -й вузол містить ЛПС 15_{*i*}, блок виявлення помилок 16_{*i*}, блок виправлення помилок 17_{*i*}, інформаційний вхід 18_{*i*}, інформаційний вихід 19_{*i*} ($i = 1 \div P$).

ЛПС 11_{*i*} і ЛПС 15_{*i*} (фіг. 4) розрядності r ($r = n - k$) містять елементи пам'яті 20.0, 20.1, ..., 20.*j*, ..., 20. ($r - 1$); суматори по модулю два 21.0, 21.1, ..., 21.*j*, ..., 21. ($r - 1$); інформаційний вхід 22, інформаційний вихід 23.

Пристрій працює таким чином.

Початкову інформаційну m -розрядну послідовність X , яка надходить на вхід 10 пристрою, розбивають на P інформаційних слів I_i , довжини k і зберігають протягом $(P \times k)$ тактів часу у блоці 5 із P n -розрядних регістрів ($k = m / P$, $i = 1 \div P$).

Далі на боці передавача за допомогою паралельного кодера 6 (n, k) -коду Хемінга здійснюється операція завадостійкого кодування паралельно для всіх P інформаційних слів коду. Інформаційне слово I_i розглядається як k -розрядне інформаційне слово циклічного (n, k) -коду Хемінга.

Протягом перших k тактів часу для кодування із першого регістра блока 5 із P n -розрядних регістрів послідовно надходить перше інформаційне слово I_1 . Далі для виконання операції завадостійкого кодування надходять решта інформаційних слів

$$I_2, I_3, \dots, I_P \quad (1)$$

зі зсувом в часі на один такт відносно сусідніх інформаційних слів.

Під час кодування до k -розрядного інформаційного слова I_i додається r -розрядне ($r = n - k$) контрольне слово F_i коду Хемінга, в результаті чого формується масив із P n -розрядних кодових слів Z_i , які утворюють кодовану послідовність X_Z .

$$Z_1, Z_2, \dots, Z_P, \text{ де } Z_i = F_i I_i, \quad i = 1 \div P. \quad (2)$$

Одночасно з кодуванням, із затримкою на один такт, відбувається перемежування за допомогою блока перемежування 1 і передавання послідовності (2) через послідовний канал зв'язку 2 в перемежуваному вигляді (спочатку перші розряди всіх кодових слів, потім другі розряди всіх кодових слів, ..., n -і розряди всіх кодових слів). Загальна тривалість завадостійкого кодування і перемежування для всіх P кодових слів складає $(pn + 1)$ тактів.

При надходженні послідовності X_Z з каналу зв'язку на вхід приймача одночасно відбувається її деперемежування за допомогою блока відновлення 3 (спочатку надходить

повністю перше кодове слово Z_1 , потім повністю друге кодове слово Z_2, \dots, P -е кодове слово Z_p), далі, із затримкою на один такт відносно сусідніх слів, здійснюється декодування відповідного кодового слова за допомогою паралельного декодера 7 (n, k)-коду Хемінга. В результаті відновлюється масив із $P \cdot k$ -розрядних інформаційних слів (1), з яких формується m -розрядна послідовність X з виправленими помилками в межах коректувальної здатності коду Хемінга.

Послідовний j -й вузол кодування, який входить до складу паралельного кодера 6 (n, k)-коду Хемінга, працює таким чином ($j = 1 \dots P$).

Паралельний кодер 6 (n, k)- коду Хемінга реалізує операцію систематичного кодування циклічного (n, k)- коду Хемінга, тобто, на його інформаційний вхід 13_i надходить k - розрядне інформаційне слово I_i , а з його інформаційного виходу 14_i надходить n - розрядне кодове слово Z_i . Протягом перших k тактів операції кодування перемикач 12_i знаходиться в положенні, що дозволяє передачі даних із входу 13_i безпосередньо на вихід 14_i. Протягом цього ж інтервалу часу ЛПС 11_i працює в режимі формування r - розрядного ($r = n - k$) контрольного слова F_i коду Хемінга. Протягом наступних r тактів операції кодування перемикач 12_i знаходиться в положенні, що дозволяє передачу слова F_j на вихід 14_i.

Послідовний i -й вузол декодування, який входить до складу паралельного декодера 7 (n, k)-коду Хемінга, працює таким чином. Цей декодер має два режими роботи, кожен з яких виконується не більше ніж за n тактів часу: режим виявлення помилок і режим виправлення помилок. В першому режимі на вхід 18_i надходить кодове слово Z_i і за допомогою ЛПС 15_i обчислюється синдром помилки $S_{err}()$.

Блок 16_i виявлення помилок аналізує значення синдрому помилки $S_{err}()$: нульове значення синдрому свідчить про відсутність помилок у кодовому слові Z_i . На цьому робота i -го вузла декодування завершується. Ненульове значення синдрому свідчить про наявність хоча б однієї помилки у кодовому слові Z_i . Для виправлення цієї помилки включається в роботу блок 17_i виправлення помилок. Виправлення помилки здійснюється по методу Мегітта. Виправлене кодове слово передається від ЛПС 15_i на вихід 19_i.

ЛПС 11_i і ЛПС 15_i представляють собою лінійний автомат, який функціонує згідно з такою функцією переходів

$$S(t+1) = A \times S(t) + B \times U(t), \quad (3)$$

де t - дискретний час; $A = [a_{ij}]_{r \times r}$, $B = [b_{ij}]_{r \times 1}$ - характеристичні матриці; $S(t) = [s_i]_r$ - слово стану $U(t) = [u_i]_1$ - вхідне слово; \times - операція множення по модулю 2, $+$ - операція додавання по модулю 2.

Характеристичні матриці ЛПС мають вигляд:

$$A = \begin{vmatrix} 0 & 0 & 0 & \dots & g_0 \\ 1 & 0 & 0 & \dots & g_1 \\ 0 & 1 & 0 & \dots & g_2 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & 0 & 1 & g_{r-1} \end{vmatrix}, \quad B = \begin{vmatrix} g_0 \\ g_1 \\ g_2 \\ \dots \\ g_{r-1} \end{vmatrix}. \quad (4)$$

Матриця B і останній стовпець матриці A в (4) містять коефіцієнти породжувального поліному $g(x)$ циклічного коду Хемінга степені r :

$$g(x) = g_0 + g_1x + g_2x^2 + \dots + g_{r-1}x^{r-1} + g_rx^r,$$

де коефіцієнти g_i можуть приймати значення $\{0,1\}$, $j = 0 \div r - 1$.

ЛПС 11i в паралельному кодері 6 (n,k) -коду Хемінга і ЛПС 15i в паралельному декодері 7 (n,k) -коду Хемінга мають бути побудовані на основі одного породжувального полінома циклічного коду.

Якщо в матриці A коефіцієнт $g_j = 1$, тоді існує зв'язок між виходом ЛПС і відповідними входами суматорів по модулю два, інакше відповідного зв'язку немає. Якщо в матриці B коефіцієнт $g_j = 1$, тоді існує зв'язок між входом ЛПС і відповідними входами суматорів по модулю два, інакше відповідного зв'язку немає. Якщо коефіцієнти $g_j = 0$ одночасно в матрицях A і B , тоді в ЛПС відсутній i -й суматор по модулю два.

Завдяки перемежуванню пакети помилок довжиною до P розрядів в послідовності X перетворюються в поодинокі помилки в окремих n -розрядних кодових словах, що дозволяє їх виправити за допомогою циклічного (n,k) -коду Хемінга.

Наприклад, для породжувального поліному $g(x) = 1 + x + x^4$ (7,4)- коду Хемінга ЛПС матиме такі характеристичні матриці

$$A = \begin{bmatrix} 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}, \quad B = \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix}. \quad (5)$$

При використанні характеристичних матриць (5) апаратна реалізація ЛПС 11i і ЛПС 15i містять 4 елементи пам'яті 20.0, 20.1, 20.2, 20.3, два суматори по модулю два 21.0, 21.1, інформаційний вхід 22, інформаційний вихід 23 (фіг. 5). На основі такої ЛПС паралельний кодер 6 (7,4)-коду Хемінга містить чотири 4-розрядних послідовних вузли кодування, а паралельний декодер 7 (7,4)-коду Хемінга містить чотири 4-розрядних послідовних вузли декодування. В результаті можна виправити пакет помилок довжиною до 4 розрядів в інформаційній 16-розрядній послідовності X .

У відомому пристрої операції кодування і перемежування здійснюються окремо, що вимагає сумарно 2 рп тактів часу.

Для циклічного (n,k) -коду Хемінга операції систематичного кодування і перемежування вимагають pn тактів часу кожна. У запропонованому пристрої вказані операції виконуються паралельно: кожний наступний розряд початкової послідовності X кодується і перемижується із затримкою в один такт відносно попереднього розряду. Тому сумарні витрати часу на боці передавача складають лише $(pn + 1)$ тактів.

Аналогічно для циклічного (n,k) -коду Хемінга операції декодування і деперемижування вимагають pn тактів часу кожна. У запропонованому пристрої вказані операції виконуються паралельно: кожний наступний розряд кодового слова декодується і деперемижується із затримкою в один такт відносно попереднього розряду. Тому сумарні витрати часу на боці приймача також складають лише $(pn + 1)$ тактів.

Завдяки наявності демультіплексора 4 мультіплексора 8 можна виконувати операції кодування і декодування з перемижуванням при послідовному надходженні даних в каналах зв'язку.

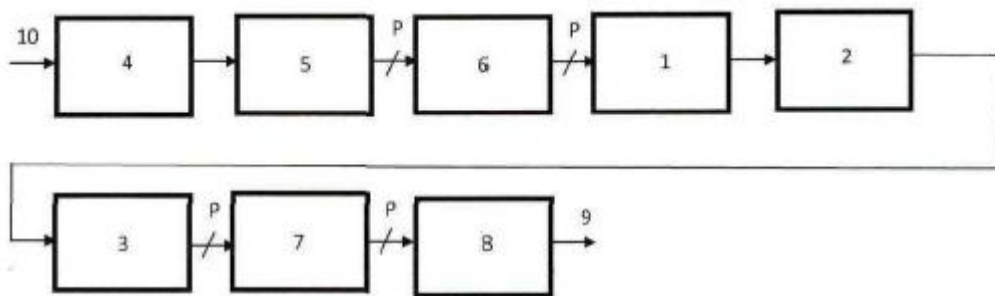
40

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

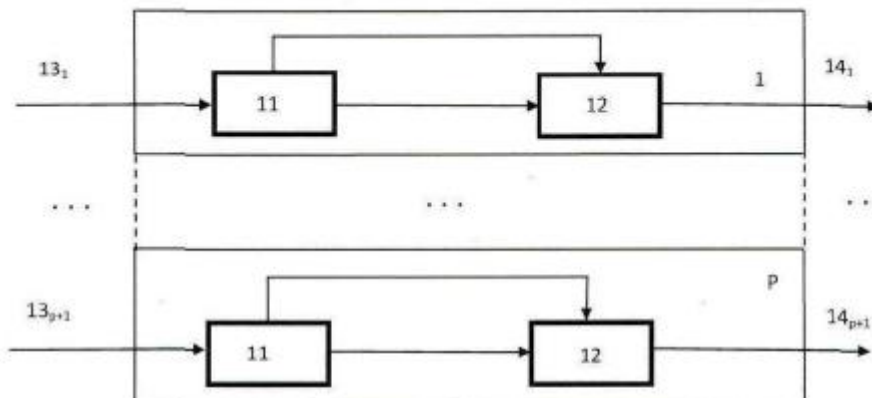
5 Пристрій для виправлення пакетів помилок за допомогою перемешування циклічних кодів, який складається з блока перемешування, каналу зв'язку, блока відновлення, вхід якого з'єднаний з виходом каналу зв'язку, вхід якого з'єднаний з виходом блока перемешування, який відрізняється тим, що введено демультиплексор, блок із p n -розрядних регістрів, паралельний кодер (n, k) -коду Хемінга, паралельний декодер (n, k) -коду Хемінга і мультиплексор, інформаційний вихід якого є інформаційним виходом пристрою, інформаційний вхід якого з'єднаний з інформаційним входом демультиплексора, p -розрядний інформаційний вихід якого з'єднаний відповідно з p входами блока регістрів, p виходів якого з'єднані відповідно з p входами паралельного кодера (n, k) -коду Хемінга, p виходів якого з'єднані відповідно з p входами блока перемешування, p виходів блока відновлення з'єднані відповідно з p входами паралельного декодера (n, k) -коду Хемінга, p виходів якого з'єднані відповідно з p інформаційними входами мультиплексора.

10

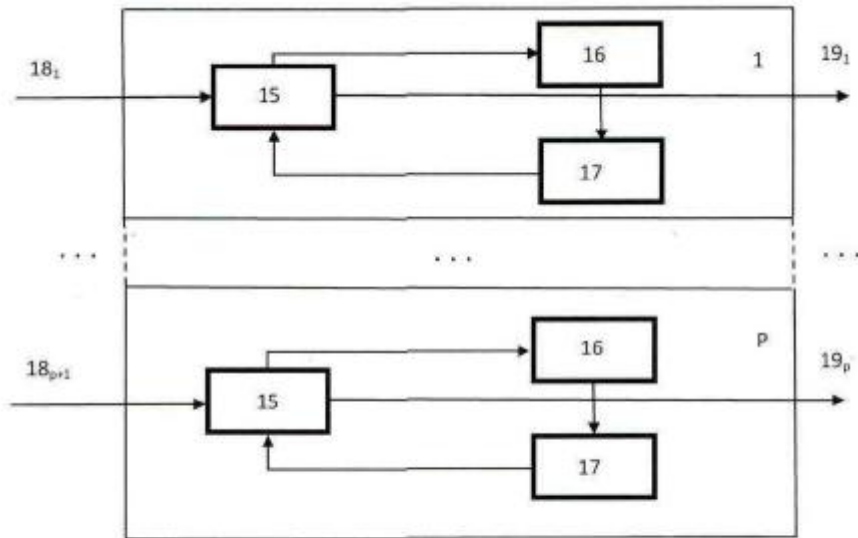
15



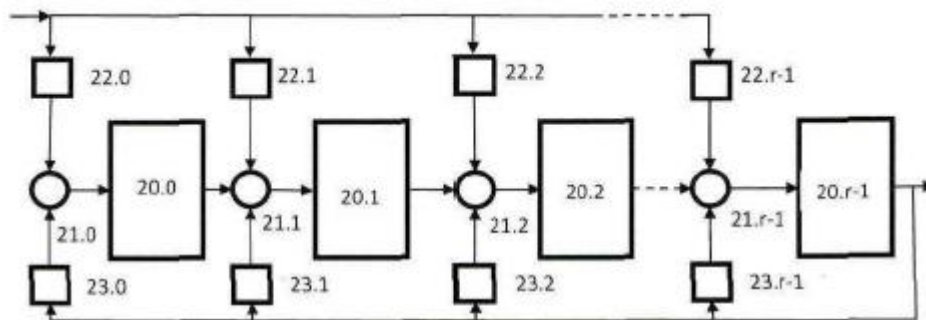
Фіг. 1



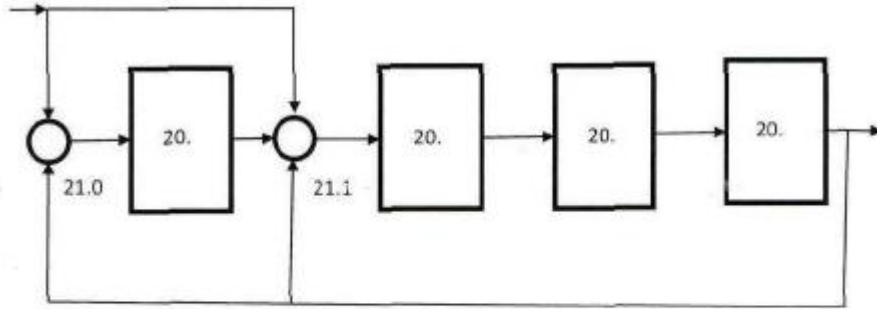
Фіг. 2



Фиг. 3



Фиг. 4



Фиг. 5