



УКРАЇНА

(19) **UA** (11) **91017** (13) **U**
(51) МПК
H03F 3/04 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

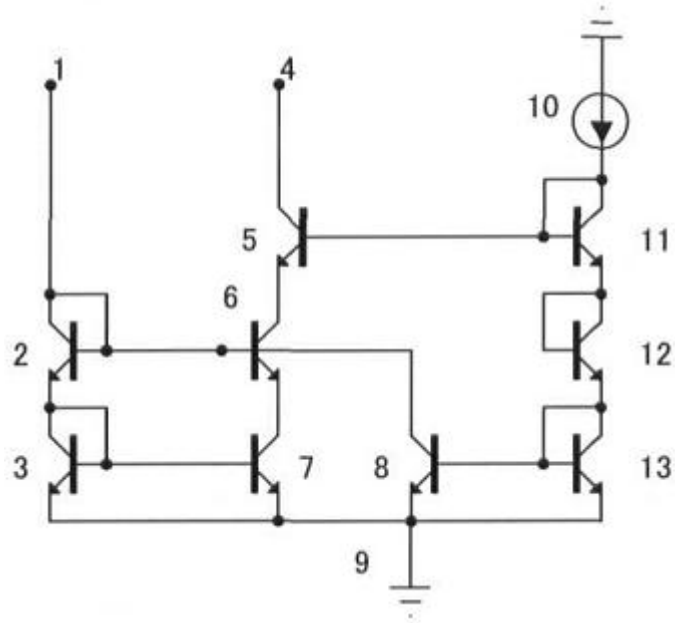
<p>(21) Номер заявки: u 2013 09958</p> <p>(22) Дата подання заявки: 09.08.2013</p> <p>(24) Дата, з якої є чинними права на корисну модель: 25.06.2014</p> <p>(46) Публікація відомостей про видачу патенту: 25.06.2014, Бюл.№ 12</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Попенко Володимир Михайлович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
--	--

(54) ВІДБИВАЧ СТРУМУ

(57) Реферат:

Відбивач струму містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори. Вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою третього транзистора, емітер першого транзистора з'єднано з колектором та базою другого транзистора, а також з базою четвертого транзистора. Емітер третього транзистора з'єднано з колектором четвертого транзистора. Емітери другого та четвертого транзисторів з'єднано з шиною нульового потенціалу. Відбивач струму містить п'ять транзисторів та джерело струму. Емітер п'ятого транзистора з'єднано з колектором третього транзистора. Колектор п'ятого транзистора з'єднано з вихідною шиною. Бази п'ятого та сьомого транзисторів об'єднано та з'єднано з колектором сьомого транзистора, а також з другим виводом джерела струму. Перший вивід джерела струму з'єднано з шиною нульового потенціалу. Емітер сьомого транзистора з'єднано з колектором восьмого транзистора, а також з базою восьмого транзистора. Емітер восьмого транзистора з'єднано з об'єднаними базами шостого та дев'ятого транзисторів, а також з колектором дев'ятого транзистора. Емітери дев'ятого та шостого транзисторів об'єднано та з'єднано з шиною нульового потенціалу. Колектор шостого транзистора з'єднано з базою третього транзистора.

UA 91017 U



Корисна модель належить до аналогової техніки і може бути використана в двотактних підсилювальних схемах.

Відомий відбивач струму Уілсона (Wilson, G. R. (December 1968), "A Monolithic Junction FET-n-p-n Operational Amplifier", IEEE J. Solid State Circuits SC-3 (4): 341-348, doi:10.1109/JSSC.1968.1049922), який містить три транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, а також з базою третього транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, а також з емітером третього транзистора, колектор третього транзистора з'єднано з вихідною шиною. Недоліком аналога є високий вхідний опір.

За прототип вибрано відбивач струму (U.S. Patent, noise immune current mirror, Mark W. Gose et al; Fig IE; Patent Number 4,866,399; Data of Patent Sep. 12, 1989), який містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою третього транзистора, емітер першого транзистора з'єднано з колектором та базою другого транзистора, а також з базою четвертого транзистора, емітер третього транзистора з'єднано з колектором четвертого транзистора, емітери другого та четвертого транзисторів з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною.

Недоліком прототипу є низький вихідний опір, що обмежує галузь використання пристрою. В основу корисної моделі поставлено задачу створення відбивача струму, в якому за рахунок введення нових елементів та зв'язків між ними, за умови, що генератор вхідного сигналу має обмежений опір, підвищується вихідний опір, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у відбивач струму, який містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою третього транзистора, емітер першого транзистора з'єднано з колектором та базою другого транзистора, а також з базою четвертого транзистора, емітер третього транзистора з'єднано з колектором четвертого транзистора, емітери другого та четвертого транзисторів з'єднано з шиною нульового потенціалу, введено п'ять транзисторів та джерело струму, причому емітер п'ятого транзистора з'єднано з колектором третього транзистора, колектор п'ятого транзистора з'єднано з вихідною шиною, бази п'ятого та шостого транзисторів об'єднано та з'єднано з колектором шостого транзистора, а також з другим виводом джерела струму, перший вивід джерела струму з'єднано з шиною нульового потенціалу, емітер шостого транзистора з'єднано з колектором восьмого транзистора, а також з базою восьмого транзистора, емітер восьмого транзистора з'єднано з об'єднаними базами шостого та дев'ятого транзисторів, а також з колектором дев'ятого транзистора, емітери дев'ятого та шостого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектор шостого транзистора з'єднано з базою третього транзистора.

На кресленні представлено схему відбивача струму.

Пристрій містить вхідну шину 1, вихідну шину 4, джерело струму 10, шину нульового потенціалу 9 та дев'ять транзисторів, причому вхідну шину 1 з'єднано з колектором та базою першого 2 транзистора, а також з базою третього 6 транзистора, емітер першого 2 транзистора з'єднано з колектором та базою другого 3 транзистора, а також з базою четвертого 7 транзистора, емітер третього 6 транзистора з'єднано з колектором четвертого 7 транзистора, емітери другого 3 та четвертого 7 транзисторів з'єднано з шиною нульового потенціалу 9, емітер п'ятого 5 транзистора з'єднано з колектором третього 6 транзистора, колектор п'ятого 5 транзистора з'єднано з вихідною шиною 4, бази п'ятого 5 та шостого 11 транзисторів об'єднано та з'єднано з колектором шостого 11 транзистора, а також з другим виводом джерела струму 10, перший вивід джерела струму 10 з'єднано з шиною нульового потенціалу 9, емітер шостого 11 транзистора з'єднано з колектором восьмого 12 транзистора, а також з базою восьмого 12 транзистора, емітер восьмого 12 транзистора з'єднано з об'єднаними базами шостого 8 та дев'ятого 13 транзисторів, а також з колектором дев'ятого 13 транзистора, емітери дев'ятого 13 та шостого 8 транзисторів об'єднано та з'єднано з шиною нульового потенціалу 9, колектор шостого 8 транзистора з'єднано з базою третього 6 транзистора.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 1. Якщо вхідний струм втікає у схему, то збільшується падіння напруги на першому 2 і другому 3 транзисторах у діодному вмиканні, та базові струми четвертого 7 та третього 6 транзисторів, що призводить до їх невеликого відкриття та збільшення колекторного струму. При цьому збільшується як

емітерний, так і базовий струми п'ятого 5 транзистора. Збільшення базового струму п'ятого 5 транзистора через сьомий 11, восьмий 12 та дев'ятий 13 транзистори передається в базу шостого 8 транзистора, що призводить до його невеликого відкривання. Внаслідок цього збільшується наскрізний струм через його колекторний та емітерний переходи, який, у свою чергу, врівноважує значення базового струму третього 6 транзистора.

Якщо вхідний струм витікає із схеми, то зменшується падіння напруги на першому 2 і другому 3 транзисторах у діодному вмиканні, та базові струми четвертого 7 та третього 6 транзисторів, що призводить до їх невеликого закривання та зменшення колекторного струму. При цьому зменшується як емітерний, так і базовий струми п'ятого 5 транзистора. Зменшення базового струму п'ятого 5 транзистора через сьомий 11, восьмий 12 та дев'ятий 13 транзистори передається в базу шостого 8 транзистора, що призводить до його невеликого закривання. Внаслідок цього зменшується наскрізний струм через його колекторний та емітерний переходи, який, у свою чергу, врівноважує значення базового струму третього 6 транзистора.

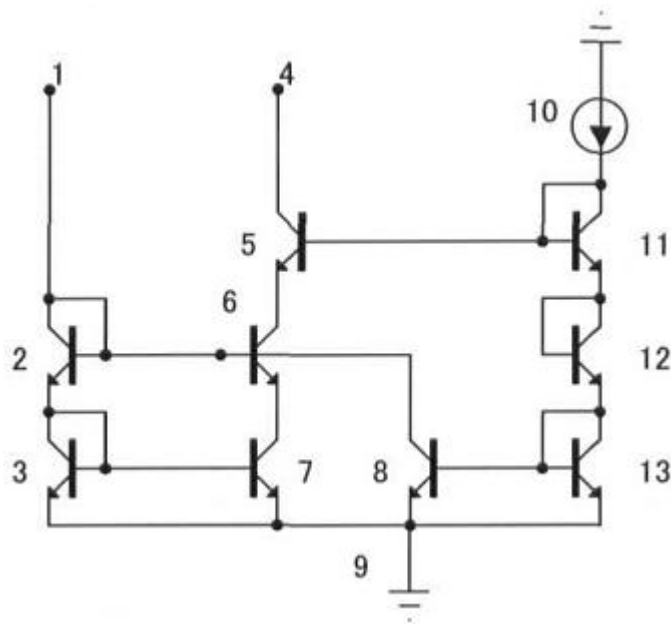
Вихідна шина 4 відслідковує зміну струму на колекторі п'ятого 5 транзистора.

Джерело струму 10 задає робочий струм для сьомого 11, восьмого 12 та дев'ятого 13 транзисторів. Шина нульового потенціалу 9 задає необхідний рівень напруги для живлення схеми.

П'ятий 5, шостий 8, сьомий 11, восьмий 12 та дев'ятий 13 транзистори утворюють коло від'ємного зворотного зв'язку між базою та колектором третього 6 транзистора. Введення від'ємного зворотного зв'язку забезпечує збільшення вихідного опору схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Відбивач струму, який містить шину нульового потенціалу, вхідну та вихідну шини, чотири транзистори, причому вхідну шину з'єднано з колектором та базою першого транзистора, а також з базою третього транзистора, емітер першого транзистора з'єднано з колектором та базою другого транзистора, а також з базою четвертого транзистора, емітер третього транзистора з'єднано з колектором четвертого транзистора, емітери другого та четвертого транзисторів з'єднано з шиною нульового потенціалу, який **відрізняється** тим, що у нього введено п'ять транзисторів та джерело струму, причому емітер п'ятого транзистора з'єднано з колектором третього транзистора, колектор п'ятого транзистора з'єднано з вихідною шиною, бази п'ятого та сьомого транзисторів об'єднано та з'єднано з колектором сьомого транзистора, а також з другим виводом джерела струму, перший вивід джерела струму з'єднано з шиною нульового потенціалу, емітер сьомого транзистора з'єднано з колектором восьмого транзистора, а також з базою восьмого транзистора, емітер восьмого транзистора з'єднано з об'єднаними базами шостого та дев'ятого транзисторів, а також з колектором дев'ятого транзистора, емітери дев'ятого та шостого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектор шостого транзистора з'єднано з базою третього транзистора.



Комп'ютерна верстка Д. Шеверун

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601