



УКРАЇНА

(19) **UA** (11) **91014** (13) **U**
(51) МПК (2014.01)
H03F 3/04 (2006.01)
H01S 3/00

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

<p>(21) Номер заявки: u 2013 09916</p> <p>(22) Дата подання заявки: 09.08.2013</p> <p>(24) Дата, з якої є чинними права на корисну модель: 25.06.2014</p> <p>(46) Публікація відомостей про видачу патенту: 25.06.2014, Бюл.№ 12</p>	<p>(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Крупельницький Леонід Віталійович (UA), Попенко Володимир Михайлович (UA)</p> <p>(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p>
--	--

(54) ВІДБИВАЧ СТРУМУ

(57) Реферат:

Відбивач струму містить шину нульового потенціалу, вхідну та вихідну шини, два транзистори, причому вхідну шину з'єднано з колектором першого транзистора, а також з об'єднаними базами першого та другого транзисторів, емітери першого та другого транзисторів об'єднано, колектор другого транзистора з'єднано з вихідною шиною. Додатково введено п'ять транзисторів, джерело струму та джерело напруги.

UA 91014 U

Корисна модель належить до аналогової техніки і може бути використана в двотактних підсилювальних схемах.

Відомий відбивач струму Уілсона (Wilson, G.R. (December 1968), "A Monolithic Junction FET-n-p-n Operational Amplifier", IEEE J. Solid State Circuits SC-3 (4): 341-348, doi:10.1109/JSSC.1968.1049922), який містить три транзистори, вхідну та вихідну шини, шину нульового потенціалу, причому вхідну шину з'єднано з колектором першого транзистора, а також з базою третього транзистора, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, бази першого та другого транзисторів об'єднано та з'єднано з колектором другого транзистора, а також з емітером третього транзистора, колектор третього транзистора з'єднано з вихідною шиною. Недоліком аналогу є низький вихідний опір.

За прототип вибрано відбивач струму (U.S. Patent Davis; Patent Number: 4,673,867; Appl. No.: 879,879; Date of Patent: Jun. 16, 1987), який містить шину нульового потенціалу, вхідну та вихідну шини, два транзистори, причому вхідну шину з'єднано з колектором першого транзистора, а також з об'єднаними базами першого та другого транзисторів, емітери першого та другого транзисторів об'єднано та з'єднано з шиною нульового потенціалу, колектор другого транзистора з'єднано з вихідною шиною.

Недоліком прототипу є високий вхідний опір, що обмежує галузь використання пристрою.

В основу корисної моделі поставлена задача створення відбивача струму, в якому за рахунок введення нових елементів та зв'язків між ними, за умови, що генератор вхідного сигналу має обмежений опір, зменшується вхідний опір, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що у відбивач струму, який містить шину нульового потенціалу, вхідну та вихідну шини, два транзистори, причому вхідну шину з'єднано з колектором першого транзистора, а також з об'єднаними базами першого та другого транзисторів, емітери першого та другого транзисторів об'єднано, колектор другого транзистора з'єднано з вихідною шиною, згідно з корисною моделлю додатково введено п'ять транзисторів, джерело струму та джерело напруги, причому емітер третього транзистора з'єднано з об'єднаними базами першого та другого транзисторів, базу третього транзистора з'єднано з об'єднаними колекторами четвертого та п'ятого транзисторів, колектор третього транзистора з'єднано з об'єднаними емітерами п'ятого та шостого транзисторів, а також з шиною нульового потенціалу, бази п'ятого та шостого транзисторів об'єднано та з'єднано з колекторами шостого та другого транзистора, базу четвертого транзистора з'єднано з об'єднаними базами першого та другого транзисторів, емітери четвертого та шостого транзисторів об'єднано та з'єднано з другим виводом джерела струму, перший вивід джерела струму з'єднано з шиною нульового потенціалу, базу шостого транзистора з'єднано з другим виводом джерела напруги, перший вивід джерела напруги з'єднано з шиною нульового потенціалу.

На кресленні представлено схему відбивача струму.

Пристрій містить шину нульового потенціалу 8, вхідну 1 та вихідну 4 шини, джерело струму 9, джерело напруги 12, а також сім транзисторів, причому вхідну шину 1 з'єднано з колектором першого 2 транзистора, а також з об'єднаними базами першого 2 та другого 5 транзисторів, емітери першого 2 та другого 5 транзисторів об'єднано, колектор другого 5 транзистора з'єднано з вихідною шиною, емітер третього 3 транзистора з'єднано з об'єднаними базами першого 2 та другого 5 транзисторів, базу третього 3 транзистора з'єднано з об'єднаними колекторами четвертого 6 та п'ятого 7 транзисторів, колектор третього 3 транзистора з'єднано з об'єднаними емітерами п'ятого 7 та шостого 11 транзисторів, а також з шиною нульового потенціалу 8, бази п'ятого 7 та шостого 11 транзисторів об'єднано та з'єднано з колекторами шостого 11 та шостого 10 транзистора, базу четвертого 6 транзистора з'єднано з об'єднаними базами першого 2 та другого 5 транзисторів, емітери четвертого 6 та шостого 10 транзисторів об'єднано та з'єднано з другим виводом джерела струму 9, перший вивід джерела струму 9 з'єднано з шиною нульового потенціалу 8, базу шостого 10 транзистора з'єднано з другим виводом джерела напруги 12, перший вивід джерела напруги 12 з'єднано з шиною нульового потенціалу 8.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму надходить на вхідну шину 1. Якщо вхідний струм втікає у схему, то збільшується падіння напруги на першому транзисторі 2 у діодному вмиканні, та базовий струм другого 5, четвертого 6 транзисторів. При цьому другий транзистор 5 трохи відкривається і струм вихідної шини 4 збільшується. Збільшення базового струму четвертого транзистора 6 призводить до того, що він трохи закривається та зменшення його колекторного струму, що у свою чергу призводить до збільшення колекторного струму шостого транзистора

10, при цьому він трохи відкривається. При збільшенні колекторного струму шостого транзистора 10 збільшується падіння напруги на сьомому транзисторі 11 у діодному вмиканні та, відповідно, збільшується базовий струм п'ятого транзистора 7, при цьому він трохи відкривається. При цьому збільшується базовий струм третього транзистора 3 і він трохи закривається, що призводить до зменшення колекторного струму третього транзистора 3. Це призводить до врівноваження падіння напруги на першому транзисторі 2 у діодному вмиканні.

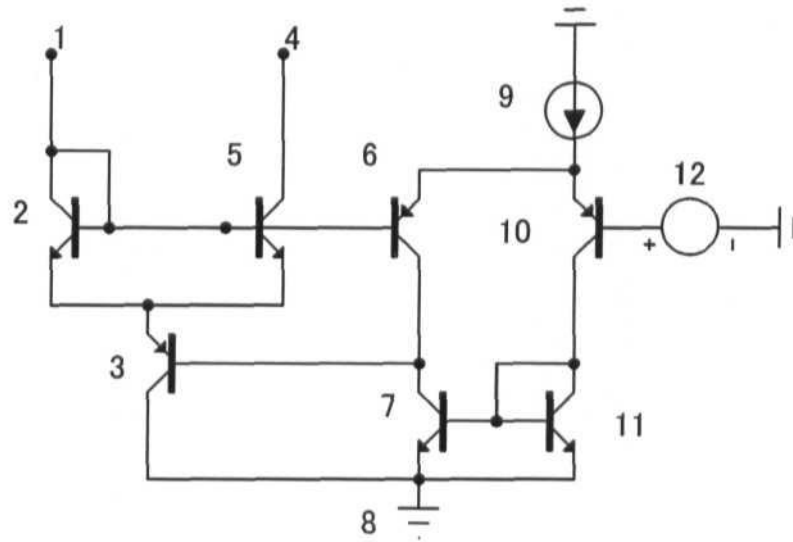
Якщо вхідний струм витікає із схеми, то зменшується падіння напруги на першому транзисторі 2 у діодному вмиканні, та базовий струм другого 5, четвертого 6 транзисторів. Зменшення базового струму четвертого транзистора 6 призводить до того, що він трохи відкривається, та збільшення його колекторного струму, що у свою чергу призводить до зменшення колекторного струму шостого транзистора 10, при цьому він трохи закривається. При зменшенні колекторного струму шостого транзистора 10 зменшується падіння напруги на сьомому транзисторі 11 у діодному вмиканні та, відповідно, зменшується базовий струм п'ятого транзистора 7, при цьому він трохи закривається. При цьому зменшується базовий струм третього транзистора 3 і він трохи відкривається, що призводить до зменшення колекторного струму третього транзистора 3. Це призводить до врівноваження падіння напруги на першому транзисторі 2 у діодному вмиканні.

Джерело напруги 12 слугує для задання базової напруги шостого транзистора 10. Джерело струму 9 задає робочий струм для роботи четвертого 6 та шостого 10 транзисторів. Точка об'єднання емітерів третього 3, п'ятого 7, сьомого 11 транзисторів, першого виводу джерела струму 9 та першого виводу джерела напруги 12 утворюють шину нульового потенціалу 8.

Джерела струму 9 та напруги 12, четвертий 6, шостий 10, п'ятий 7, сьомий 11, а також третій 3 транзистори утворюють коло від'ємного зворотного зв'язку між базою другого 5 та емітером першого 2 транзисторів. Введення цього від'ємного зворотного зв'язку зменшує вхідний опір схеми.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Відбивач струму, що містить шину нульового потенціалу, вхідну та вихідну шини, два транзистори, причому вхідну шину з'єднано з колектором першого транзистора, а також з об'єднаними базами першого та другого транзисторів, емітери першого та другого транзисторів об'єднано, колектор другого транзистора з'єднано з вихідною шиною, який **відрізняється** тим, що додатково введено п'ять транзисторів, джерело струму та джерело напруги, причому емітер третього транзистора з'єднано з об'єднаними базами першого та другого транзисторів, базу третього транзистора з'єднано з об'єднаними колекторами четвертого та п'ятого транзисторів, колектор третього транзистора з'єднано з об'єднаними емітерами п'ятого та сьомого транзисторів, а також з шиною нульового потенціалу, бази п'ятого та сьомого транзисторів об'єднано та з'єднано з колекторами сьомого та шостого транзистора, базу четвертого транзистора з'єднано з об'єднаними базами першого та другого транзисторів, емітери четвертого та шостого транзисторів об'єднано та з'єднано з другим виводом джерела струму, перший вивід джерела струму з'єднано з шиною нульового потенціалу, базу шостого транзистора з'єднано з другим виводом джерела напруги, перший вивід джерела напруги з'єднано з шиною нульового потенціалу.



Комп'ютерна верстка Д. Шеверун

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601