

Міністерство освіти і науки України
Вінницький національний технічний університет

Методичні вказівки
до виконання лабораторних робіт
з курсу
«Проектування оптико-цифрових систем»
для студентів напрямку підготовки
«Опtotехніка»

Вінниця
ВНТУ
2017

Рекомендовано до друку Методичною радою Вінницького національного технічного університету Міністерства освіти і науки. Молоді та спорту України (протокол № _ від «_» _____ 201_р.)

Рецензенти:

А.А. Яровий, доктор технічних наук, професор

А.М. Петух, доктор технічних наук, професор

Методичні вказівки до виконання лабораторних робіт з курсу «Проектування оптико-цифрових систем» для студентів, які навчаються за напрямом підготовки «Опtotехніка» / Уклад. А. В. Кожем'яко, О. С. Безкрєвний – Вінниця : ВНТУ, 2017. – 34 с.

У методичних вказівках наведено шість лабораторних робіт з дисципліни «Проектування оптико-цифрових систем», виконання яких ознайомить студентів з роботою у ППП Quartus II, створенням схеми згідно індивідуального завдання та її налаштуванням. В кожній лабораторній роботі наведені короткі теоретичні відомості, а також приведені приклади виконання завдань.

Методичні вказівки призначені для студентів напряму 152 – «Метрологія та інформаційно-вимірjувальна техніка», спеціалізації «Лазерна техніка та оптоінформатика», але також можуть використовуватись студентами споріднених напрямків та спеціалізацій.

Вступ

Дані методичні вказівки містить в собі шість лабораторних робіт з дисципліни «Проектування оптико-цифрових систем», виконання яких ознайомить студентів з роботою у ППП Quartus II версії 10.1, і дають змогу студентам самостійно оволодіти навичками роботи з даною програмою. В посібнику пояснено правила використання та основні положення стосовно ППП Quartus II та ПЛІС. В кожній роботі наведені короткі теоретичні відомості, а також приклади для програмування та аналізу схеми ПЛІС. Кожна робота містить в собі контрольні питання для перевірки знань.

Методичні вказівки призначені для студентів напрямку «Опtotехніка», але також можуть використовуватися студентами споріднених напрямків.

Зміст

ЛАБОРАТОРНА РОБОТА № 1 Введення в програмовані логічні інтегральні схеми	5
ЛАБОРАТОРНА РОБОТА № 2 Основи роботи в системі QUARTUS II.....	9
ЛАБОРАТОРНА РОБОТА № 3 Робота з Pin Planner в QUARTUS II.....	14
ЛАБОРАТОРНА РОБОТА № 4 Компіляція та отримання рапортів роботи в ППП QUARTUS II.....	19
ЛАБОРАТОРНА РОБОТА № 5 Робота з часовим аналізатором в QUARTUS II	24
ЛАБОРАТОРНА РОБОТА № 6 Написання схеми мовою VHDL в QUARTUS II	29
Варіанти індивідуальних завдань.....	33
Література.....	34

ЛАБОРАТОРНА РОБОТА № 1

Введення в програмовані логічні інтегральні схеми

Мета роботи: розглянути відмінності між ПЛІС та мікроконтролерами. Розглянути найбільш популярні фірми виробники та зроби огляд ПЛІС.

1. Основні відомості.

Програмована логічна інтегральна схема, ПЛІС (англ. programmable logic device, PLD) — електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування. Для цього використовуються програматори і налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратури (Verilog, VHDL, AHDL та інші). Альтернативою ПЛІС є: програмований логічний контролер, базові матричні кристали, що вимагають заводського виробничого процесу для програмування; ASIC — спеціалізовані замовні ВІС (великі інтегральні схеми), які при малосерійному та одиничному виробництві істотно дорожчі; спеціалізовані комп'ютери, процесори (наприклад, цифровий сигнальний процесор) або мікроконтролери, які через програмний спосіб реалізації алгоритмів повільніші, ніж ПЛІС [12].

Деякі виробники ПЛІС пропонують програмні процесори, які можуть бути модифіковані під конкретне завдання, а потім вбудовані в ПЛІС. Тим самим забезпечується зменшення використання місця на друкованій платі і спрощення проектування самої ПЛІС.

Мікроконтролер, або однокристальна мікроЕОМ — виконана у вигляді мікросхеми спеціалізована мікропроцесорна система, що включає мікропроцесор, блоки пам'яті для збереження коду програм і даних, порти вводу-виводу і блоки зі спеціальними функціями (лічильники, компаратори, АЦП та інші).

Використовується для керування електронними пристроями. По суті, це — однокристальний комп'ютер, здатний виконувати прості завдання. Використання однієї мікросхеми значно знижує розміри, енергоспоживання і вартість пристроїв, побудованих на базі мікроконтролерів.

Мікроконтролери можна зустріти в багатьох сучасних приладах, таких як телефони, пральні машини, вони відповідають за роботу двигунів і систем гальмування сучасних автомобілів, з їх допомогою створюються системи контролю і системи збору інформації. Більшість процесорів, що випускаються у світі — мікроконтролери.

2. Порівняння деяких видів ПЛІС.

Xilinx, Inc. — американська компанія без власного виробництва, один з найбільших виробників програмованих логічних пристроїв. Заснована у 1984 р. В цьому ж році в компанії було винайдено, а в 1985 р. почато виробництво першої комерційної мікросхеми FPGA. Компанія займається проектуванням напівпровідникових пристроїв програмованої логіки (FPGA, CPLD, ASIC, розробкою програмних модулів та бібліотек інтелектуальної власності для програмування пристроїв програмованої логіки на мовах опису апаратних засобів (VHDL, Verilog), а також розробкою пакетів програмного забезпечення для програмування пристроїв програмованої логіки (пакет програм ISE Design Suite). Xilinx є підприємством без власних виробничих потужностей. Для виготовлення програмованих логічних пристроїв компанія

співпрацює з різними виробниками інтегральних схем, такими як Samsung, TSMC або UMC.

Altera Corporation — американська компанія, один з найбільших виробників програмованих логічних пристроїв. Заснована у 1983 році.

Компанія випустила свою першу мікросхему програмованого логічного пристрою в 1984 році. Займається проектуванням напівпровідникових пристроїв програмованої логіки (FPGA, CPLD, ASIC), розробкою програмних модулів та бібліотек інтелектуальної власності для програмування пристроїв програмованої логіки на мовах опису апаратних засобів (VHDL, Verilog), а також розробкою пакетів програмного забезпечення для програмування пристроїв програмованої логіки (пакет програм Quartus II).

Altera є підприємством без власних виробничих потужностей. Для виготовлення програмованих логічних пристроїв компанія співпрацює з різними виробниками інтегральних схем, такими як TSMC.

Таблиця 1 – Основні характеристики ПЛІС фірми Altera

	Рік випуску	Технологія процесу, нм	Влаштованої пам'яті, Кб	Кількість регістрів	Кількість логічних елементів	Кількість виводів
Arria II GZ	2010	40	11115	179200	224	878
Arria II GX	2009	40	8550	205200	244	692
Statix V	2010	28	13312	356000	236	664
Statix IV	2008	40	14283	182400	228	584
Cyclone IV	2009	60	6480	92400	150	508
Cyclone III	2007	65	3888	85600	119	347

Таблиця 2 – Основні характеристики ПЛІС фірми Xilinx.

	Рік випуску	Технологія процесу, нм	Влаштованої пам'яті, Кб	Кількість регістрів	Кількість логічних елементів	Кількість виводів
Spartan 7	2009	28	1100	102400	240	400
Artix 7	2010	28	2888	215360	210	500
Kintex 7	2010	28	6788	356160	325	500
Virtex 7	2011	28	13275	305400	350	600

Контрольні питання

1. Назвати основні відмінності між мікроконтролерами та ПЛІС.
2. Основні фірми виробники ПЛІС та їх робочі середовища.
3. Порівняння ПЛІС фірм Altera та Xilinx. Коротка характеристика.

ЛАБОРАТОРНА РОБОТА № 2

Основи роботи в системі QUARTUS II

Мета роботи: оволодіти основними методами моделювання, створення та опису проекту в ПППІ Quartus II.

1. Основні відомості.

ПППІ Quartus II – це сучасна програма для моделювання, розробки та запису в ПЛІС алгоритмів розроблених на мові програмування VHDL або Verilog.

ПЛІС – Програмована логічна інтегральна схема. Електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування. Для цього використовуються програматори і налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратури (Verilog, VHDL, AHDL та інші).

2. Створення базового проекту в ПППІ Quartus II.

Тут і далі буде використовуватись Quartus II версії 10.1

- 1 – Швидкий доступ до останніх проектів.
- 2 – Панель форматування.
- 3 – Панель інструментів.
- 4 – Навігатор по проекту.
- 5 – Стан задач в проекті.
- 6 – Панель відлагоджування.
- 7 – Документація по Quartus II.
- 8 – Робоча область.

9 – Стартове вікно-привітання.

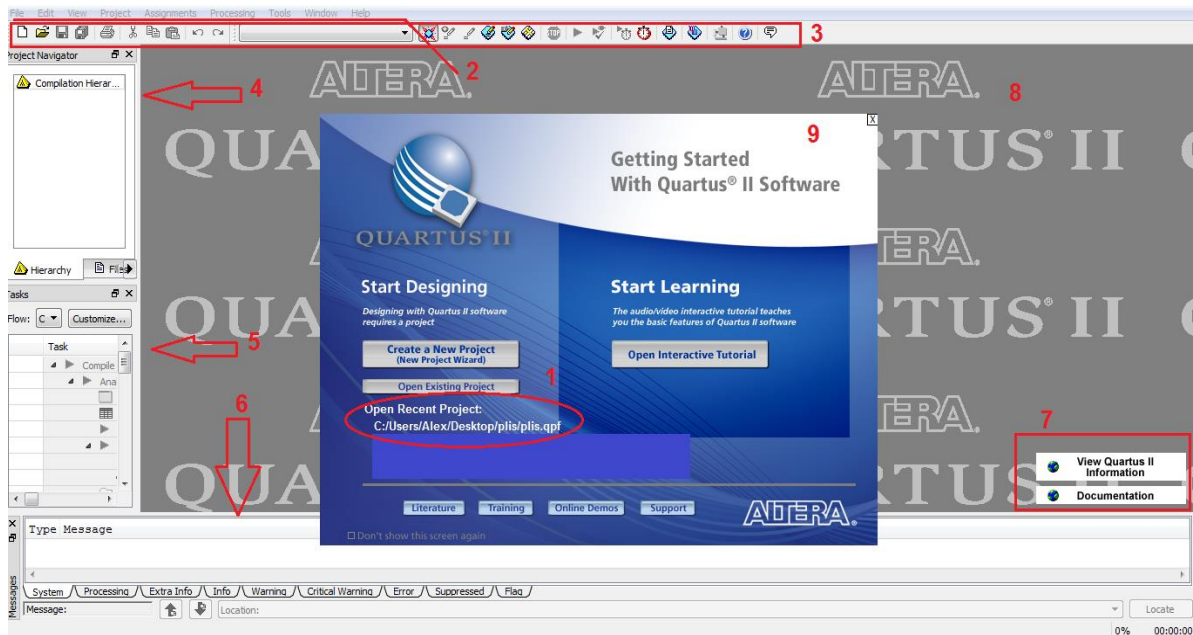


Рисунок 1 – Стартове вікно Quartus II

Для створення нового проекту необхідно перейти в File -> New, у вікні, що з'явилося обрати New Quartus II Project, далі з'явиться таке вікно:

Рисунок 2 – Створення нового проекту

1 стрічка – необхідно вказати місце розташування нового проекту

2 стрічка – ім'я проекту

3 стрічка – ім'я головного файлу проекту

У наступному кроці є можливість додати готові файли до проекту, якщо таких немає, переходимо до 3 кроку:

Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.

Device family
Family: Cyclone IV GX
Devices: All

Target device
 Auto device selected by the Fitter
 Specific device selected in 'Available devices' list
 Other: n/a

Show in 'Available devices' list
Package: Any
Pin count: Any
Speed grade: Any
 Show advanced devices
 HardCopy compatible only

Available devices:

Name	Core Voltage	LEs	User I/Os	GXB Transmitter Channel PMA	GXB Receiver Channel P
EP4CGX15BF14C6	1.2V	14400	81	2	2
EP4CGX15BF14C7	1.2V	14400	81	2	2
EP4CGX15BF14C8	1.2V	14400	81	2	2
EP4CGX15BF14I7	1.2V	14400	81	2	2
EP4CGX15BN11C7	1.2V	14400	81	2	2
EP4CGX15BN11C8	1.2V	14400	81	2	2
EP4CGX15BN11I7	1.2V	14400	81	2	2

Companion device
HardCopy:
 Limit DSP & RAM to HardCopy device resources

Рисунок 3 – Вибір мікросхеми

В 3 кроці необхідно обрати сімейство мікросхем, а з сімейства якусь конкретну мікросхему, всі вони відрізняються параметрами входів/виходів, кількістю каналів, пам'яттю і т.д.

В 4 кроці є можливість налаштування інструментів для конкретного проекту.

5 крок є заключним етапом, на якому вказуються налаштування з якими буде створено проект.

3. Початок роботи

Необхідно створити файл в якому буде відбуватись побудова схеми. Для цього натиснути на вкладку File – New – Block Diagram / Schematic File.

Відкриється робоче поле:

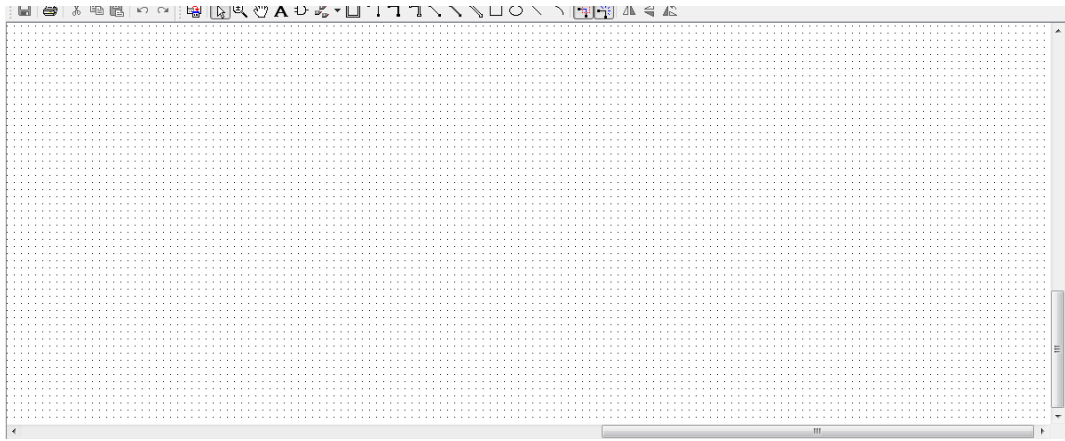


Рисунок 4 – Робоче поле проекту.

Для створення простої схеми можна використати набір готових елементів в Symbol Tool, джерело вхідних сигналів береться в Pin Tool.

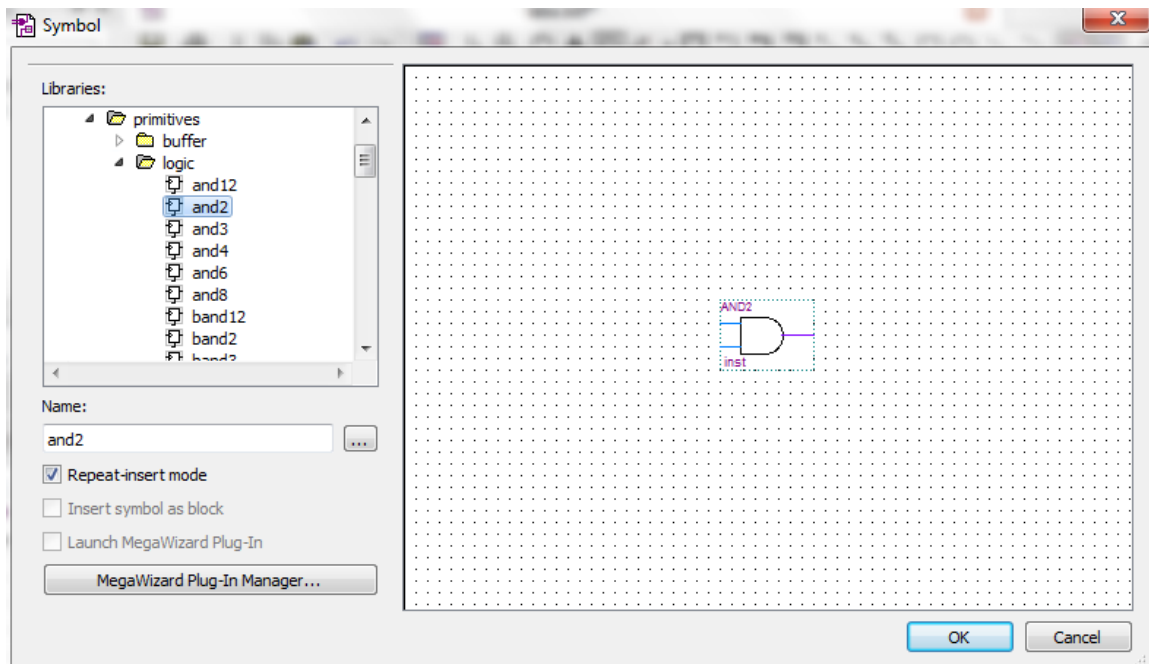


Рисунок 5 – Вікно готових елементів Symbol Tool

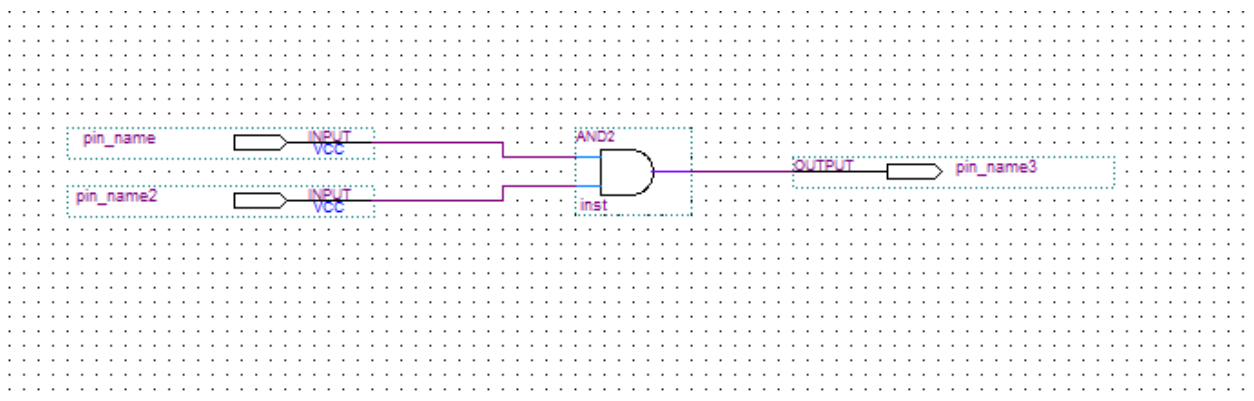


Рисунок 6 – Проста схема, що налічує 2 елементи входу, 1 елемент виходу і елемент логічного «І»

Хід роботи

1. Ознайомитись з теоретичною частиною.
2. Ознайомитись з інтерфейсом ППП Quartus II.
3. Змоделювати просту схему згідно варіанту.

Контрольні питання

1. Описати інтерфейс ППП Quartus II.
2. Основні кроки створення нового проекту.
3. Де можна знайти готові елементи для моделювання схеми?

ЛАБОРАТОРНА РОБОТА № 3

Робота з Pin Planner в QUARTUS II

Мета роботи: оволодіти основними навичками роботи з утилітою Pin Planner в ППП Quartus II.

1. Основні відомості.

ППП Quartus II – це сучасна програма для моделювання, розробки та запису в ПЛІС алгоритмів розроблених на мові програмування VHDL або Verilog.

ПЛІС – Програмована логічна інтегральна схема. Електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування. Для цього використовуються програматори і налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратури (Verilog, VHDL, AHDL та інші).

2. Pin Planner

В попередній роботі було змодельовано просту схему, але для подальшого захиття її в ПЛІС нам необхідно вказати до яких пінів будуть прив'язані змодельовані елементи схеми.

На Рис. 1 зображено де знаходиться піктограма Pin Planner`а, і після натискання на неї має відкритись вікно, що зображено на Рис. 2.

В даному вікні можна бачити схематично зображений корпус ПЛІС`у. Змінимо масштаб зображення затиснувши клавішу Ctrl і прокрутивши колесо мишки (або правою кнопкою миші на вільному просторі і обравши команду Zoom In/Out).

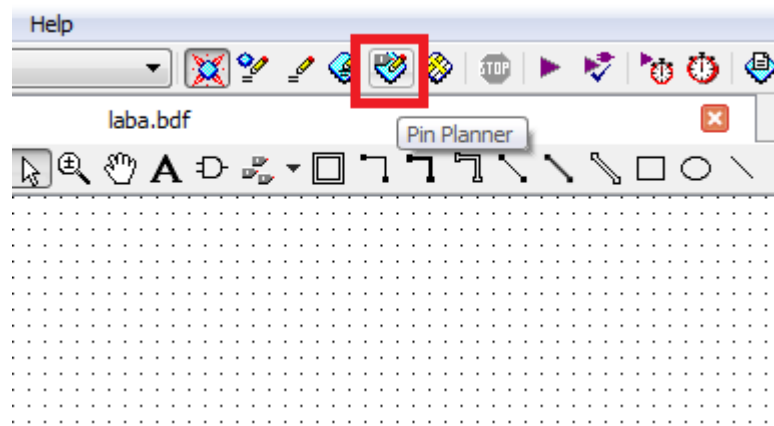


Рисунок 1. – Піктограма Pin Planner`а

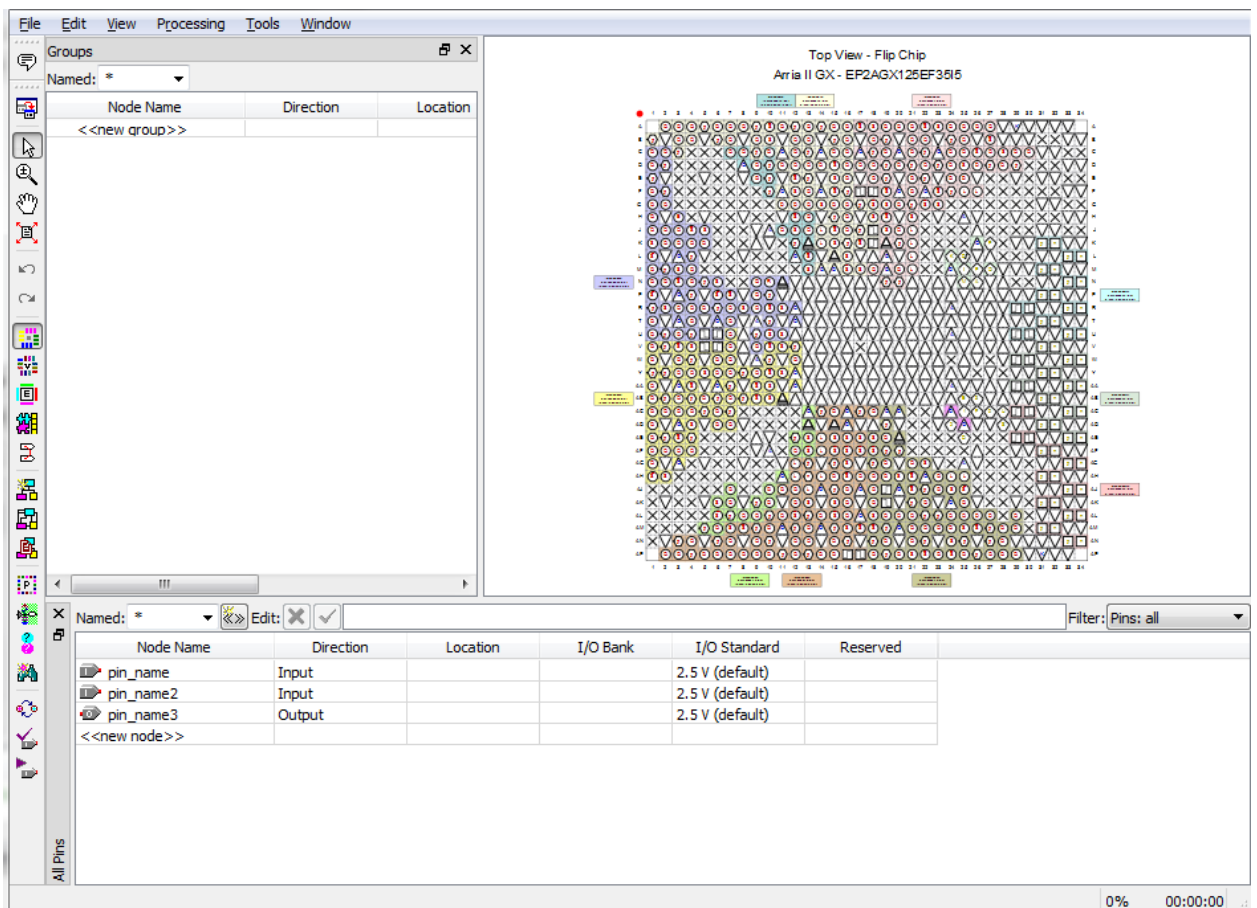


Рисунок 2. – Вікно Pin Planner`а

Подвійне натискання на пін відкриє нам вікно, що зображено на Рис. 4. В даному вікні обирається сигнал, який буде йти на даний пін, а також відображаються основні відомості про пін.

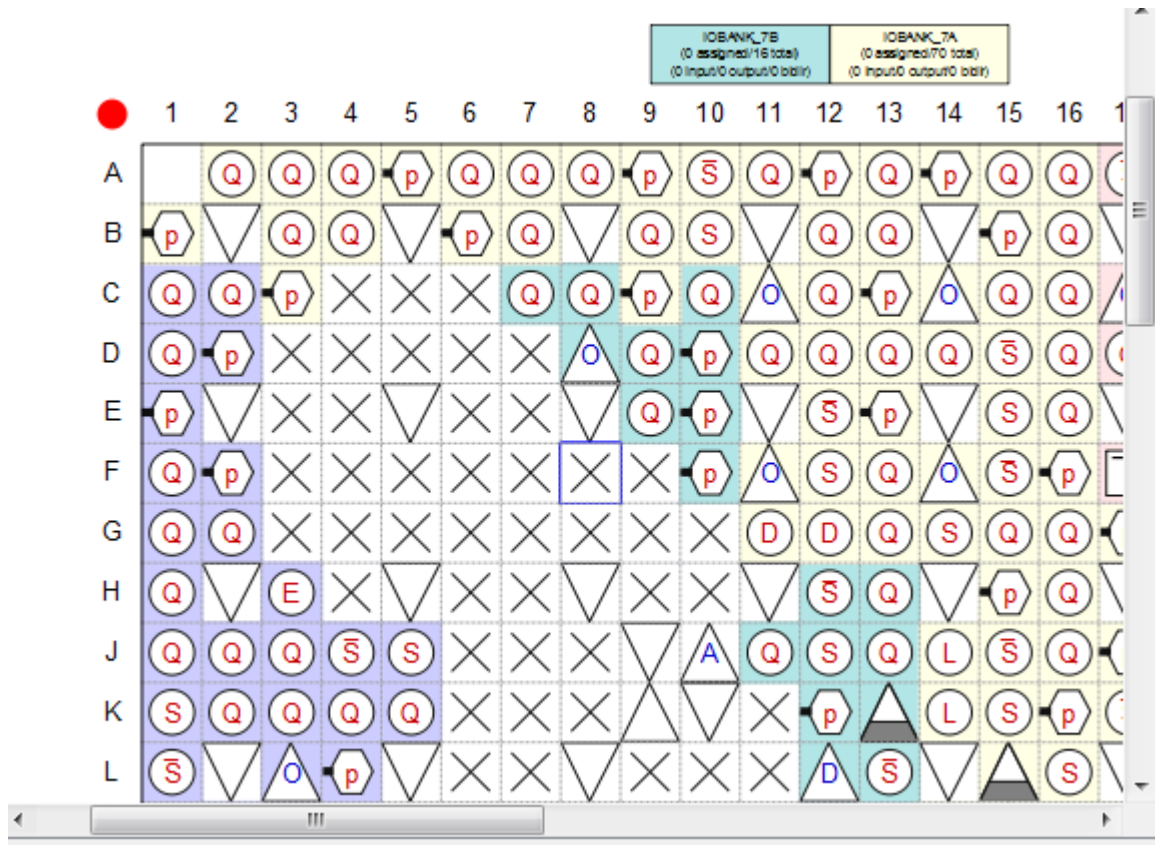


Рисунок 3. – Масштабоване зображення корпусу ПЛІС`у.

Pin Properties

Pin number: PIN_A2

Node name:

I/O Standard:

Reserved:

Properties:

Name	Value
I/O bank	7A
VREF group	B7A_N0
Edge	TOP
General function	Column I/O
Special function	DIFFIO_RX_T6...T_T6n, DQ16T
Pad ID	387
Pad group	6
I/O module	T108

Apply Close Help

Рисунок 4. – Вікно параметрів піну.

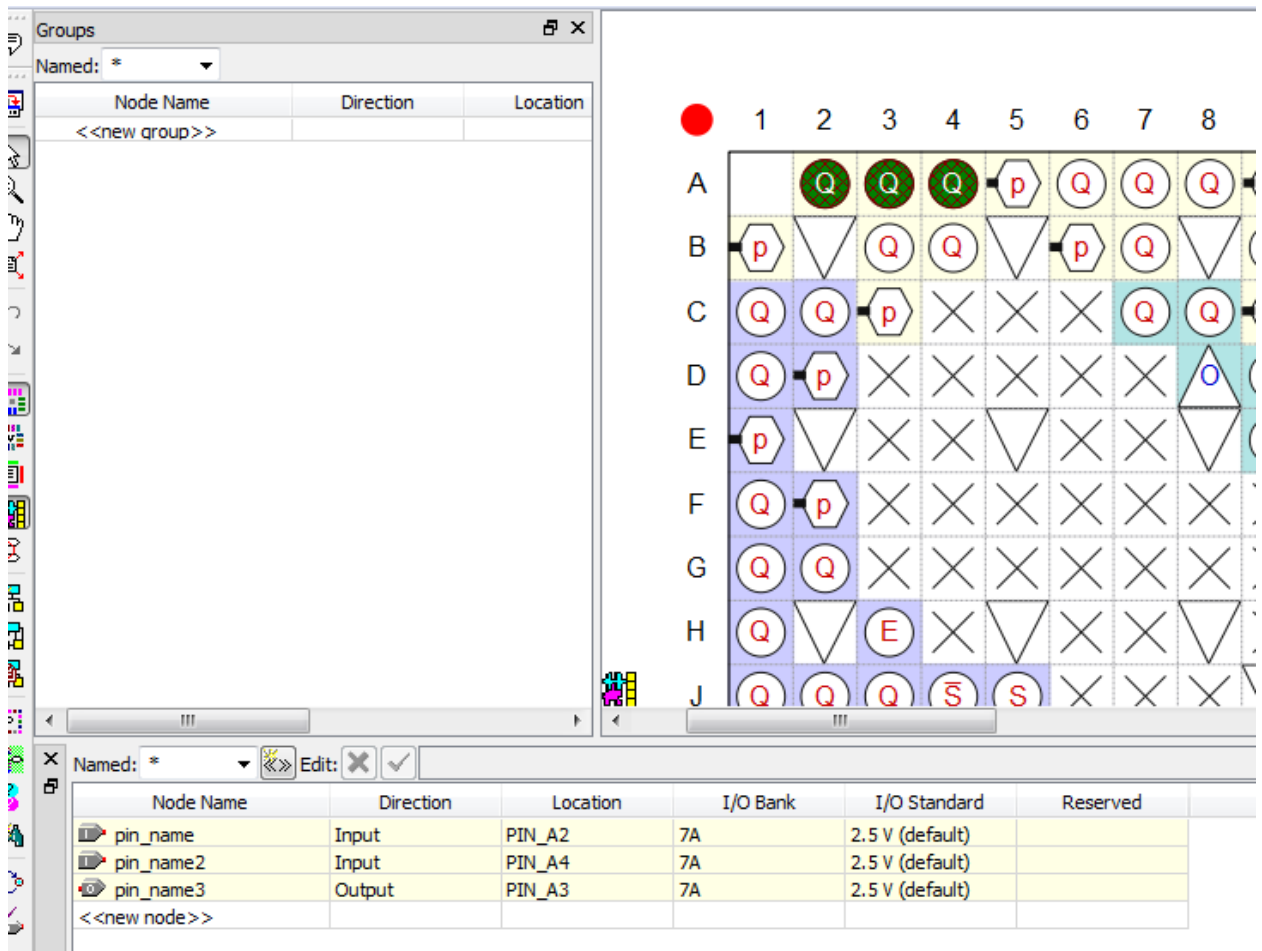


Рисунок 5. – Приклад розпінованого корпусу ПЛІС.

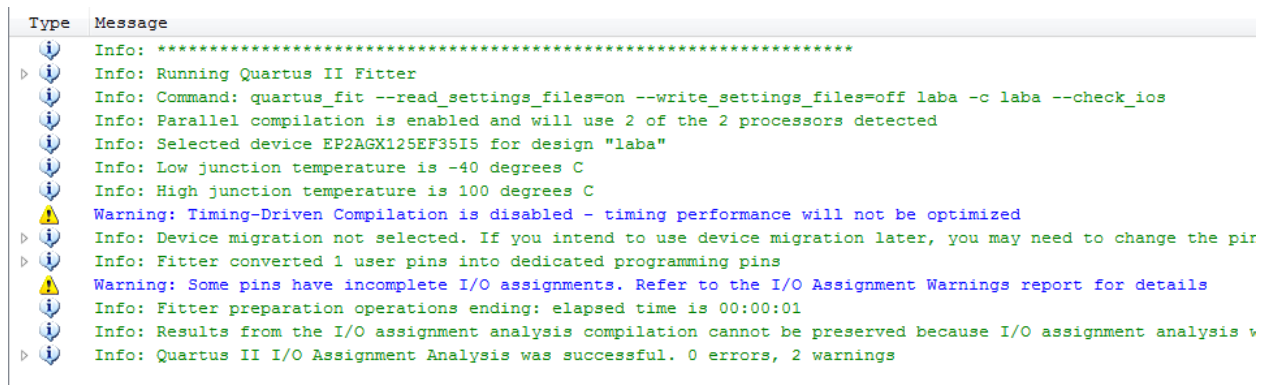


Рисунок 6. – Стрічка повідомлень з повідомленнями отриманими в результаті перевірки.

Після того як сигнали розпіновані, необхідно виконати перевірку, для цього необхідно в головному вікні Quartus II натиснути на Start Analysis & Synthesis і після цього Start I/O Assignment Analysis і переглянути стрічку повідомлень, що знаходиться під робочим полем головного вікна Quartus II, на наявність помилок.

Необхідно звернути увагу на те, що при різному вольтажу сигналів на пінах буде видавати критичну помилку, оскільки, в ПЛІС фірми Altera використовуються сигнали з однаковим вольтажем для одного банку контактів входів/виходів.

Хід роботи

1. Ознайомитись з теоретичною частиною.
2. Ознайомитись з інтерфейсом ППП Quartus II і інструменту Pin Planner.
3. Зробити розпіновку змодельованої схеми згідно варіанту з попередньої роботи.
4. Представити результат роботи у вигляді скріншоту розпінованого корпусу та скріншоту стрічки повідомлень з усіма отриманими повідомленнями після перевірки.

Контрольні питання

1. Для чого застосовується утиліта Pin Planner?
2. Для чого виконується розпіновка схеми?
3. Для чого застосовується функція «Start I/O Assignment Analysis»?

ЛАБОРАТОРНА РОБОТА № 4

Компіляція та отримання рапортів роботи в ППП QUARTUS II

Мета роботи: скомпілювати проект та отримати рапорти роботи схеми в ППП Quartus II.

1. Основні відомості.

ППП Quartus II – це сучасна програма для моделювання, розробки та запису в ПЛІС алгоритмів розроблених на мові програмування VHDL або Verilog.

ПЛІС – Програмована логічна інтегральна схема. Електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування. Для цього використовуються програматори і налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратури (Verilog, VHDL, AHDL та інші).

2. Компіляція проекту.

Для компіляції проекту необхідно обрати команду **Start Compilation** в меню **Processing**. Після компіляції необхідно переглянути стрічку повідомлень де будуть вказані помилки і зауваження, якщо вони є. Також автоматично буде відкрито вікно під назвою **Compilation Report** (Рисунок 1) в якому буде міститись повна інформація про результат обробки проекту.

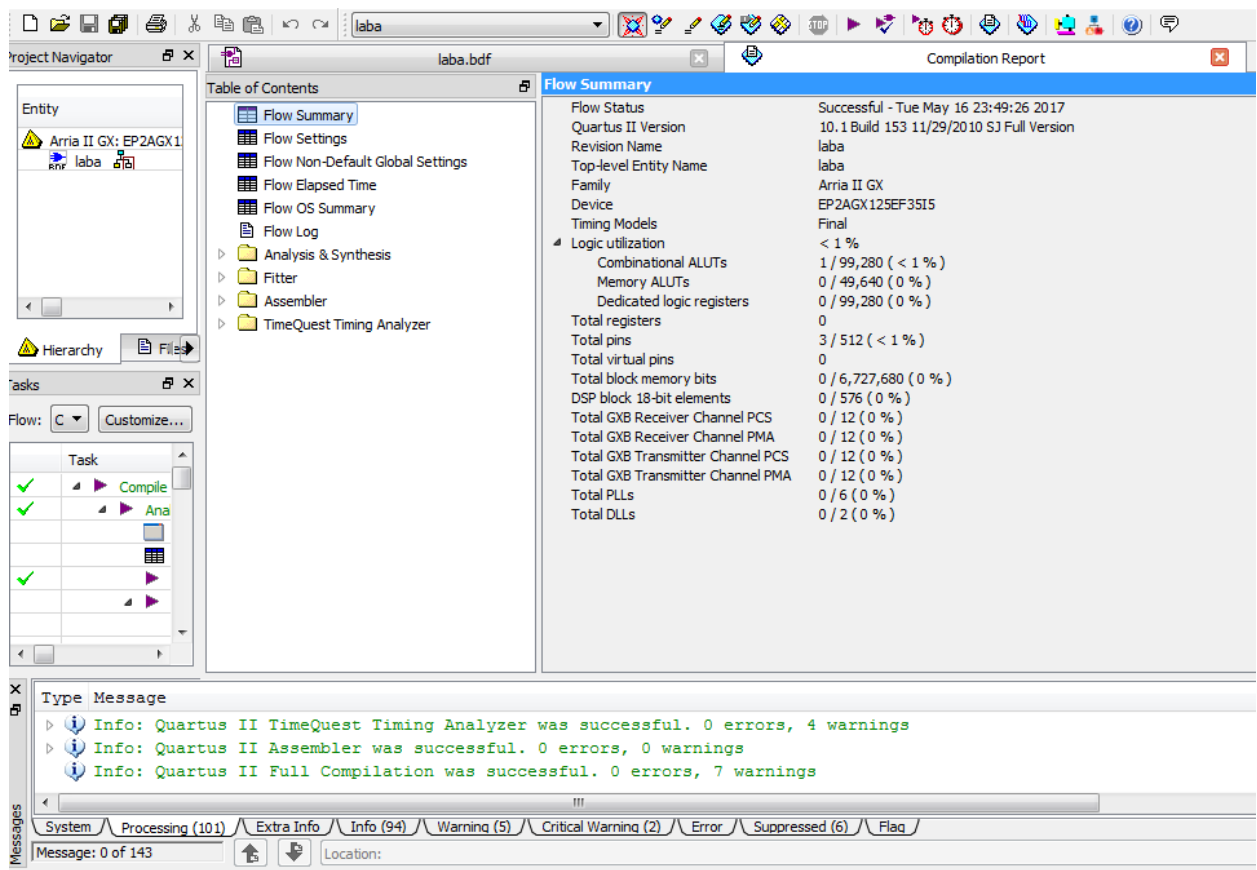


Рисунок 1. – Вікно «**Compilation Report**».

Проаналізуємо логічну реалізацію проекту за допомогою утиліти **RTL Viewer**, яку можна знайти в меню **Tools** в списку **Netlist Viewers**. Після запуску даної утиліти має запуснитись вікно в якому буде графічно відображена логічна реалізація проекту (Рисунок 2).

Перевіримо фізичну реалізацію складових частин за допомогою утиліти **Technology Map Viewer**. Дана утиліта дозволяє продивлятися фактичну реалізацію проекту та використовувані ресурси ПЛІС. Використовується в якості допоміжного інструменту в процесі відлагодження проекту для аналізу змін в використовуваних ресурсах. Для запуску утиліти **Technology Map Viewer** виділіть блок, що цікавить і натисніть на ньому правою клавiшею мишки, в контекстному меню, що відкриється оберіть пункт **Locate** і оберіть команду **Locate in Technology Map Viewer**. Відкриється вікно (Рисунок 3) в якому буде відображена описана раніше інформація.

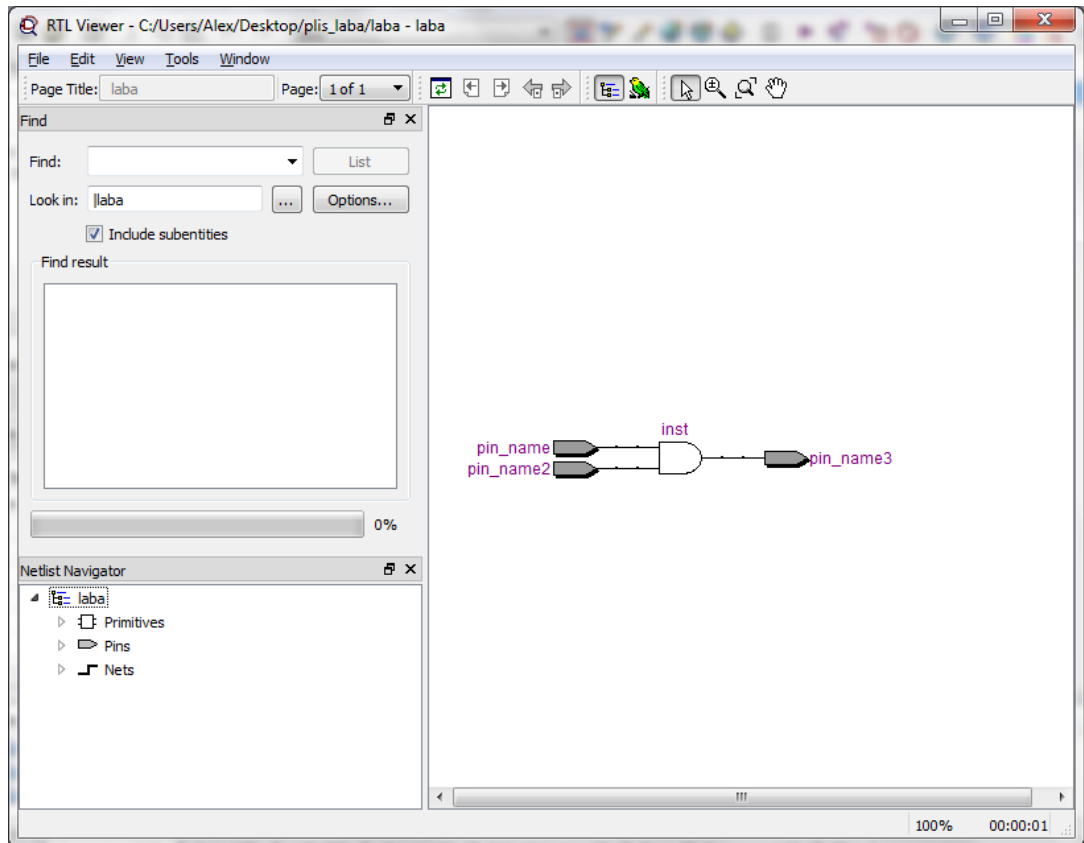


Рисунок 2. – Вікно утиліти **RTL Viewer**.

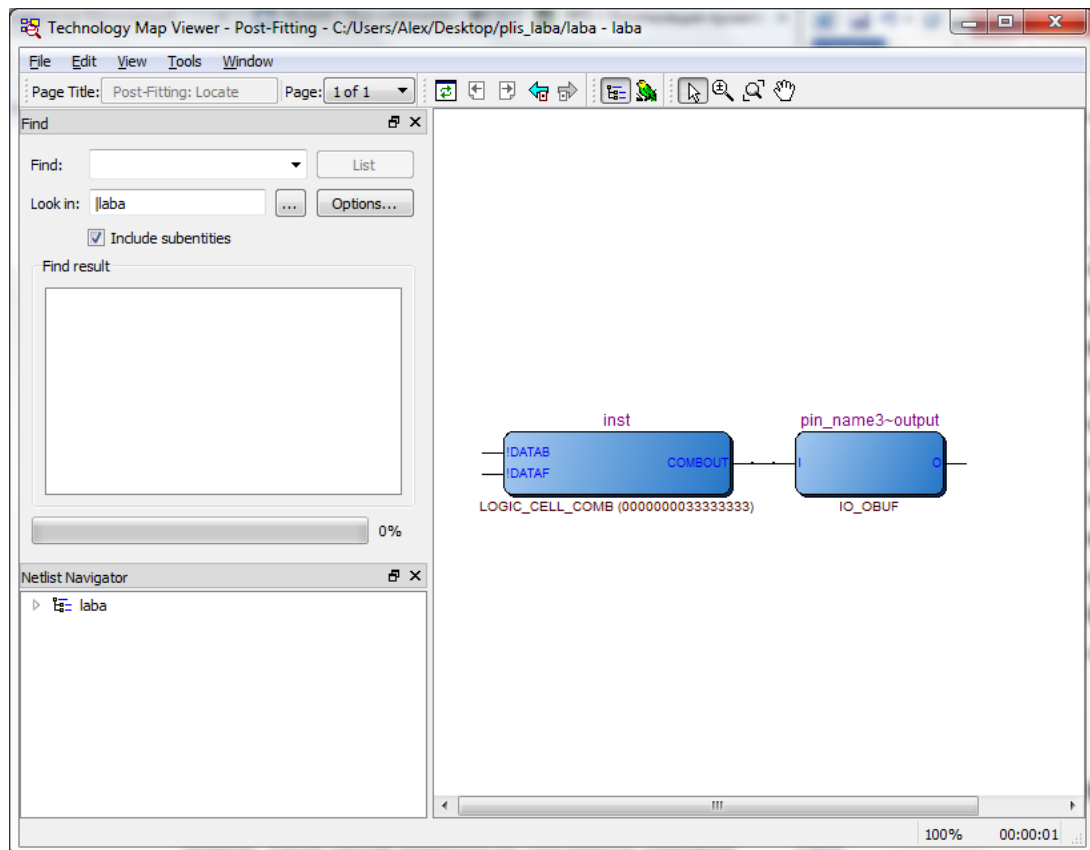


Рисунок 3. – Вікно утиліти **Technology Map Viewer**.

Для того, щоб побачити як фізично розміщені логічні блоки проекту на кристалі використовують утиліту **Chip Planner**. Для виклику даної утиліти натискають на компоненті правою кнопкою миші і обирають **Locate - > Locate in Chip Planner**.

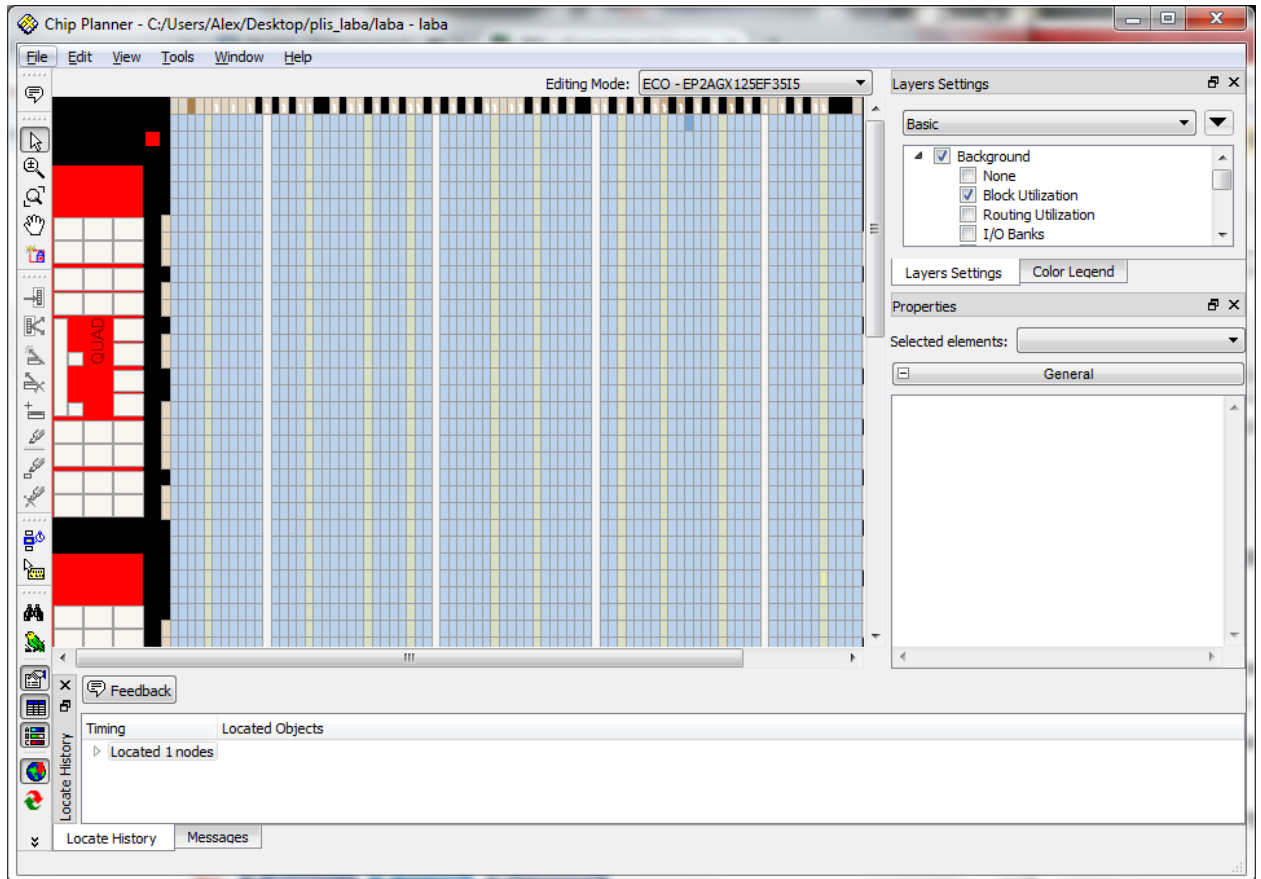


Рисунок 4. – Вікно утиліти **Chip Planner**.

Хід роботи

1. Ознайомитись з теоретичною частиною.
2. Ознайомитись з інтерфейсом ППП Quartus II і інструментами, що описані.
3. Зробити рапорт змодельованої схеми згідно варіанту з попередньої роботи.
4. Представити результат роботи у вигляді скріншотів рапорту, та вікон утиліт: **RTL Viewer**, **Technology Map Viewer** та **Chip Planner**, відносно схеми, що видана індивідуальним завданням (з першої роботи).

Контрольні питання

1. Як отримати рапорт змодельованої схеми?
2. Яка інформація надається в рапорті?
3. Для чого застосовують утиліти «RTL Viewer», «Technology Map Viewer», та «Chip Planner»?

ЛАБОРАТОРНА РОБОТА № 5

Робота з часовим аналізатором в QUARTUS II


Мета роботи: оволодіти основними навичками роботи з утилітою Pin Planner в ППП Quartus II.

1. Основні відомості.

ППП Quartus II – це сучасна програма для моделювання, розробки та запису в ПЛІС алгоритмів розроблених на мові програмування VHDL або Verilog.

ПЛІС – Програмована логічна інтегральна схема. Електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування. Для цього використовуються програматори і налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратури (Verilog, VHDL, AHDL та інші).

2. TimeQuest Timing Analyzer

В основній панелі інструментів Quartus II натисніть кнопку  або, в меню **Tools** виберіть команду **TimeQuest Timing Analyzer**. Натисніть **No** для відмови від створення файлу .SDC з файлу .QSF. Якщо ви випадково натиснули **Yes**, закрийте **TimeQuest**, відкрийте вікно **Explorer** і видаліть файл pipemult.sdc з робочою директорією проекту. Поверніться в Quartus II і повторно викличте утиліту **TimeQuest**.

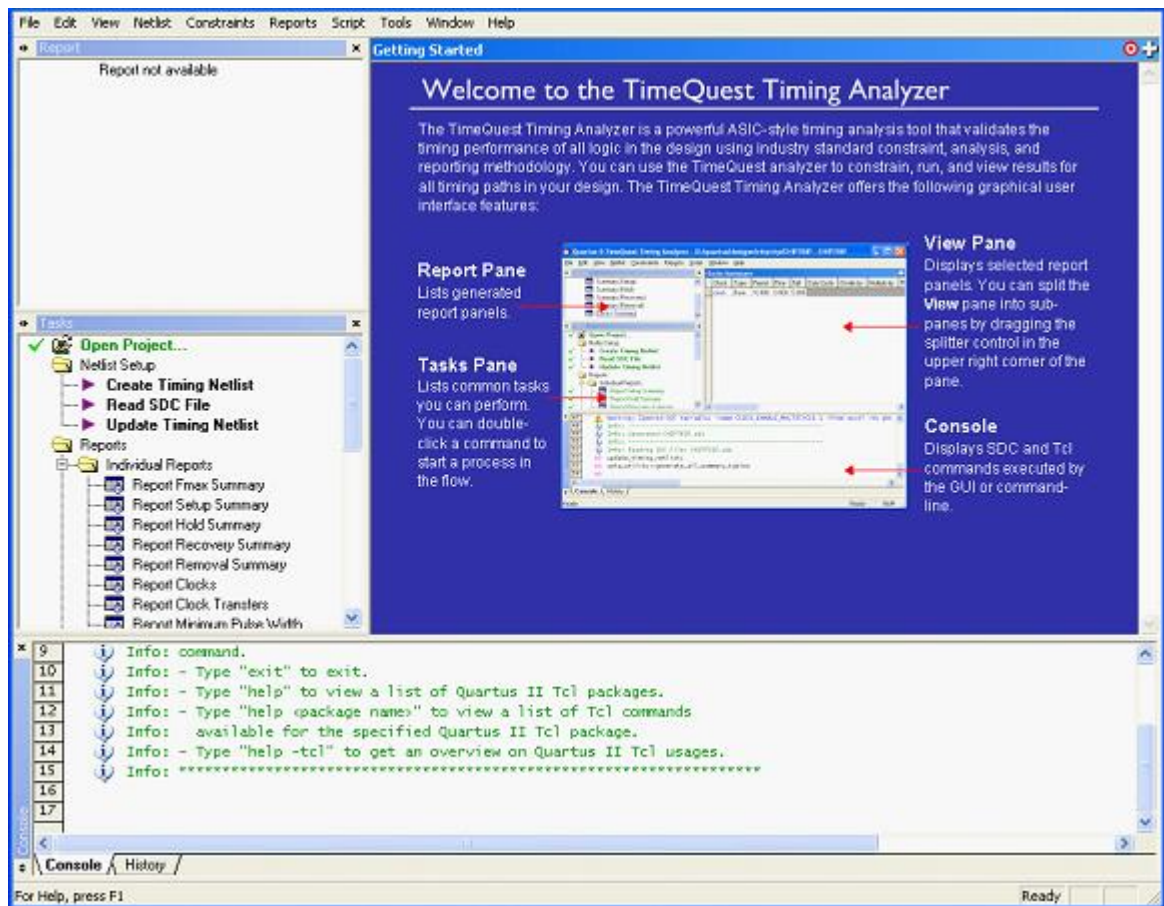


Рисунок 1. – Вікно TimeQuest Timing Analyzer.

Створіть список зв'язків проекту для тимчасового аналізу. В меню **Netlist** виберіть команду **Create Timing Netlist** і змініть тип вихідного списку **Input netlist** на **Post-map**, або в діалоговому вікні **Console** введіть команду **create_timing_netlist -post_map**. Натисніть **OK**.

Зелена мітка, що з'явилася поруч з командою **Create Timing Netlist** в вікні **Tasks**, вказує на успішне її виконання. Зверніть увагу, в вікні **Console** з'явилося повідомлення (виділене синім кольором) про те, що утиліта **TimeQuest** не є інструментом для виконання тимчасового аналізу проекту за замовчуванням. Ми це виправимо пізніше. Ви могли б створити список зв'язків проекту подвійним натисканням мишки на команді **Create Timing Netlist** в вікні **Tasks**, але це не дозволило б вам змінити вихідний список зв'язків на **post-map**, тому що він не задається за замовчуванням.

Відкрийте **.SDC** файл (команда **Read SDC File**). Або просто введіть команду **read_sdc** в рядку після запрошення **tcl>** діалогового вікна.

З'явиться повідомлення про те, що файл .SDC не був знайдений. Це правильно тому що ви не вказували ім'я файлу, утиліта **TimeQuest** автоматично шукала будь-які .SDC файли, додані до проекту, а з них - файли з таким же ім'ям, як і поточна версія проекту **pipemult**. Але таких файлів немає.

Поруч з командою **Read SDC File** повинна з'явитися зелена мітка, яка вказує на спробу прочитати .SDC файл. Зараз ви створите цей файл за допомогою редактора SDC файлів (подібний текстового редактора QuartusII) утиліти TimeQuest GUI.

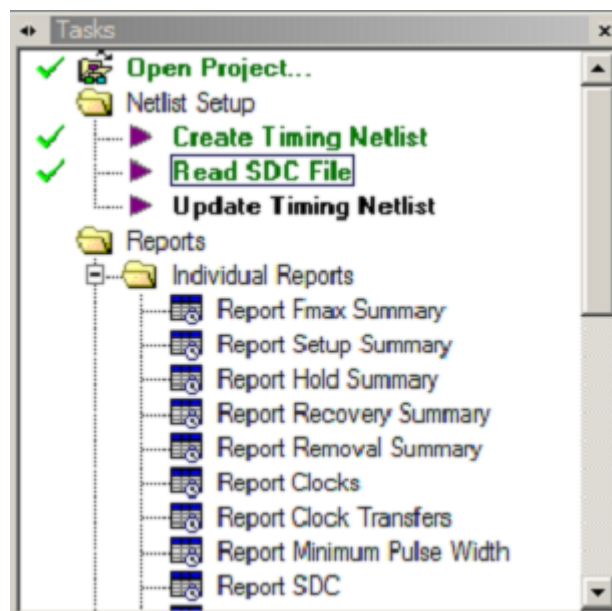



Рисунок 2. – Приклад вигляду вікна **Tasks**.

У меню **File** утиліти TimeQuest виберіть команду **New SDC File**. Відкриється вікно редактора SDC файлу для створення нового файлу. У меню **File** редактора виберіть команду **Save As** і задайте ім'я файлу **pipemult.sdc**. За допомогою команди **Create Clock** задайте період тактової частоти, що дорівнює **6 ns** для вхідного сигналу **clk1**. У меню **Edit** редактора SDC файлів в розділі **Insert Constraint** виберіть команду **Create Clock ...** У діалоговому вікні **Create Clock** задайте ім'я сигналу тактової частоти **clk1**. У рядку **period** встановіть значення **6**. Зверніть увагу, ви можете змінити розташування фронтів тактового сигналу, тобто створити сигнал зі

шпаруватістю, не рівної 50%. Ми залишимо значення за замовчуванням. У рядку **targets** натисніть кнопку . У вікні **Name Finder**, виберіть **get_ports** з меню, що випадає **Collection**. У розділі **Matches** натисніть кнопку **List**. Двічі натисніть кнопку мишки на сигналі **clk1** в сформованому списку.

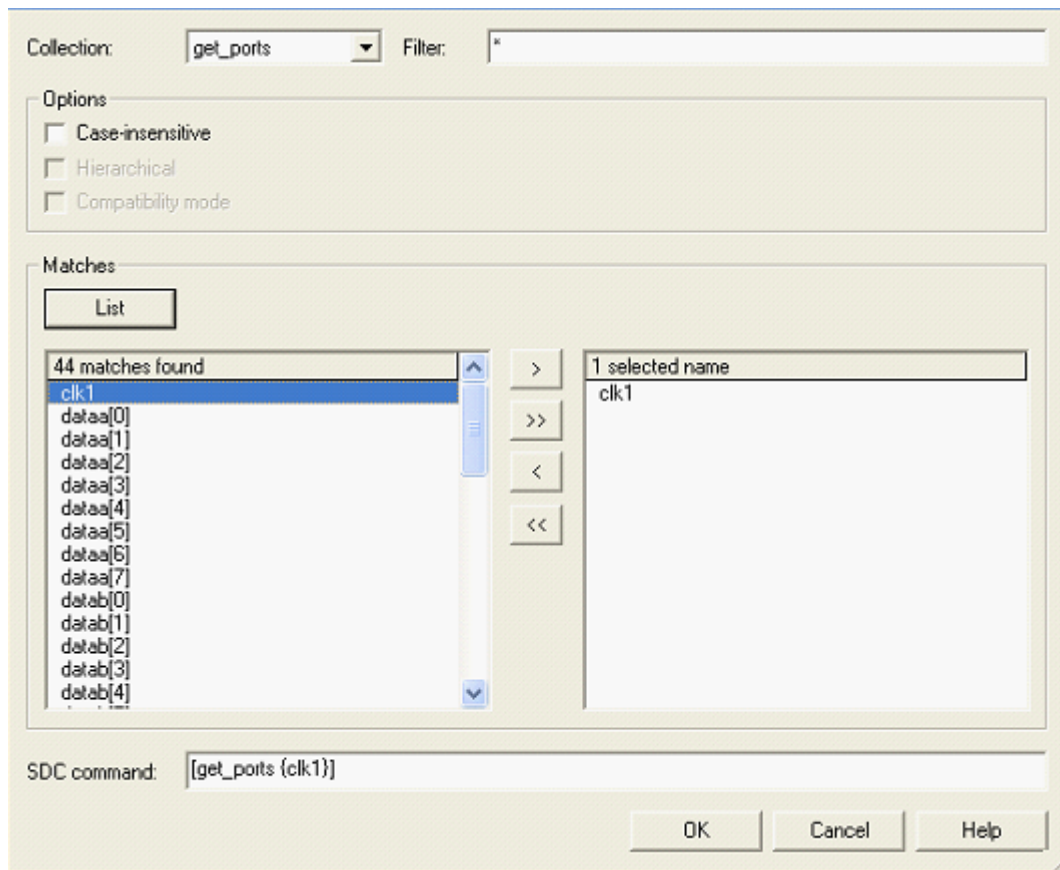


Рисунок 3. – Вікно **Name Finder**.

Зверніть увагу, в нижній частині діалогового вікна відображається відповідна SDC команда для обраного вами сигналу.

Натисніть **OK**. Діалогове вікно **Create Clock** має відповідати рисунку приведенному нижче (Рис. 4).

Натисніть кнопку **Insert**. Збережіть файл.

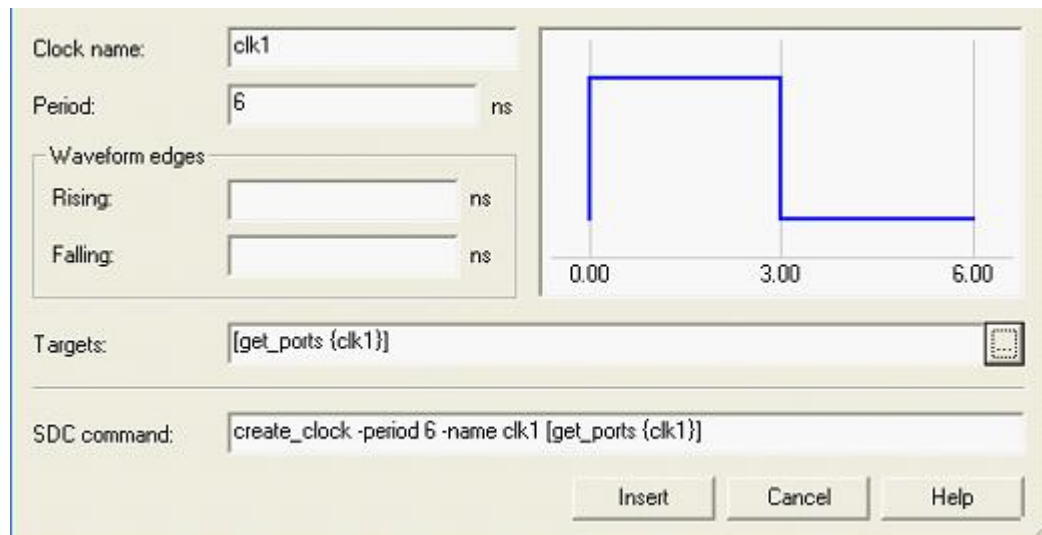


Рисунок 4. – вікно **Create Clock**.

Хід роботи

1. Ознайомитись з теоретичною частиною.
2. Ознайомитись з інтерфейсом ППП Quartus II і інструменту TimeQuest Timing Analyzer.
3. Зробити часову діаграму згідно варіанту змодельованої схеми з попередньої роботи.
4. Представити результат роботи у вигляді скріншоту часової діаграми.

Контрольні питання

1. Для чого потрібні часові діаграми?
2. Яка утиліта дозволяє створювати часові діаграми?
3. Чи є програми, які не влаштовані в ППП Quartus II, але можуть взаємодіяти з його файлами і створювати часові діаграми? Якщо так, назвіть їх.

ЛАБОРАТОРНА РОБОТА № 6

Написання схеми мовою VHDL в QUARTUS II

Мета роботи: оволодіти основними навичками написання схеми мовою VHDL в ППП Quartus II.

1. Основні відомості.

ППП Quartus II – це сучасна програма для моделювання, розробки та запису в ПЛІС алгоритмів розроблених на мові програмування VHDL або Verilog.

ПЛІС – Програмована логічна інтегральна схема. Електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається за допомогою програмування. Для цього використовуються програматори і налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах опису апаратури (Verilog, VHDL, AHDL та інші).

2. VHDL (англ. VHSIC (Very high speed integrated circuits) Hardware Description Language) — мова опису апаратури інтегральних схем. Мова проектування VHDL є базовою мовою при розробці апаратури сучасних обчислювальних систем. Мова VHDL створена як засіб опису цифрових систем, однак існує підмножина мови — VHDL AMS (аналогових та змішаних сигналів), що дозволяє описувати як чисто аналогові, так і змішані, цифро-аналогові схеми.

Для створення VHDL-файлу необхідно натиснути меню **File -> New** і обрати пункт **VHDL File** (Рисунок 1).

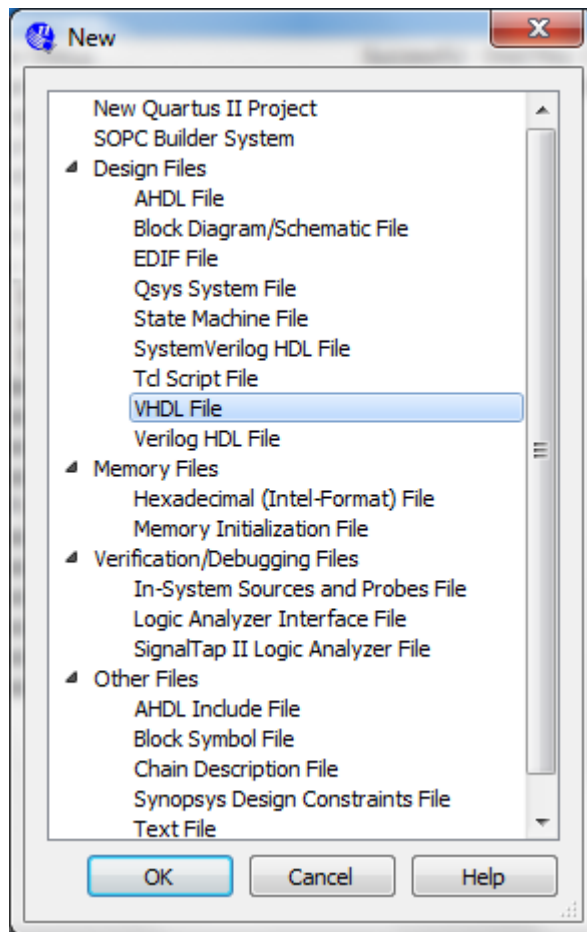


Рисунок 1. – Вікно створення VHDL-файлу.

Буде відкрито текстовий редактор приклад, якого представлений нижче на Рисунку 2.

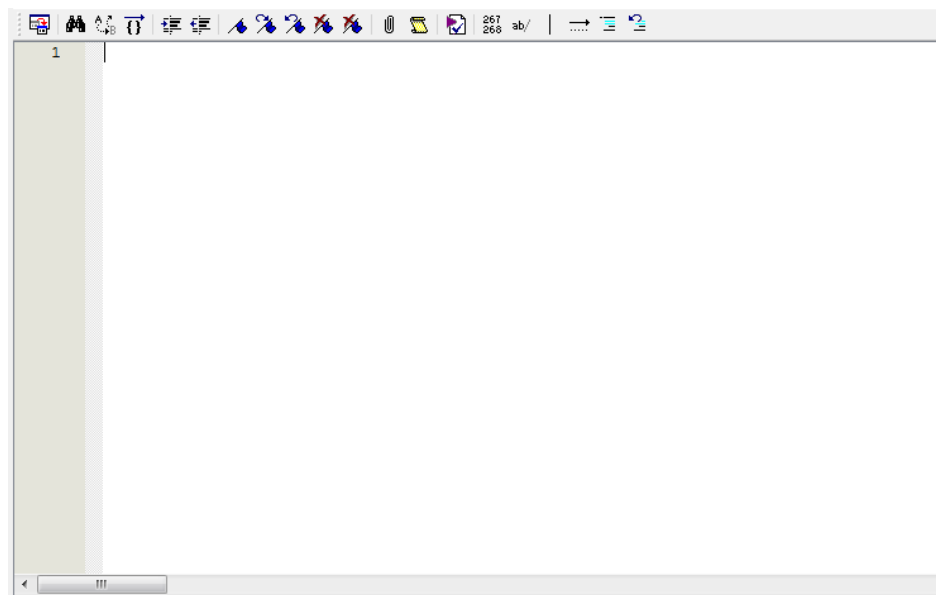
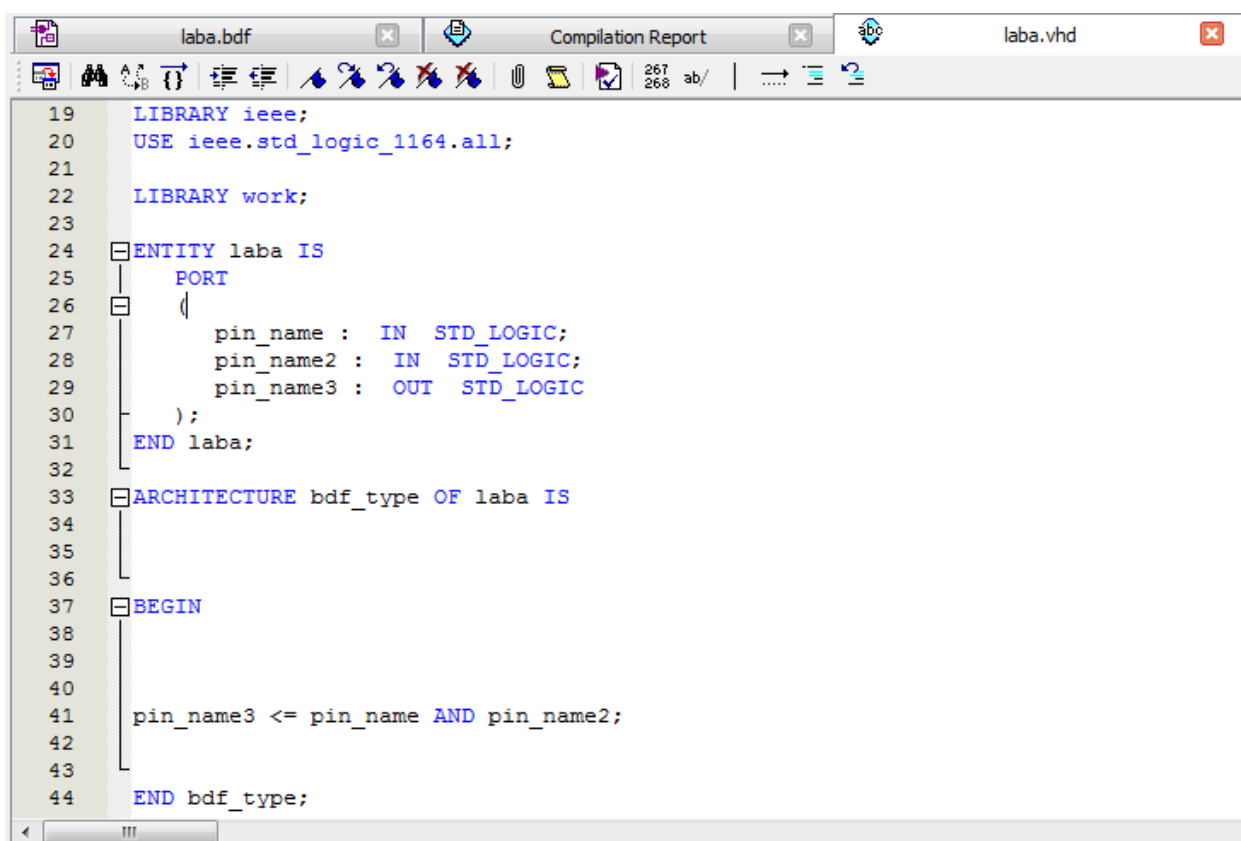


Рисунок 2. – Тестовий редактор для написання VHDL-коду.

Ознайомитись з списком команд та основними прийомами роботи з VHDL-кодом можна перейшовши в меню **Help -> PDF Tutorials -> PDF Tutorials for VHDL users**.

Крім написання VHDL-коду можна отримати VHDL-файл іншим способом. Для цього необхідно перейти в меню **File -> Create/Update -> Create VHDL Component Declaration Files for Current File**.

Після цього буде створено VHDL-файл з описом раніше створеної схеми мовою VHDL (Рисунок 3).



```
19  LIBRARY ieee;
20  USE ieee.std_logic_1164.all;
21
22  LIBRARY work;
23
24  ENTITY laba IS
25  PORT
26  (
27     pin_name : IN  STD_LOGIC;
28     pin_name2 : IN  STD_LOGIC;
29     pin_name3 : OUT STD_LOGIC
30  );
31  END laba;
32
33  ARCHITECTURE bdf_type OF laba IS
34
35
36
37  BEGIN
38
39
40
41     pin_name3 <= pin_name AND pin_name2;
42
43
44  END bdf_type;
```

Рисунок 3. – Приклад готового VHDL-файлу отриманого з раніше створеної схеми.

Хід роботи

1. Ознайомитись з теоретичною частиною.
2. Ознайомитись з інтерфейсом ППП Quartus II і варіантами створення VHDL-файлів.

3. Зробити VHDL-файл схеми згідно варіанту з попередньої роботи одним з двох описаних способів.
4. Представити результат роботи у вигляді скріншоту коду VHDL-файлу.

Контрольні питання

1. Що таке VHDL-файл?
2. Які є способи створення VHDL-файлу в ПППІ Quartus II?
3. Чи є інші мови опису крім VHDL?

Варіанти індивідуальних завдань

Варіант №	Кількість елементів входу	Кількість логічних «І»	Кількість логічних «АБО»	Кількість елементів виходу
1	3	1	1	1
2	3	2	0	1
3	4	2	1	1
4	4	1	2	1
5	4	0	3	1
6	3	0	2	1
7	5	2	1	2
8	6	3	1	2
9	4	1	1	2
10	3	1	1	1

Висновки

Література

1. ПЛИС. [Електронний ресурс]. – Режим доступу: <https://uk.wikipedia.org/wiki/ПЛИС>
2. АРЕХ 20K Devices. [Електронний ресурс]. – Режим доступу: <https://www.altera.com/products/general/devices/apex>
3. Virtex Product Advantages. [Електронний ресурс]. – Режим доступу: <http://www.xilinx.com/products/silicon-devices/fpga/virtex>
4. Анализ современных САПР для ПЛИС. [Електронний ресурс]. – Режим доступу: <http://ki.lutsk-ntu.com.ua/node/112/section/22>
5. Грушвицкий Р.И. Проектирование систем на микросхемах программируемой логики / Р.И. Грушвицкий, А.Х.Мурсаев, Е.П.Угрюмов. – СПб.:БХВ – Петербург, 2002. – 608с. – ISBN 5 - 94157-002-3.
6. Стешенко В.Б. ПЛИС Фирмы «ALTERA»: элементная база, система проектирования и языки описания аппаратуры / В.Б.Стешенко. – М.: Издательский дом «Додэка –XXI», 2002. -567с. – ISBN 5 - 94120-033-1.
7. Комолов Д.А. Системы автоматизированного проектирования фирмы Altera/ А.А.Зобенко, А.С.Филиппов. – М.: ИП РадиоСофт, 2002. – 352с. – ISBN 5 - 93037-082-2.
8. Фу К. Робототехника / К. Фу, Р. Гонсалес, К. Ли // Пер. с англ. - М: Мир, 1989. – С. 624
9. Вербовецкий А.А. Современные методы создания оптической цифровой вычислительной техники // Зарубежная радиоэлектроника. – 1999. – №6. – С.12-50.