

КОМП'ЮТЕРНІ СИСТЕМИ ТА КОМПОНЕНТИ

УДК 621.375.024

О.Д. АЗАРОВ, С.В. БОГОМОЛОВ

Вінницький національний технічний університет, Вінниця

ПРЕЦИЗІЙНІ БУФЕРНІ ПРИСТРОЇ НА БАЗІ ДВОТАКТНИХ СИМЕТРИЧНИХ СТРУКТУР

Анотація. Розглянуто методи структурно-функціональної організації прецизійних буферних пристроїв на базі двотактних симетричних структур. Наведено аналітичні співвідношення, що описують статичну передатну характеристику з урахуванням параметрів ядра схеми. Визначено складові, які призводять до появи похибки лінійності та показано способи її зменшення.

Ключові слова: прецизійність, буферний пристрій, похибки лінійності, структурно-функціональна організація, двотактна симетрична структура, двотактний підсилювач постійного струму.

Аннотация. Рассмотрены методы структурно-функциональной организации прецизионных буферных устройств на базе двухтактных симметричных структур. Приведены аналитические соотношения, описывающие статическую передаточную характеристику с учетом параметров ядра схемы. Определены составляющие, которые приводят к появлению погрешности линейности и показано способы ее уменьшения.

Ключевые слова: прецизионность, буферное устройство, погрешности линейности, структурно-функциональная организация, двухтактная симметрическая структура, двухтактный усилитель постоянного тока.

Annotation. The methods of structural and functional organization of precision buffer devices based on push-pull symmetric structures are considered. An analytical relation describing the static transfer characteristic parameters including kernel scheme. The composition, which lead to the appearance of linearity error and show how to reduce it.

Keywords: with precision, a buffer device, the error is linear, structural and functional organization, push-pull symmetric structure, push-pull dc amplifier.

Вступ

Буферні пристрої є аналоговими вузлами, що використовуються у багатьох електронних пристроях, зокрема, багаторозрядних системних АЦП і ЦАП, які у свою чергу входять до складу високоточних систем вимірювання, опрацювання та реєстрування сигналів [1-4]. Буферні пристрої по суті є підсилювачами потужності та призначені для узгодження опору генератора сигналу з опором навантаження [4]. При цьому буфер напруги (БН) виступає в ролі трансформатора опорів з високим входним та низьким вихідним опором. Коефіцієнт передачі по напрузі БН дорівнює одиниці. Струм, який видається БН у навантаження, може бути набагато більший, ніж входний. Такі буферні пристрої називають повторювачами напруги [5]. Буфер струму (БС), наАвпаки, має низький входний та високий вихідний опори. Коефіцієнт передачі по струму БС, як правило, дорівнює одиниці і не залежить від опору навантаження.

Відомо багато різновидностей прецизійних буферних пристроїв, як за схемотехнічною організацією, так і призначенням. Найпоширенішою є побудова буферних пристроїв на базі операційних підсилювачів [1,2,4]. Проте, такий підхід обмежує їх швидкодію. Певний вигравш при цьому має застосування для побудови ядра буферного пристрою двотактних складених емітерних повторювачів на біполярних транзисторах або двотактних структур на базі польових транзисторів.

Актуальність

У теперішній час особливу увагу привертають двотактні схеми буферних пристроїв. Вони здатні забезпечувати високу лінійність передатної характеристики і потрібну швидкодію [2, 4]. При цьому слід відзначити, що відомі схемотехнічні рішення буферних пристроїв за двотактною структурою, що забезпечують високу швидкодію і незначну нелінійність, є незбалансованими, мають велику похибку зсуву нуля і високий температурний дрейф. Водночас, матеріал, присвячений аналізу буферних пристроїв на базі двотактних симетричних структур, у науково-технічній літературі подається епізодично і є неструктурованим. Тому тема статті, присвячена побудові прецизійних буферних пристроїв на базі двотактних симетричних структур, є актуальною.

Мета

Аналіз методів структурно-функціональної організації прецизійних буферних пристроїв на базі двотактних симетричних структур з мінімізованими похибками лінійності і заданою швидкодією.

Постановка задач

1. Проаналізувати запропоновані методи структурно-функціональної організації прецизійних буферних пристроїв на базі двотактних симетричних структур.
2. Отримати аналітичні співвідношення похибок лінійності ядра буферного пристрою на основі двотактної симетричної структури.
3. Розглянути підхід, щодо підвищення навантажувальної здатності буферів напруги.

Розв'язання задач

Можна вказати декілька підходів, щодо побудови БН на базі двотактних симетричних структур.

При чому, незалежно від конкретної схемотехнічної реалізації, статична передатна характеристика цих пристроїв має загальну похибку:

$$\Delta U_{вих} = U_{вих} - U_{вх} \quad (1)$$

У свою чергу її можна розкласти на декілька складових, а саме на:

– похибку зсуву нуля $\Delta U_{зс0}$, причому $\Delta U_{зс0} = \Delta U_{вих}$, при $U_{вх} = 0$;

– похибку масштабу ΔU_M , причому $\Delta U_M = U_{вих} - U_{вх} - \Delta U_{зс0}$;

– похибку лінійності ΔU_L , причому $\Delta U_L = \Delta U_M - K \cdot U_{вх}$, при чому $K = \frac{y_2 - y_1}{x_2 - x_1}$, де

x_1, x_2, y_1, y_2 – координати точок прямої, яка проходить через лінійну ділянку передатної характеристики [6];

Водночас, рівні окремих складових можуть істотно залежати від конкретної схемотехнічної реалізації пристрою. Так, відома схема [4], яку наведено на рис. 1, а, має значну похибку зсуву нуля. Це обумовлено незбалансованістю напруг переходів база-емітер n-p-n і p-n-p транзисторів Т6 і Т7 відповідно.

Для стабілізування напруг колекторних переходів транзисторів вихідних каскадів ядра у схему введено каскоди на транзисторах Т1, Т5 і Т4, Т8 відповідно. Це досить ефективно стабілізує характеристики робочих точок транзисторів Т6 і Т7, зокрема струми колекторів та напруги переходів база-емітер і знижує рівень похибок масштабу і лінійності. Водночас, неідеальність транзисторів Т5 і Т8 каскодів, а саме, залежність β від напруги переходів база-емітер, призводить до зміни їх базових струмів і не дозволяє здійснити подальшу мінімізацію цих складових. Це, у свою чергу, призводить до зміни струмів емітерів транзисторів Т2 і Т3 і, водночас, до зміни напруг база-емітер цих транзисторів, що автоматично передається на вихід схеми і викликає появу похибки зсуву нуля.

Вихідна напруга такої схеми визначається у вигляді:

$$U_{вих} \approx U_{вх} + (U_{\beta e})_{T2} - (U_{\beta e})_{T6},$$

$$U_{вих} \approx U_{вх} - (U_{\beta e})_{T3} + (U_{\beta e})_{T7},$$

де $U_{вх}$ – вхідна напруга, $(U_{\beta e})_{T2}, (U_{\beta e})_{T3}$ – напруга база-емітер транзисторів Т2, Т3, $(U_{\beta e})_{T6}, (U_{\beta e})_{T7}$ – напруга база-емітер транзисторів Т6, Т7, причому $(U_{\beta e})_{T2} \approx (U_{\beta e})_{T6}, (U_{\beta e})_{T3} \approx (U_{\beta e})_{T7}$.

Для інтегральних транзисторів рівень похибки зсуву нуля сягає значень 10÷50 мВ. Похибки масштабу і лінійності істотно залежать від впливу змінення напруг переходів колектор-емітер транзисторів ядра в діапазоні вихідного сигналу. Слід відзначити, що причинами, які негативно впливають на характеристики схеми, є:

1. Залежність напруги переходу база-емітер $U_{\beta e}$ транзистора від напруги колектор-емітер $U_{ке}$.

2. Залежність колекторного струму I_K транзистора від напруги переходу колектор-емітер, що

обумовлено обмеженими значеннями опору колекторного переходу r_K^* .

3. Залежність β транзистора від напруги переходу колектор-емітер $U_{ке}$.

Для зменшення похибки зсуву нуля схему запропоновано будувати, як показано на рис. 1, б, тобто введенням ланцюгів n-p-n і p-n-p транзисторів, які б здійснювали самобалансування напруг p-n переходів. При цьому, вихідна напруга такої схеми визначається:

$$U_{вих} \approx U_{вх} + (U_{\beta e})_{T2} + (U_{\beta e})_{T1} - (U_{\beta e})_{T5} - (U_{\beta e})_{T6},$$

$$U_{вих} \approx U_{вх} - (U_{\beta e})_{T3} - (U_{\beta e})_{T4} + (U_{\beta e})_{T7} + (U_{\beta e})_{T8},$$

де $(U_{\beta e})_{T1} - (U_{\beta e})_{T8}$ – напруга база-емітер транзисторів Т1-Т8, причому

$(U_{\beta e})_{T1} \approx (U_{\beta e})_{T5}, (U_{\beta e})_{T2} \approx (U_{\beta e})_{T6}, (U_{\beta e})_{T3} \approx (U_{\beta e})_{T7}, (U_{\beta e})_{T4} \approx (U_{\beta e})_{T8}$.

Така схема має низьку похибку зсуву нуля, яка сягає рівня 200÷500 мкВ, але дещо більшу похибку лінійності, ніж схема на рис. 1, а. Водночас слід зазначити, що залишається проблема залежності напруги переходів база-емітер транзисторів Т5 і Т8 від напруги переходів колектор-емітер.

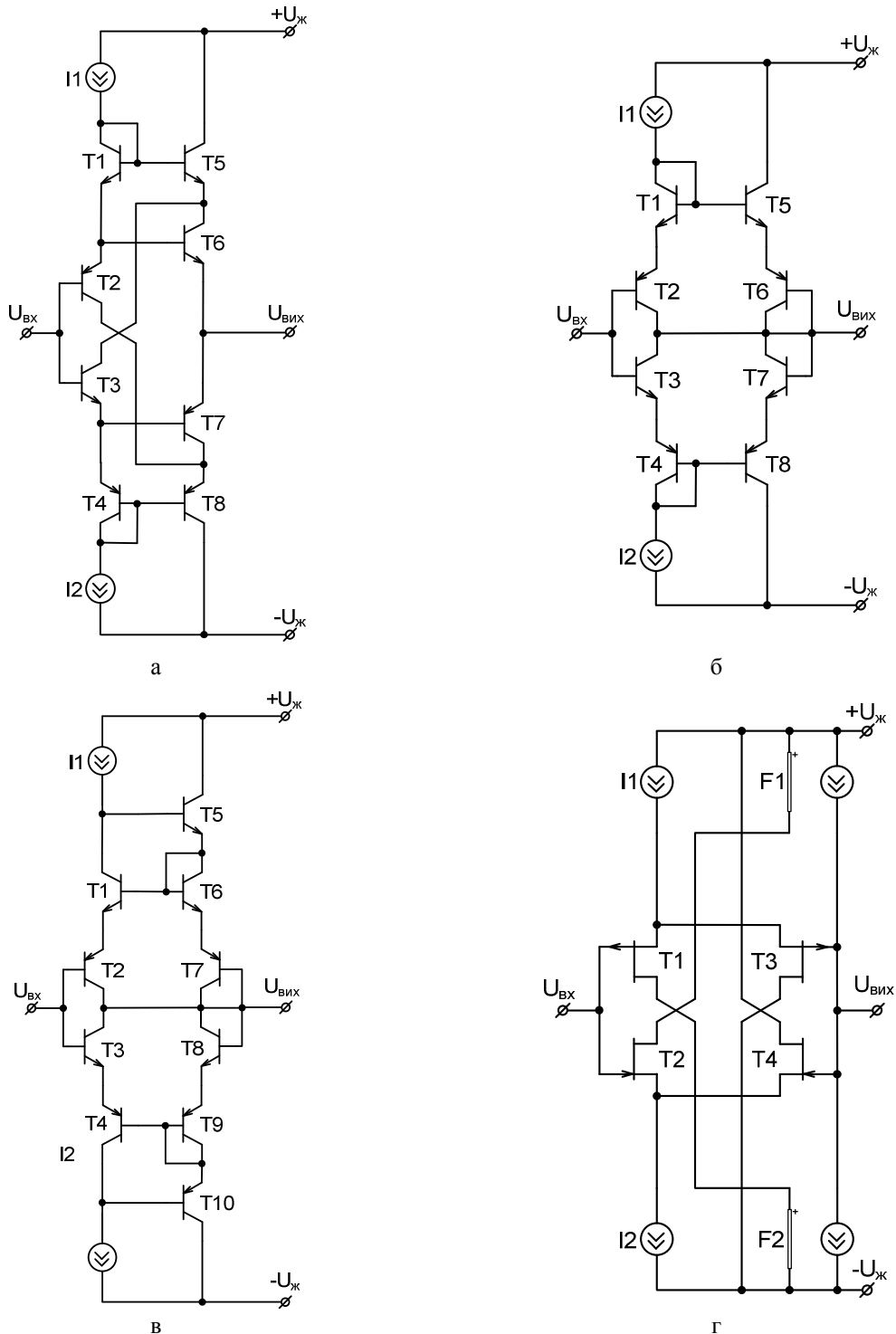


Рисунок 1 – Схемотехнічна організація ядра буферного пристрою: а) без балансування напруг переходів база-емітер; б) із балансуванням напруг переходів база-емітер; в) з каскудуванням струмових виходів на базі схем Уїлсона; г) із диференціальними каскадами на польових транзисторах із самобалансуванням вхід-вихід

Для усунення цих похибок, можна замінити просту каскодну схему на транзисторах Т1,Т5 і Т4, Т8 на каскоди, які побудовано на базі схем Уїлсона. Авторами запропоновано схему буферного пристрою [7], яку зображено на рис. 1, в. Така схема має низьку похибку лінійності, яка прирівнюється до похибки

лінійності схеми на рис. 1, а, та низьку похибку зсуву нуля, на рівні 100÷200 мкВ. Така схемотехнічна організація ядра зменшує вплив напруг переходів база-емітер транзисторів Т6 і Т9, але залишається проблема впливу базового струму транзисторів Т5 і Т10.

Специфікою буферних пристроїв на біполярних транзисторах є принципова наявність вхідного базового струму. Тому кардинальним вирішенням цієї проблеми є використання польових транзисторів з керованими р-п переходами (рис. 1,г). Така схема забезпечує низькі похибку лінійності та похибку зсуву нуля, яка залежить від симетрування напруг стік-витік, а також розкиду напруг заслін-витік пар транзисторів Т1, Т3 і Т2, Т4.

Водночас, треба відзначити, що жодна із розглянутих схем не забезпечує потрібної похибки лінійності в діапазоні вихідного сигналу. Це підтверджено моделюванням похибок масштабу та лінійності ядер буферного пристрою, що наведено на рис. 2.

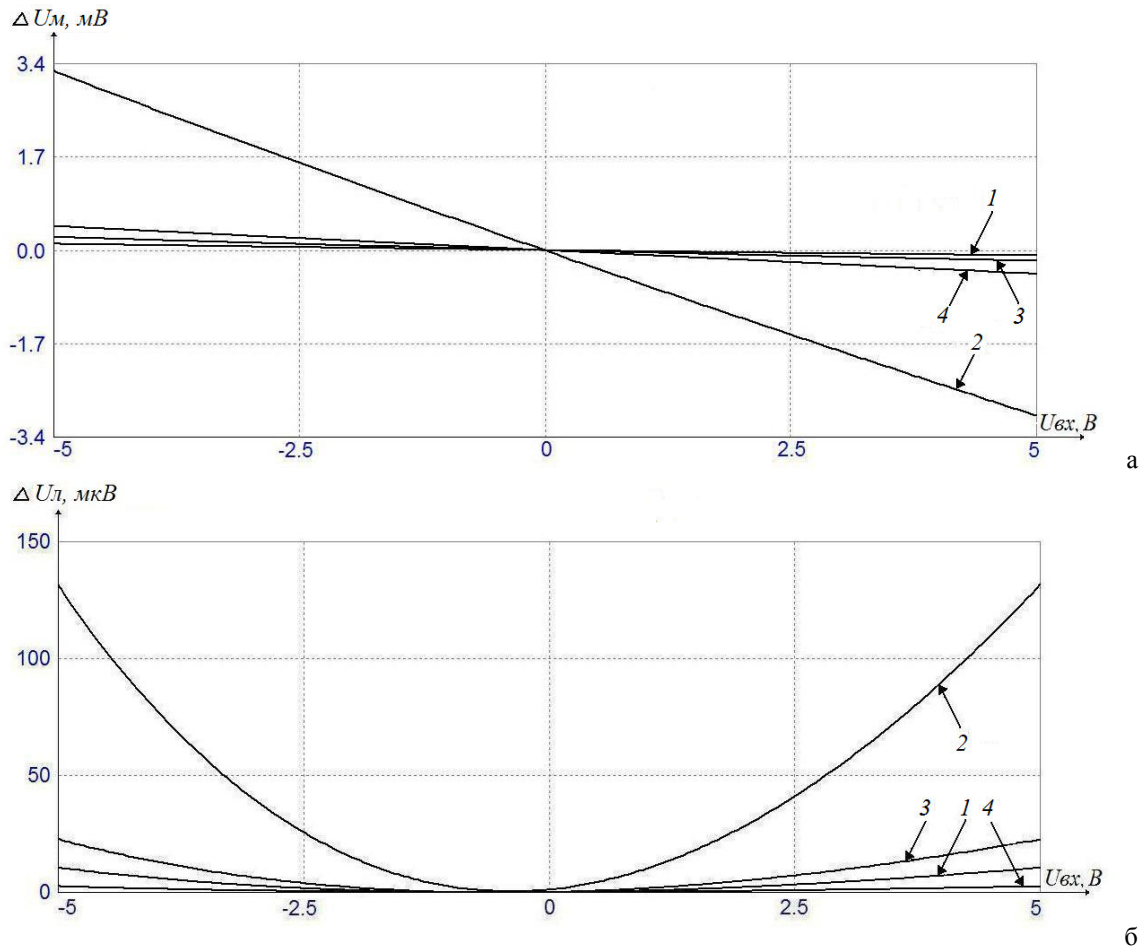


Рисунок 2 – Похибки ядер буферного пристрою: а) масштабу; б) лінійності

На графіках криві 1-4 відносяться до схем ядер буферного пристрою на рис. 1, а-г відповідно. Для визначення складових, які впливають на появу $\Delta U_{вих}$ доцільно розглянути еквівалентну схему заміщення виходу ядра буферного пристрою, яку зображено на рис. 3, а.

Тут: r'_b, r''_b – опори баз транзисторів Т5 і Т8 відповідно, r^*_k, r^{**}_k – опори колекторів транзисторів Т5 і Т8 відповідно, r'_e, r''_e – опори емітерів транзисторів Т5 і Т8 відповідно, причому $r'_e = r''_e = r_e$, r'_d, r''_d – опори р-п переходів транзисторів Т6 і Т7 у діодному вмиканні відповідно, причому $r'_d = r''_d = r_d = r_e$, U', U'' – напруги шин додатного і від'ємного живлення відповідно.

Схему доцільно перетворити у такий вигляд, як наведено на рис. 3, б.

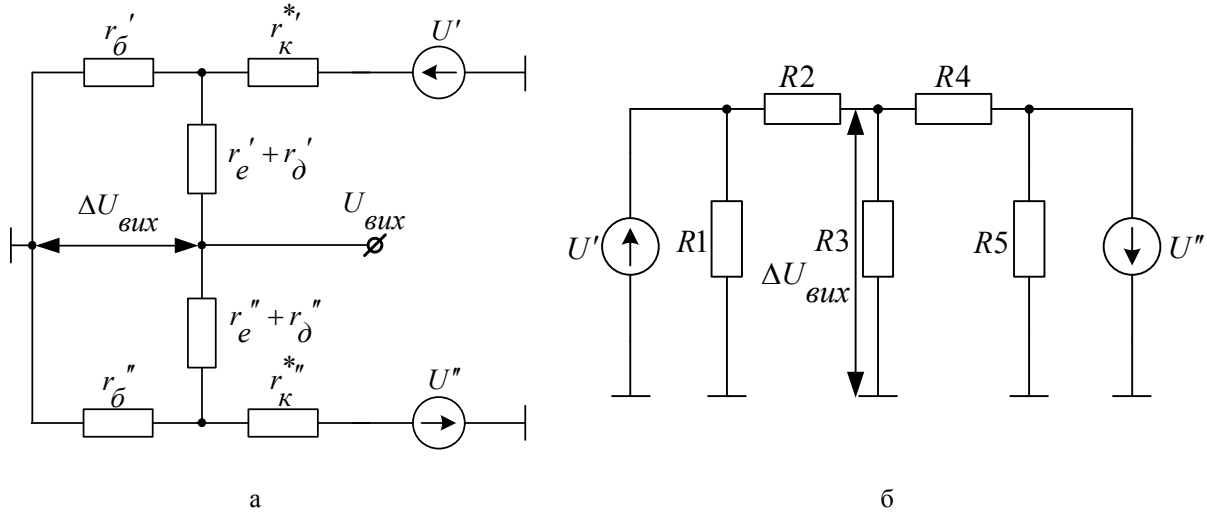


Рисунок 3 – Еквівалентні малосигнальні схеми заміщення ядра буферного пристрою: а) вихідна; б) після перетворення

При цьому:

$$\begin{aligned}
 R1 &= r_{\kappa}^{*'} + r_{\delta}^{*'} + \frac{r_{\kappa}^{*'} \cdot r_{\delta}^{*'}}{2 \cdot r_e}; & R2 &= 2 \cdot r_e + r_{\kappa}^{*'} + \frac{2 \cdot r_e \cdot r_{\kappa}^{*'}}{r_{\delta}^{*'}}; \\
 R3 &= \frac{R3' \cdot R3''}{R3' + R3''}, \text{ де } R3' = 2 \cdot r_e + r_{\delta}^{*'} + \frac{2 \cdot r_e \cdot r_{\delta}^{*'}}{r_{\kappa}^{*'}}; & R3'' &= 2 \cdot r_e + r_{\delta}^{*''} + \frac{2 \cdot r_e \cdot r_{\delta}^{*''}}{r_{\kappa}^{*''}}; \\
 R4 &= 2 \cdot r_e + r_{\kappa}^{*''} + \frac{2 \cdot r_e \cdot r_{\kappa}^{*''}}{r_{\delta}^{*''}}; & R5 &= r_{\kappa}^{*''} + r_{\delta}^{*''} + \frac{r_{\kappa}^{*''} \cdot r_{\delta}^{*''}}{2 \cdot r_e}.
 \end{aligned} \tag{2}$$

Використовуючи метод суперпозиції [8] можемо переписати рівняння (1) у вигляді:

$$\Delta U_{вих} = \Delta U'_{вих} + \Delta U''_{вих}, \tag{3}$$

де $\Delta U'_{вих} = f(U')$, $\Delta U''_{вих} = f(U'')$ – прирости напруги по верхньому і нижньому каналах, які у свою чергу визначаються, як:

$$\begin{aligned}
 \Delta U'_{вих} &= U' \cdot \frac{R3}{R2 + R3}; \\
 \Delta U''_{вих} &= U'' \cdot \frac{R3}{R4 + R3}.
 \end{aligned} \tag{4}$$

Враховуючи вищевведені залежності та рівняння (3), отримаємо:

$$\Delta U_{вих} = \frac{[U' \cdot (R4 + R3) + U'' \cdot (R2 + R3)] \cdot R3}{(R2 + R3) \cdot (R4 + R3)}. \tag{5}$$

Шляхом підстановки в рівняння (5) значень з (2), отримаємо абсолютну похибку. Відносна ж похибка [8] визначається у вигляді:

$$\delta = \frac{\Delta U_{вих}}{U_{вих}} \cdot 100\%.$$

Підставивши у (4) значення з (2) і врахувавши, що в реальних схемах $r'_o \ll r_K^*$, $r''_o \ll r_K^*$ і $r'_o \approx r''_o$ отримаємо:

$$\Delta U'_{вих} \approx U' \cdot \frac{2 \cdot r_e}{r_K^*}; \quad \Delta U''_{вих} \approx U'' \cdot \frac{2 \cdot r_e}{r_K^*}.$$

Легко побачити, що похибка лінійності здебільшого залежить від величини r_K^* і r_K^* , а також r_e , значення якого на 2-3 порядки менше значень r_K^* і r_K^* . Для того, щоб забезпечити побудову прецизійних буферних пристроїв, автори пропонують декілька методів:

1. Уведення до складу ядра каскодів, побудованих на польових транзисторах.
2. Побудова каскодів ядра на складених транзисторах Шиклаї.
3. Використання параметричної стабілізації напруг зміщення транзисторних каскадів ядра.

Перший метод дозволяє підвищити опір виходів по струму [8, 9] (рис. 4, а).

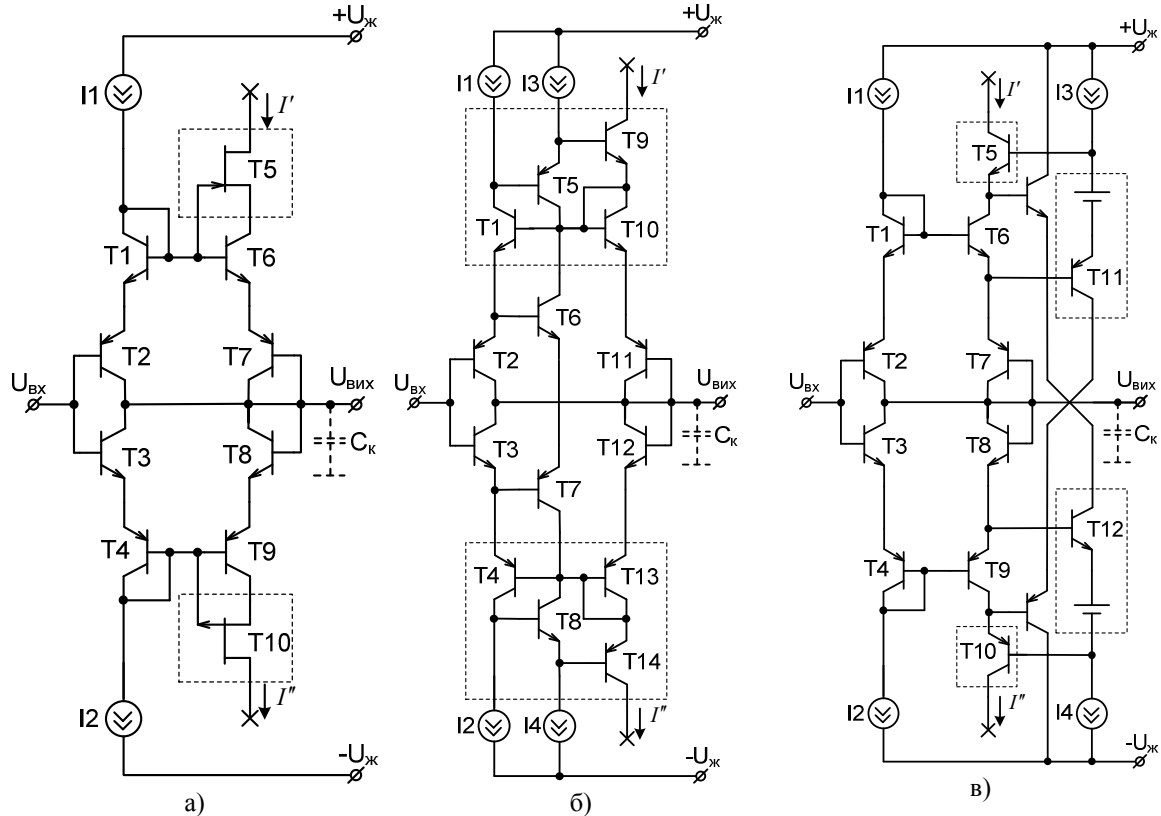


Рисунок 4 – Схемо-функціональна організація входних кіл прецизійних буферних пристроїв: а) з каскодами на польових транзисторах; б) з каскодними відбивачами струмів на складених транзисторах; в) з параметричною стабілізацією напруг колектор-емітер вихідних каскадів

За рахунок цього, забезпечується стабілізація напруг переходів колектор-емітер транзисторів Т6 і Т9, а базовими струмами цих транзисторів можна знехтувати. Враховуючи залежності (4), можемо записати прирости напруги по верхньому і нижньому каналах, як:

$$\Delta U'_{вих} \approx U' \cdot \frac{2 \cdot r_e}{r'_{св} (1 + S' \cdot R'_б)}; \quad \Delta U''_{вих} \approx U'' \cdot \frac{2 \cdot r_e}{r''_{св} (1 + S'' \cdot R''_б)},$$

де $r'_{св}, r''_{св}$ – диференційні вихідні опори, S', S'' – крутизни передатних характеристик, $R'_б, R''_б$ – об'ємні опори витоків n-канальних і p-канальних польових транзисторів відповідно [9]. Використання каскодів на польових транзисторах дозволяє підвищити лінійність на 1-2 порядки, порівняно з схемою на рис. 1, а.

Другий метод дозволяє зменшити вплив базових струмів транзисторів Т9 і Т14 в β_{n-p-n} і β_{p-n-p} відповідно (рис. 4, б). При цьому похибка лінійності зменшується в $\frac{\beta_{\min}}{2}$ раз, де β_{\min} – найменше значення β пари транзисторів Т9 і Т14. Враховуючи залежності (4), можемо записати прирости напруги по верхньому і нижньому каналах, як:

$$\Delta U'_{вих} \approx U' \cdot \frac{4 \cdot r_e}{r'_{вих} \cdot \beta_{n-p-n}}; \quad \Delta U''_{вих} \approx U'' \cdot \frac{4 \cdot r_e}{r''_{вих} \cdot \beta_{p-n-p}}, \quad (6)$$

Проте необхідно вживати заходів щодо коригування перехідної характеристики, оскільки використання складених транзисторів призводить до появи додаткового полюсу на високих частотах.

Третій метод дозволяє підвищити лінійність із збереженням рівня швидкодії, порівняно зі схемою, яку наведено на рис. 1, а (рис. 4, в). При цьому значення похибки лінійності дещо менше, ніж у схемі із використанням складених транзисторів Шиклаї. Прирости напруги, для такої схеми, описуються співвідношеннями (6).

Графіки похибок масштабу та лінійності, а також перехідних характеристик прецизійних буферних пристроїв наведено на рис. 5 та рис. 6. На графіках криві 1-3 відповідно для схем на рис. 4, а-в. Недоліком розглянутих схем є низька навантажувальна здатність, яка у значній мірі визначається вихідним опором схеми $r_{вих}$.

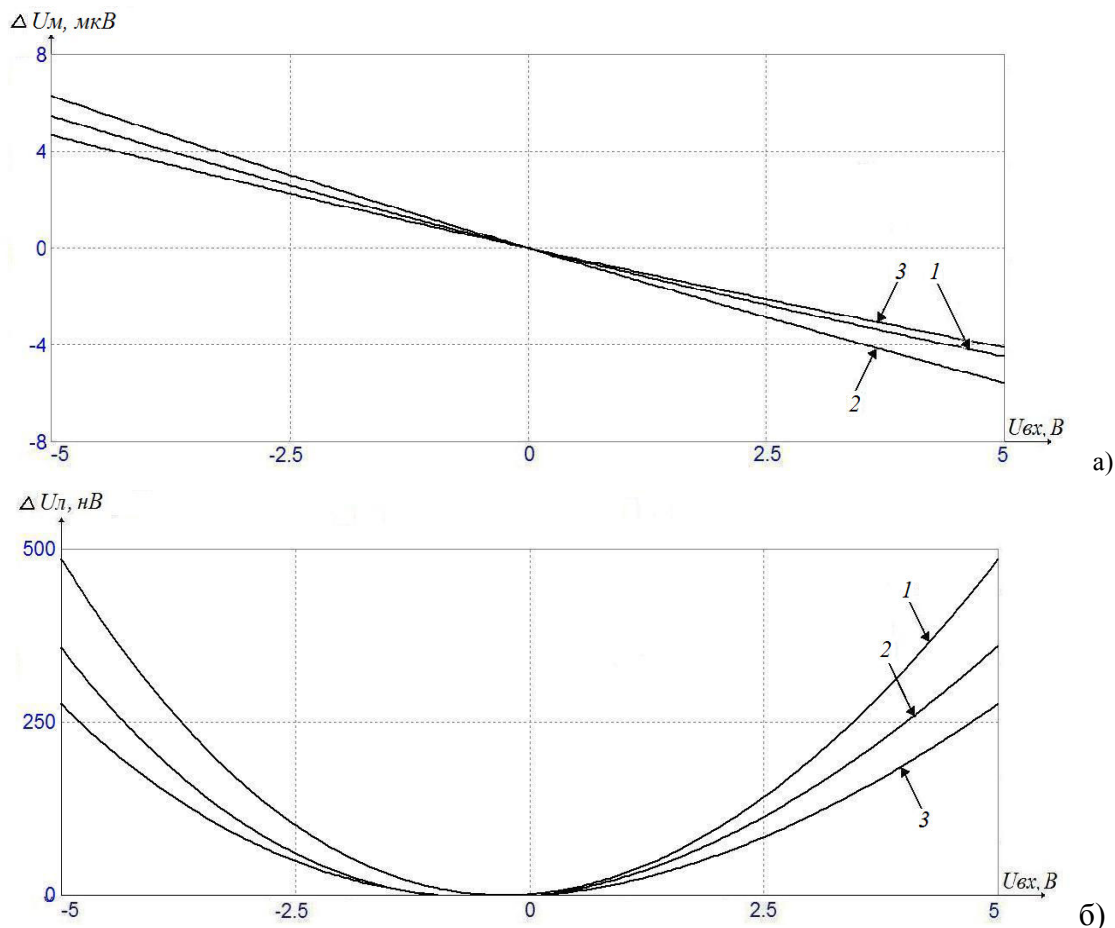


Рисунок 5 – Похибки ядер буферного пристрою з підвищеною лінійністю:
а) масштабу; б) лінійності

При цьому:

$$r_{вих} = r_e,$$

де $r_e = \frac{\varphi_T}{I_e}$, $\varphi_T \approx 25 \text{ мВ}$ – термопотенціал, I_e – емітерний струм.

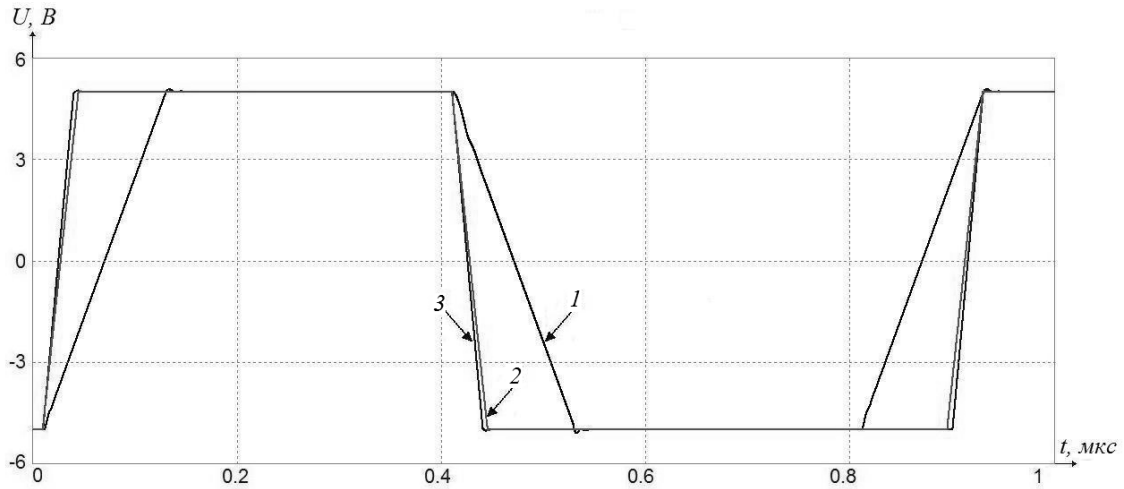


Рисунок 6 – Перехідні характеристики ядер буферного пристрою з підвищеною лінійністю

Не нульове значення вихідного опору призводить до зміни масштабу і погіршення лінійності передатної характеристики. Для підвищення навантажувальної здатності і збереження заданої лінійності, доцільно ввести до схеми двотактний двоканальний підсилювач струму (ДПС). Узагальнену структуру такого буферного пристрою наведено на рис. 7.

Він складається із підсилювальних каскадів K'_i і K''_i , схеми балансування (СБ) та відбивачів струму ВС1 і ВС2 [10]. СБ дозволяє отримати пропорційну залежність між підсумковими коефіцієнтами передачі і вирівнюванням їх значення і діапазоні сигналу. Умовою самобалансування є виконання рівності: $\frac{I'}{I_p} = \frac{I''}{I''}$, де I_p – струм робочої точки. При цьому: $K'_i = K''_i$.

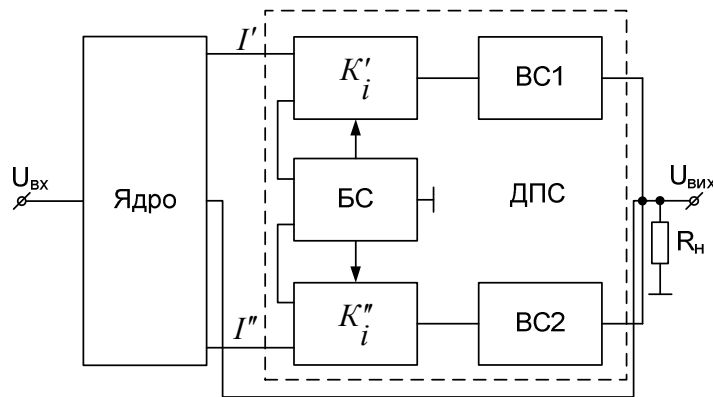


Рисунок 7 – Структурно-функціональна організація прецизійного буферного пристрою на базі двотактної симетричної структури

Введення ДПС у коло зворотного зв'язку схеми, а саме між ядром і навантаженням, дозволяє зменшити вихідний опір до рівня:

$$r_{вих} = \frac{r_e}{K_i}$$

де K_i – загальний коефіцієнт підсилення ДПС, що визначається, як: $K_i = \frac{2 \cdot K'_i \cdot K''_i}{K'_i + K''_i}$.

Реалізований прецизійний буферний пристрій, побудовано за розглянутою структурно-функціональною організацією на базі двотактної симетричної структури, забезпечує такі характеристики:

- діапазон вхідного сигналу: $\pm 5\text{В}$;
- вихідний струм: $\pm 5\text{ мА}$;
- похибка зсуву нуля $\Delta U_{зс0} \leq 100\text{ мкВ}$;
- похибка масштабу $\delta_M = 0.0001\%$;
- похибка лінійності $\delta_L = 0.000005\%$.

Висновки

1. Проаналізовано запропоновані методи побудови прецизійних буферних пристроїв на базі двотактних симетричних структур. Показано, що застосування стабілізації напруг переходів колектор-емітер, дозволяє істотно (на 1÷2 порядки) покращити метрологічні характеристики схем.

2. Здійснено порівняльний аналіз статичних похибок передатних характеристик відомих і запропонованих структур двотактних буферних пристроїв. Показано, що запропонований підхід дозволяє значно (на порядок і більше) зменшити похибку зсуву нуля і лінійності при збереженні заданого рівня швидкодії.

3. Розглянуто структурно-функціональну організацію прецизійного буферного пристрою з підвищеною навантажувальною здатністю. Доведено, що запропонований підхід дозволяє зменшити вихідний опір на 2÷3 порядки.

Список літератури

1. Walt Kesler. ANALOG-DIGITAL CONVERSION / Walt Kesler – ADI Central Application Department, March 2004. – 1127 p.
2. Alan B. Grebene. Bipolar and MOS analog integrated circuit design / Alan B. Grebene – New Jersey: Wiley Classic Library, 2002. – 915 p.
3. Волович Г.И. Схемотехника аналоговых и аналого-цифровых электрон-ных устройств / Волович Г.И. – М.: Издательский дом «Додэка-XXI», 2005. – 528 с.
4. Бахтиаров Г. Д. Аналого-цифровые преобразователи / Бахтиаров Г. Д., Малинин В. В., Школин В. П.; под ред. Г. Д. Бахтиарова – М.: Советское радио, 1980. – 280 с., ил.
5. Степаненко И. П. Основы теории транзисторов и транзисторных схем. / Степаненко И. П. – изд. 3-е, перераб. и доп. – М.: «Энергия», 1973. – 608 с., ил.
6. Пат. на корисну модель 51014, Україна, МПК Н03К 5/22, G05В 1/00. Буферний каскад / Азаров О. Д., Дудник О. В., Богомолів С. В., Кадук О. В. – № u201000934; Заявлено 29.01.2010; Опубл. 25.06.2010; Бюл. № 12. – 6 с.
7. Азаров О.Д. Похибки лінійності передатної характеристики вхідного каскаду двотактних підсилювачів струму / О.Д. Азаров, С.В. Богомолів, В.Я. Стейскал // Інформаційні технології та комп'ютерна інженерія. Вінницький національний технічний університет – 2010. – №3(19). – С. 4-12.
8. Касаткин А.С. Электротехника: [учеб. пособие для вузов] /А.С. Касаткин, М.В. Немцов– изд. 4-е, перераб. – М.:Энергоатомиздат, 1983. – 440 с., ил.
9. Титце У. Полупроводниковая схемотехника: [справочное руководство] / У. Титце, К. Шенк; [пер. с нем.] –М.: 1982. – 512 с., ил.
10. Азаров О.Д. Двотактні підсилювачі постійного струму для багаторозрядних перетворювачів форми інформації, що самокалібруються : монографія / О. Д. Азаров, В. А. Гарнага. – Вінниця: ВНТУ, 2011. – 156 с.

Стаття надійшла: 15.11.2011.

Відомості про авторів

Азаров Олексій Дмитрович – завідувач кафедри обчислювальної техніки, Вінницький національний технічний університет, Хмельницьке шосе, 95, м. Вінниця, 21021, тел. 58-02-25.

Богомолів Сергій Віталійович – аспірант кафедри обчислювальної техніки, Вінницький національний технічний університет, Хмельницьке шосе, 95, м. Вінниця, 21021, тел. +38-097-131-83-78, e-mail: bogomolovsergiy@rambler.ru.