

ПРОЕКТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ НА ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМАХ

Вінницький національний технічний університет

Анотація

Представлено структуру ПЛІС та принцип програмування. Розглянута узагальнена послідовність проектування цифрових пристроїв з описом етапів.

Ключові слова: ПЛІС, програмована логічна інтегральна схема, цифрові пристрої.

Abstract

The structure of FPGA and the principle of programming are presented. The generalized sequence of designing digital devices with the description of stages is considered.

Keywords: FPGA, Field-Programmable Gate Array, digital devices.

Вступ

Сьогодні все більше при розробці цифрових пристроїв застосовуються програмовані логічні інтегральні схеми (ПЛІС) [1]. Однією з ключових переваг ПЛІС є їх універсальність та можливість швидкого перепрограмування для виконання функцій практично будь-якого цифрового пристрою. ПЛІС являє собою загальну схему, на основі якої розробник, який володіє персональним комп'ютером, має можливість спроектувати цифровий пристрій за короткий час. Забезпечується це нескладними та порівняно недорогими апаратними засобами програмування та спеціалізованим програмним забезпеченням, що називається системою автоматизованого проектування (САПР) [2].

Структура ПЛІС та принципи програмування

Програмована логічна інтегральна схема – це електронний компонент, який використовується для створення цифрових інтегральних схем. У порівнянні зі звичайними цифровими мікросхемами, логіка роботи ПЛІС задається за допомогою програмування спеціальних засобів: програматорів і програмного забезпечення [3]. Узагальнена структура ПЛІС представлена на рисунку 1.

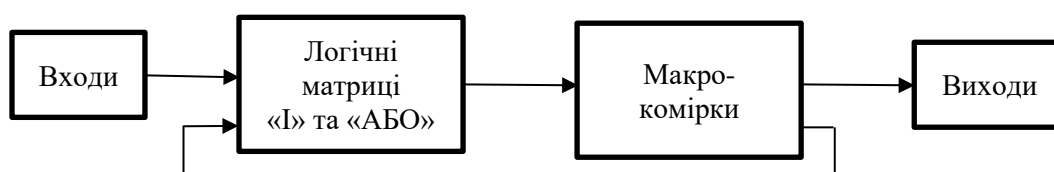


Рисунок 1 – Узагальнена структура ПЛІС

Програмування на ПЛІС здійснюється за допомогою мов опису апаратури Verilog і VHDL.

На верхньому рівні ці мови дуже схожі – модель апаратури описується у вигляді взаємодіючих блоків (модулів) і для кожного з яких визначається інтерфейс та реалізація. Інтерфейси модулів описують вхідні, вихідні та двосторонні порти, завдяки яким модулі з'єднуються один з одним з метою обміну даними, а також керуючого сигналу. Реалізація задає елементи внутрішнього стану і порядок обчислення значень вихідних інтерфейсів на основі цього стану і значень вхідних портів, а також правила поновлення внутрішнього стану [4].

Загальний вигляд проектування цифрових пристроїв

Проектування пристроїв на основі ПЛІС виконується зі застосування спеціалізованого САПР.

Проектування за допомогою САПР полягає в послідовному використанні наданих програмних засобів, такий процес називається маршрутом проектування. Проектування поділяється на етапи: системний, структурно-алгоритмічний і функціонально-логічний, конструкторно-технологічний. На системному етапі увесь проект ділиться на частини, визначаються їх призначення та взаємозв'язок, приймається рішення про способи реалізації частин і обирається спосіб опису пристрою.

Структурно-алгоритмічний і функціонально-логічний етапи проектування пристроїв на основі ПЛІС базуються на послідовному введенні та верифікації опису паралельно функціонуючих процесів, кожен з яких реалізує певний заданий алгоритм.

Конструкторно-технологічний етап пов'язаний з вибором способу опису пристрою. Сучасні САПР підтримують декілька способів опису пристрою:

- з використанням мов опису апаратних засобів (VHDL, Verilog, AHDL) та спеціалізованого текстового редактора;
- схемотехнічний спосіб опису за допомогою програми візуального проектування, що дозволяє розробнику перемістити на робочу область функціональні блоки та з'єднати їх як необхідно. Після закінчення візуального проектування схема перетворюється в певну мову опису апаратних засобів;
- графічне представлення цифрових автоматів в спеціалізованому редакторі, що забезпечує перетворення отриманого графічного представлення в мову опису апаратних засобів;
- опис комбінаційної логіки за допомогою таблиць істинності, карт Карно чи функцій алгебри.

Компілятор повинен проаналізувати призначений для користувача проект (схеми і текстові описи на Verilog HDL або VHDL) і згенерувати список всіх елементів схеми і зв'язки між ними, який називається netlist. Netlist повинен бути оптимізований – логічні функції потрібно мінімізувати, можливі продубльовані регістри потрібно видалити. Після цього компілятор повинен вмістити всю логіку з netlist в архітектуру ПЛІС. Цей процес виконує fitter. Fitter розміщує логічні елементи і виконує трасування зв'язків між ними, даний процес називається place and route [3].

Після виконання трасування та верифікації результатів може бути автоматично згенерований файл з конфігураційною послідовністю, який містить інформацію про комутацію та функціональності всіх ресурсів кристала. На заключному етапі проектування виконується програмування ПЛІС і подальша внутрішньосхемна верифікація пристроїв (перевірка працездатності ПЛІС у режимі відлагодження) [5].

Висновки

В роботі представлені структура ПЛІС і принципи його програмування, узагальнена послідовність проектування цифрових пристроїв з описом етапів. Виконані проекти на ПЛІС володіють багатьма перевагами: високою функціональністю, легкістю модифікації, більшою швидкістю та великим ступенем автоматизації.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Бутаев М.М., Вашкевич Н.П., Гурин Е.И., Коннов Н.Н. Проектирование цифровых устройств на программируемых логических интегральных схемах: Учебн. пособие. - Пенза: Изд-во Пенз. гос. техн. ун-та, 1996. - 4 с.
2. Правила оформления схем цифровых устройств — Режим доступа: <http://mydocx.ru/4-110927.html> (дата звернення: 03.03.2021)
3. Архитектура ПЛИС — Режим доступа: <http://marsohod.org/index.php/ourblog/11-blog/265-fpga> (дата звернення: 03.03.2021)
4. Обзор методов описания встраиваемой аппаратуры и построения инструментария кросс-разработки — Режим доступа: <http://citforum.ru/programming/embedded/languages/2.shtml> (дата звернення: 03.03.2021)
5. Маршрут разработки цифровой СБИС на основе БМК — Режим доступа: <http://sibac.info/17496> (дата звернення: 03.03.2021)
6. Altera Nios II QuickStart — Режим доступа: <http://we.easyelectronics.ru/plis/alteranios-ii-quickstart-osvaivaem-principy-postroeniya-sistemy-i-infrastrukturu-sborki.html> (дата звернення: 03.03.2021)

Гандзюк Іван Володимирович – студент групи 2КІ-20м, факультет інформаційних технологій та комп’ютерної інженерії, Вінницький національний технічний університет, Вінниця, e-mail: ivanvenom57@gmail.com.

Науковий керівник: Богомолов Сергій Віталійович – канд. техн. наук, дипломований доцент, Вінницький національний технічний університет, Вінниця.

Handzuk Ivan – student group 2CE-20m, Faculty of information technologies and computer engineering, Vinnytsia National Technical University, Vinnytsia, e-mail: ivanvenom57@gmail.com.

Scientific supervisor: Bohomolov Serhii – candidate. tech Sciences, Associate Professor, Vinnytsia National Technical University, Vinnytsia.