



УКРАЇНА

(19) UA

(11) 127816

(13) C2

(51) МПК

G06F 1/02 (2006.01)

НАЦІОНАЛЬНИЙ ОРГАН  
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ  
ДЕРЖАВНА ОРГАНІЗАЦІЯ  
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ  
ОФІС ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

## (12) ОПИС ДО ПАТЕНТУ НА ВИНАХІД

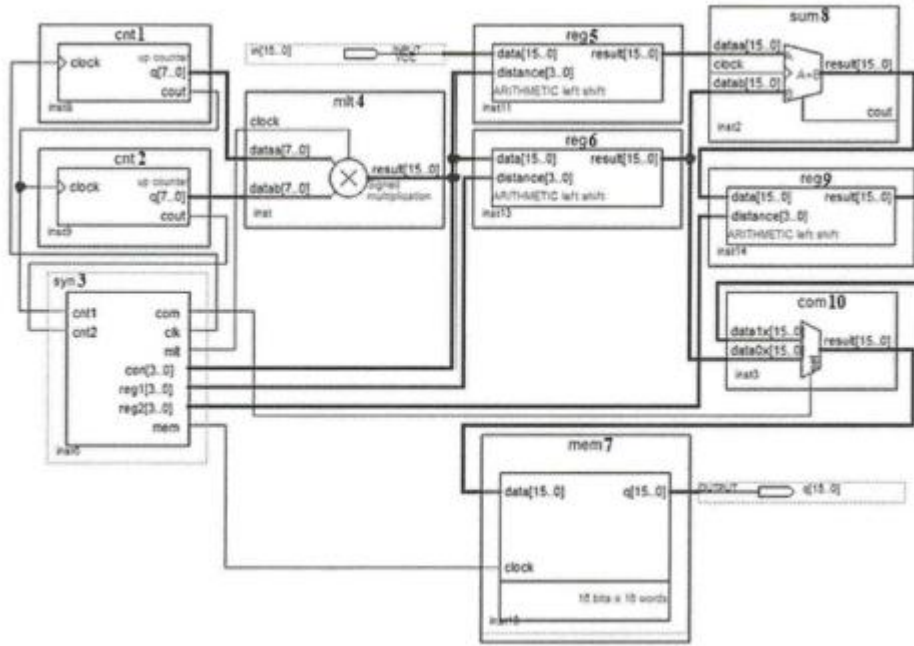
<p>(21) Номер заявки: <b>а 2021 04330</b></p> <p>(22) Дата подання заявки: <b>26.07.2021</b></p> <p>(24) Дата, з якої є чинними права інтелектуальної власності: <b>11.01.2024</b></p> <p>(41) Публікація відомостей про заявку: <b>01.02.2023, Бюл.№ 5</b></p> <p>(46) Публікація відомостей про державну реєстрацію: <b>10.01.2024, Бюл.№ 2</b></p>	<p>(72) Винахідник(и): <b>Осадчук Олександр Володимирович (UA), Гаврілов Дмитро Володимирович (UA), Осадчук Ярослав Олександрович (UA), Яровий Дмитро Володимирович (UA)</b></p> <p>(73) Володілець (володільці): <b>ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ,</b> вул. Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)</p> <p>(56) Перелік документів, взятих до уваги експертизою: SU 1541582 A1, 07.02.1990 SU 1548778 A1, 07.03.1990 UA 147424 U, 05.05.2021 SU 1381466 A1, 15.03.1988 SU 1612289 A1, 12.07.1990</p>
---	--

## (54) ГЕНЕРАТОР ХВИЛЬОВИХ ФУНКЦІЙ МЕБІУСА НА ПЛІС

### (57) Реферат:

Пристрій належить до галузі контрольно-вимірювальної техніки, автоматики та обчислювальної техніки, а саме до генераторів дискретних функцій, і може бути використаний при побудові спектроаналізаторів і фільтрів, а також інших спеціалізованих обчислювальних та інформаційно-вимірювальних систем реального часу. Генератор функцій Мебіуса складається з двох лічильників, помножувача, регістра, блока пам'яті та синхронізатора, при цьому відліковий вхід першого лічильника з'єднаний з тактовим виходом синхронізатора, вихід переносу старшого розряду першого лічильника підключений до відлікового входу другого лічильника, вихід блока пам'яті є виходом генератора, а інформаційні виходи першого і другого лічильників підключені до входів помножувача, вихід якого підключений до інформаційного входу регістра, введено суматор, комутатор, другий та третій регістри, при цьому інформаційний вхід другого регістра з'єднаний з входом заданої константи регістра синхронізатора, виходи першого і другого регістрів підключені до входів суматора, що своїм виходом з'єднаний з інформаційними входами третього регістра, виходи другого і третього регістрів підключені до інформаційних входів комутатора, виходи якого з'єднані з адресним входом блока пам'яті, вхід старту синхронізатора підключений до входу генератора і з'єднаний з керуючим входом запису другого регістра, при цьому синхронізуючий вхід помножувача, керуючі входи першого і третього регістрів, керуючий вхід комутатора і керуючий вхід запису блока пам'яті підключені до відповідного виходу синхронізатора. Технічний результат, що досягається при здійсненні винаходу, полягає у розширенні функціональних можливостей, спрощенні обробки та відображення отриманих даних, а також підвищенні швидкодії пристрою при зменшенні енергоспоживання та масо-габаритних властивостей.

UA 127816 C2



Винахід належить до області контрольно-вимірювальної техніки, автоматики та обчислювальної техніки, а саме до генераторів дискретних функцій, і може бути використаний при побудові спектроаналізаторів і фільтрів, а також інших спеціалізованих обчислювальних та інформаційно-вимірювальних систем реального часу.

5 Відомий генератор хвильових функцій Мебіуса (Авторське свідоцтво СРСР № 1548778 МПК G06F 1/02, Бюл. 9, 07.03.1990), що містить два лічильники, блок пам'яті, синхронізатор, причому тактовий вхід першого лічильника підключений до тактового виходу синхронізатора, вихід перенесення з старшого розряду першого лічильника підключений до тактового входу помножувача, суматора, три регістри і комутатор, причому інформаційні виходи першого і другого  
10 лічильників підключені до інформаційних входів помножувача, вихід помножувача підключений до інформаційного входу першого регістра, інформаційний вхід другого регістра є входом завдання константи генератора, виходи першого і другого регістрів виключені до входів суматора, вихід суматора підключений до інформаційного входу третього регістра, виходи першого і третього регістрів підключені до інформаційного входу комутатора, вихід комутатора  
15 підключений до адресного входу блока пам'яті, пусковий вхід синхронізатора є пусковим входом генератора і з'єднаний з керуючим входом запису другого регістра, що синхронізує вхід помножувача, керуючі входи запису першого і третього регістрів, керуючий вхід комутатора і керуючий вхід зчитування блока пам'яті, які підключені до відповідних виходів синхронізатора.

До недоліків даного пристрою слід віднести погані масо-габаритні властивості, при  
20 реалізації декількох генераторів для паралельної обробки інформації, а також в значному енергоспоживанні.

Найбільш близьким до пристрою, що заявляється є генератор функцій Мебіуса (Авторське свідоцтво СРСР № 1541582 МПК G06F 1/02, Бюл. № 5, опубл. 07.02.1970), який складається з  
25 першого та другого лічильників, помножувача, першого та другого регістра, блока пам'яті та синхронізатора, при цьому відліковий вхід першого лічильника з'єднаний з тактовим виходом синхронізатора, вихід переносу старшого розряду першого лічильника підключений до відлікового входу другого лічильника, вихід блока пам'яті є виходом генератора, причому інформаційні виходи першого і другого лічильників підключені до входів помножувача, вихід помножувача підключений до інформаційного входу регістра, вихід регістра підключений до  
30 адресного входу блока пам'яті, вхід синхронізації помножувача, керуючий вхід запису регістра та керуючий вхід зчитування блока пам'яті підключений до відповідних виходів синхронізатора.

Недоліком даного пристрою є недостатні функціональні можливості, а також складність  
35 реалізації пристрою через потребу в значному ресурсі інтегральної схеми при реалізації декількох генераторів з довільною розрядністю, що призводить для ускладнення обробки і відображення отриманих даних.

В основу винаходу поставлено задачу створення генератора хвильових функцій Мебіуса на ПЛІС, в якому за рахунок введення нових елементів та зв'язків досягається можливість зміни  
40 принципу роботи при незмінній апаратній частині, реалізації декількох генераторів в одній ПЛІС та реалізації систем на кристалі. Це приводить до розширення функціональних можливостей, спрощення обробки та відображення отриманих даних. Крім цього, підвищується швидкодія пристрою при зменшенні енергоспоживання та масо-габаритних властивостей.

Поставлена задача вирішується тим, що в генератор функцій Мебіуса, який складається з  
45 двох лічильників, помножувача, регістра, блока пам'яті та синхронізатора, при цьому відліковий вхід першого лічильника з'єднаний з тактовим виходом синхронізатора, вихід переносу старшого розряду першого лічильника підключений до відлікового входу другого лічильника, вихід блока пам'яті є виходом генератора, а інформаційні виходи першого і другого лічильників підключені до входів помножувача, вихід якого підключений до інформаційного входу регістра, введено суматор, комутатор, другий та третій регістри, при цьому інформаційний вхід другого  
50 регістра з'єднаний з входом заданої константи регістра синхронізатора, виходи першого і другого регістрів підключені до входів суматора, що своїм виходом з'єднаний з інформаційними входами третього регістра, виходи другого і третього регістрів підключені до інформаційних входів комутатора, виходи якого з'єднані з адресним входом блока пам'яті, вхід старту синхронізатора підключений до входу пристрою і з'єднаний з керуючим входом запису другого  
55 регістра, при цьому синхронізуючий вхід помножувача, керуючі входи першого і третього регістрів, керуючий вхід комутатора і керуючий вхід запису блока пам'яті підключені до відповідного виходу синхронізатора.

На кресленні представлена структурна схема генератора хвильових функцій Мебіуса на ПЛІС.

60 Пристрій складається з двох лічильників (cnt) 1 і 2, помножувача (mlt) 4, першого 5, другого 6 та третього 9 регістрів (reg), блока пам'яті (mem) 7 та синхронізатора 3 (syn), суматора (sum) 8,

та комутатора (com) 10, причому відліковий вхід першого лічильника 1 з'єднаний з тактовим виходом синхронізатора 3, вихід переносу старшого розряду першого лічильника 1 підключений до відлікового входу другого лічильника 2, вихід блока пам'яті 7 є виходом генератора, а інформаційні виходи першого 1 і другого 2 лічильників підключені до входів помножувача 4, вихід якого підключений до інформаційного входу першого регістра, інформаційний вхід другого регістра 6 з'єднаний з входом заданої константи регістра синхронізатора 3, виходи першого 5 і другого 6 регістрів підключені до входів суматора 8, що своїм виходом з'єднаний з інформаційними входами третього регістра 9, виходи другого 6 і третього 9 регістрів підключені до інформаційних входів комутатора 10, виходи якого з'єднані з адресним входом блока пам'яті 7.

Вхід старту синхронізатора 3 підключений до входу пристрою і з'єднаний з керуючим входом запису другого регістра 6, при цьому синхронізуючий вхід помножувача 4, керуючі входи першого 5 і третього 9 регістрів, керуючий вхід комутатора 10 і керуючий вхід запису блоку пам'яті 7 підключені до відповідного виходу синхронізатора 3.

Хвильові функції Мебіуса визначаються наступним чином:

$$\mu(a) = \begin{cases} 0, 0 < X \bmod 1 < 0.5 \\ (-1), 0.5 < x \bmod 1 < 1 \\ 1, X \bmod 1 = 0 \text{ або } 0.5 \end{cases}, (1)$$

при будь-якому цілому фіксованому N системи функцій Мебіуса породжує (2"×2") - матрицю з елементами 0, ± 1, кожен рядок якої представляє одну їх ВФМ. Для формування матриці ВФМ значення аргументу X представимо у вигляді значень номерів рядків 1 і стовпців k:

$$X_{i,k} = \begin{cases} \frac{\langle 1k + N/4 \rangle_N}{N}, 1 = 0, \frac{N}{2} \\ \frac{\langle 1k \rangle_N}{N}, 1 \neq 0, \frac{N}{2} \end{cases}, (2)$$

де  $X_{i,k}$  - значення аргументу матриці ВФМ 1-го рядка і k-го стовпця (k - значення аргументу 1-й ВФМ); 1, k=0, 1, ..., N-1; N=2<sup>n</sup> - кількість елементів рядка (стовпця) матриці ВФМ;  $\langle 1k + N/4 \rangle_N$  означає  $(1k + N/4) \bmod N$ . Підставивши вираз (2) в систему рівнянь (1), отримаємо:

$$\mu(X) = \mu(X_{i,k}) = \begin{cases} \mu \frac{\langle 1k + N/4 \rangle_N}{N}, 1 = 0, \frac{N}{2} \\ \mu \frac{\langle 1k \rangle_N}{N}, 1 \neq 0, \frac{N}{2} \end{cases}, (3)$$

де  $\mu(X_{i,k})$  - 1-а ВФМ.

Нижче наведено приклад матриці ВФМ порядку 2<sup>3</sup> (N=8). Значення +1 і -1 елементи на + та - відповідно.

$$M = \begin{array}{c|cccccccc|c} + & + & + & + & + & + & + & + & 0 = 1 \\ 0 & + & + & + & 0 & - & - & - & 1 \\ 0 & + & 0 & - & 0 & + & 0 & - & 2 \\ 0 & + & - & + & 0 & - & + & - & 3 \\ + & - & + & - & + & - & + & - & 4 \\ 0 & - & + & - & 0 & + & - & + & 5 \\ 0 & - & 0 & + & + & - & 0 & + & 6 \\ 0 & - & - & - & 0 & + & + & + & 7 \end{array}$$

$$K = 0 \ 1 \ 2 \ 3 \ 4 \ 5 \ 6 \ 7$$

Відповідністю до виразів (2) та (3) набору значень аргументу X для елементів матриці є множина потужності N, яка при побудові аргументу (N \* X) представляється цілочисельним рядом 0, 1, ..., N-1.

Пристрій працює наступним чином.

Перед початком роботи в блок пам'яті тет 7 по N адресам записується значення функцій Мебіуса 0, +1, -1. Як адреси використовуються цілочисельні значення аргументу (NX). Розрядність η адресу та розрядність даних залежить від методу кодування значення функції (достатньо двох двійкових розрядів).

Лічильники cnt 1, 2 та другий 6 і третій 9 регістри reg в початковому стані обнуління. При надходженні тактових імпульсів на вході clock суматора 8 sum виконається запис з входу in (15...0) констант N/4 в перший регістр reg 5 і початок роботи синхронізатора syn 3. Тактові імпульси від синхронізатора syn 3 надходять на вхід першого лічильника 1, а імпульси

5

переповнення першого лічильника cnt 1 - на вхід другого лічильника cnt 2. Двійникові η-розрядні лічильники cnt 1 та cnt 2 рахують номери к..1 стовбців і рядків відповідно (k, 1=0, N-1). Стан лічильників задає позицію елемента матриці на перетині k-го стовпця з 1-м рядком, причому спочатку розглядаються всі елементи нульового рядка (1=0), а наступним (1=1) і т.д. до (N-1)-рядка.

На помножувачі mlt 4 формується значення k1 (з записом в перший регістр reg 5), на суматорі sum 8 - сума (з записом в третій регістр reg 9), причому результати беруться по модулю N відповідно з (2), (3),..., n молодших розрядів. При 1≠0, N/2 як адреса для блока пам'яті mem 7 використовується значення k1, до адресного входу через комутатор com 10 підключений до третього регістра reg 9. Значення 1=0, N/2 супроводжують періодичним сигналом від синхронізатора syn 3 на керуючому вході комутатора com 10, як адреси використовуються k1+N/4 (до адресного входу блока пам'яті mem 7 підключається до третього регістра reg 9.) Відповідно до послідовних адресних входів блока пам'яті mem 7 послідовно виводиться відлік значень сигналу нульової функції Мебіуса, а далі перший і т.д. до (N-1).

10

15

20

### ФОРМУЛА ВИНАХОДУ

Генератор функцій Мебіуса, який складається з двох лічильників, помножувача, регістра, блока пам'яті та синхронізатора, при цьому відліковий вхід першого лічильника з'єднаний з тактовим виходом синхронізатора, вихід переносу старшого розряду першого лічильника підключений до відлікового входу другого лічильника, вихід блока пам'яті є виходом генератора, а інформаційні виходи першого і другого лічильників підключені до входів помножувача, вихід якого підключений до інформаційного входу регістра, який **відрізняється** тим, що в нього введено суматор, комутатор та другий і третій регістри, при цьому інформаційний вхід другого регістра з'єднаний з входом заданої константи регістра синхронізатора, виходи першого і другого регістрів підключені до входів суматора, вихід якого з'єднаний з інформаційними входами третього регістра, виходи другого і третього регістрів підключені до інформаційних входів комутатора, виходи якого з'єднані з адресним входом блока пам'яті, вхід старту синхронізатора підключений до входу генератора і з'єднаний з керуючим входом запису другого регістра, при цьому синхронізуючий вхід помножувача, керуючі входи першого і третього регістрів, керуючий вхід комутатора і керуючий вхід запису блока пам'яті підключені до відповідного виходу синхронізатора.

25

30

35

