



УКРАЇНА

(19) **UA** (11) **155934** (13) **U**
(51) МПК (2024.01)
H04L 1/00
H03M 13/00

НАЦІОНАЛЬНИЙ ОРГАН
ІНТЕЛЕКТУАЛЬНОЇ ВЛАСНОСТІ
ДЕРЖАВНА ОРГАНІЗАЦІЯ
"УКРАЇНСЬКИЙ НАЦІОНАЛЬНИЙ
ОФІС ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ ТА ІННОВАЦІЙ"

(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2023 05303	(72) Винахідник(и): Семеренко Василь Петрович (UA), Войналович Олександр Юрійович (UA)
(22) Дата подання заявки: 08.11.2023	(73) Володілець (володільці): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, вул. Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права інтелектуальної власності: 18.04.2024	
(46) Публікація відомостей про державну реєстрацію: 17.04.2024, Бюл.№ 16	

(54) ПОСЛІДОВНО-ПАРАЛЕЛЬНИЙ КОДЕР ДВІЙКОВИХ ЦИКЛІЧНИХ (n,k)-КОДІВ

(57) Реферат:

Послідовно-паралельний кодер двійкових циклічних (n,k)-кодів містить мультиплексор, (n-k)-розрядну лінійну послідовнісну схему, послідовний вихід якої з'єднаний з першим входом мультиплексора, другий вхід якого підключений до послідовного входу пристрою. Вихід мультиплексора підключений до послідовного виходу пристрою, а виходи лінійної послідовної схеми підключені до (n-k)-розрядного паралельного виходу пристрою. Як лінійно послідовну схему використано (n-k)-розрядну лінійно послідовну схему другого типу, яка складається з r (r=n-k) елементів пам'яті, r суматорів за модулем два, p (r<r) нижніх елементів кон'юнкцій, p верхніх елементів кон'юнкцій. Вихід r-го елемента пам'яті з'єднаний з послідовним виходом пристрою. Виходи всіх елементів пам'яті з'єднані з паралельним виходом пристрою та з інформаційними входами нижніх та верхніх логічних елементів кон'юнкцій. Керуючі входи нижніх та верхніх логічних елементів кон'юнкцій дозволяють проходження інформації через нижні та верхні логічні елементи кон'юнкцій, відповідно, зі структурою породжувального полінома циклічного (n,k)-коду. Вхід i-го елемента пам'яті з'єднаний з виходом (i-1)-го елемента або з виходом суматора за модулем два. Повністю збігається нумерація нижніх та верхніх логічних елементів кон'юнкцій, які слугують для передачі інформації, відповідно, зі структурою породжувального полінома циклічного (n, k)-коду (i=2,...,r).

UA 155934 U

UA 155934 U

Корисна модель належить до галузі заводостійкого кодування і може бути використана в цифрових каналах передачі та збереження даних.

Відомий послідовний кодер циклічного коду [патент США № 8,832,535, МПК Н03М 13/09, G06F 11/10 від 9 вересня, 2014], що містить реєстри слів, суматори, мультиплексор, вентиль, реєстр інформаційної секції, реєстр перевірконої секції. Недоліком відомого пристрою є складність апаратної реалізації та великий час процедури кодування Для циклічного (n,k)-коду необхідно n тактів систематичного кодування.

Найближчим аналогом до корисної моделі є систематичний кодер циклічного (n,k)-коду Хемінга [Блейхут Р. Теория и практика кодов, контролирующих ошибки - М.: Мир, 1986. - 164 с.], що містить мультиплексор (перемикач входів), (n-k)-розрядну лінійну послідовнісну схему (цифровий фільтр) першого типу, послідовний вихід якої з'єднаний з першим входом мультиплексора, другий вхід якого підключений до послідовного входу пристрою, вихід мультиплексора підключений до послідовного виходу пристрою, а виходи лінійної послідовної схеми першого типу підключені до (n-k)-розрядного паралельного виходу пристрою.

Недоліками даного пристрою є його великий час кодування: для циклічного (n-k)-коду також необхідно n тактів, що обмежує його швидкодію.

В основу корисної моделі поставлена задача створення швидкодіючого послідовно-паралельного кодера двійкових циклічних (n, k)-кодів, в якому за рахунок використання автоматного представлення циклічних кодів та різних типів лінійних послідовнісних схем (ЛПС) зменшується час кодування.

Поставлена задача вирішується тим, що послідовно-паралельний кодер двійкових циклічних (n, k)-кодів, який містить мультиплексор, (n-k)-розрядну лінійну послідовнісну схему, послідовний вихід якої з'єднаний з першим входом мультиплексора, другий вхід якого підключений до послідовного входу пристрою, вихід мультиплексора підключений до послідовного виходу пристрою, а виходи лінійної послідовної схеми підключені до (n-k)-розрядного паралельного виходу пристрою, згідно з корисною моделлю, як лінійно послідовну схему використано (n-k)-розрядну лінійно послідовну схему другого типу, яка складається з r (r=n-k) елементів пам'яті, r суматорів за модулем два, p (r<r) нижніх елементів кон'юнкцій, p верхніх елементів кон'юнкцій, причому вихід r-го елемента пам'яті з'єднаний з послідовним виходом пристрою, виходи всіх елементів пам'яті з'єднані з паралельним виходом пристрою та з інформаційними входами нижніх та верхніх логічних елементів кон'юнкцій, керуючі входи нижніх та верхніх логічних елементів кон'юнкцій дозволяють проходження інформації через нижні та верхні логічні елементи кон'юнкцій відповідно зі структурою породжувального полінома циклічного (n, k)-коду, вхід i-го елемента пам'яті з'єднаний з виходом (i-1)-го елемента або з виходом суматора за модулем два, причому повністю збігається нумерація нижніх та верхніх логічних елементів кон'юнкцій, які слугують для передачі інформації, відповідно, зі структурою породжувального полінома циклічного (n,k)-коду (i=2,...,r).

Суть корисної моделі пояснюють креслення, на яких зображено:

на фіг. 1 представлена функціональна схема пристрою; на фіг. 2 - загальна схема ЛПС другого типу, на фіг. 3 - приклад ЛПС другого типу для породжувального поліному $g(x) = 1 + x + x^4$.

Послідовно-паралельний кодер двійкових циклічних (n,k)-кодів (фіг. 1) містить ЛПС 1 другого типу, мультиплексор 2, послідовний вхід 3, послідовний вихід 4, паралельний вихід 5.

(n-k)-розрядна ЛПС 1 другого типу (фіг. 2) містить r елементів пам'яті 6.1, ... 6.r, r суматорів за модулем два 7.1, ... 7.r, p логічних елементів кон'юнкції 8.1, ... 8.p. та p логічних елементів кон'юнкції 9.1, ... 9.p. Кількість логічних елементів кон'юнкції 8.1,... 8.p та p логічних елементів кон'юнкції 9.1, ... 9.p дорівнює числу ненульових елементів кон'юнкції 8 та 9 у породжувальному поліномі

$$g(x) = g_0 + g_1x + g_2x^2 + \dots + g_{r-1}x^{r-1} + g_rx^r \quad (1)$$

з коефіцієнтами циклічного (n, k)-коду, де $g_i = \{0,1\}$. (r=n - k). (p ≤ r).

Пристрій працює таким чином.

Теоретичною основою кодування і декодування циклічних кодів може бути математичний апарат лінійних послідовнісних схем. Двійкова ЛПС 1, як лінійний автомат, в дискретні такти часу t описується лінійною функцією переходів:

$$S(t+1) = A \times S(t) + B \times U(t), \quad (2)$$

та лінійною функцією виходів:

$$Y(t) = S(t)$$

де $A = \|a_{ij}\|_{r \times r}$, $B = \|b_i\|_r$ - характеристичні матриці ЛПС;

$S = |s_i|_r$ - слово стану, $U = |u_i|_l$ - вхідне слово, $Y = |y_j|_m$ - вихідне слово.

У формулі (2) символи '+' та 'x' позначають, відповідно, операції додавання та множення за модулем два. Під дією вхідного слова:

5 $U = u(1), u(2), \dots, u(t)$
 яке надходить на вхід ЛПС 1, відбувається послідовна зміна її внутрішніх станів
 $S = s(1), s(2), \dots, s(t)$,
 для обчислення яких використовується формула (2).

У регістрі зсуву з лінійними оберненими зв'язками використовується ЛПС другого типу, яка описується такими характеристичними матрицями A та B:

$$A = \begin{bmatrix} 0 & 0 & \dots & 0 & g_0 \\ 1 & 0 & \dots & 0 & g_1 \\ 0 & 1 & \dots & 0 & g_2 \\ \dots & \dots & \dots & \dots & \dots \\ 0 & 0 & \dots & 1 & g_{r-1} \end{bmatrix}, \quad B = \begin{bmatrix} g_0 \\ g_1 \\ g_2 \\ \dots \\ g_{g-1} \end{bmatrix}. \quad (3)$$

10 Елементи останнього стовпчика в матриці (3) представляють собою коефіцієнти породжувального полінома (1).

Матриця A визначає внутрішню структуру ЛПС 1, тобто спосіб з'єднання між собою елементів пам'яті 6 (фіг. 2). Якщо елемент a_{ij} матриці A дорівнює одиниці, тоді повинен існувати зв'язок між виходом j-го елемента пам'яті 6 і входом i-го елемента пам'яті 6 (напряму або через суматор за модулем два), а якщо $a_{ij}=0$, тоді зв'язок між вказаними елементами пам'яті 6 відсутній. Вхід першого елемента пам'яті завжди з'єднаний з виходом першого суматора за модулем два 7.1, перший вхід якого з'єднаний з інформаційним входом ЛПС 1, а другий вхід - з виходом (n-k) -го елемента пам'яті 7. Кількість суматорів за модулем два дорівнює кількості одиниць в останньому стовпці матриці A.

20 Процес систематичного кодування на стороні кодера складається з двох етапів. На першому 1 етапі на вхід ЛПС 1 подається інформаційне слово I, в результаті чого ЛПС 1 перейде протягом k тактів з початкового нульового стану S(0) в проміжний стан S(k) згідно з формулою, яка впливає з (2):

$$25 \quad S(k) = A^k \times S(0) + L_k \times I, \quad GF(2),$$

де $L_k = [A^{k-1} \times B, A^{k-2} \times B, \dots, A \times B, B]$.

На другому етапі на вхід ЛПС 1 необхідно подати таке перевіряюче слово Ψ , щоб ЛПС 1 перейшла протягом r тактів зі стану S(k) в кінцевий стан S(n):

$$30 \quad S(n) = A^r \times S(k) + L_r \times \Psi, \quad GF(2). \quad (4)$$

Оскільки після завершення процедури кодування ЛПС 1 повинна знову повернутись в початковий стан (тобто, $S(n) = S(0)$), тому рівність (5) можна записати як:

$$L_r \times \Psi = A^r \times S(k), \quad GF(2). \quad (5)$$

Виконавши систематичне кодування циклічних кодів на основі ЛПС 1 другого типу. Із рівності (6) впливають такі закономірності:

$$35 \quad \text{якщо } L_r = A^r, \quad GF(2), \quad \text{тоді } \Psi = S(k), \quad GF(2), \quad (6)$$

$$\text{якщо } L_r = -A^r, \quad GF(2), \quad \text{тоді } \Psi = -S(k), \quad GF(2). \quad (7)$$

Рівності (6) і (7) означають, що проміжний стан S(k) буде отримано на k-му такті кодування. Знак «-» у (8) означає операцію інверсії слів, тобто взаємної перестановки між молодшими і старшими компонентами перевіряючого слова

40 Виконаємо на прикладі систематичне кодування циклічних кодів на основі ЛПС 1 другого типу. Наприклад, для породжувального полінома:

$$g(x) = 1 + x + x^4$$

матриці A, B матимуть вигляд:

$$A = \begin{bmatrix} 0 & 0 & 0 & 1 \\ 1 & 0 & 0 & 1 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}, \quad B = \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix}. \quad (8)$$

45 Приклад апаратної реалізації ЛПС 1 на основі матриць (8) показано на фіг. 3.

Нехай задано 11-розрядне інформаційне слово:

$$U(1) = 1, U(2) = 0, U(3) = 0, U(4) = 1, U(5) = 0, U(6) = 0,$$

$$U(7) = 0, U(8) = 0, U(9) = 1, U(10) = 1, U(11) = 0. \quad (9)$$

50 Використовуючи функцію переходів (2) і матриці (8), обчислимо послідовність станів ЛПС 1 з початковим нульовим станом:

$$S(0) = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 0 \end{bmatrix}$$

Розглянемо на прикладі процес систематичного кодування на основі матриць (8). Для заданого 11-розрядного інформаційного слова (9) обчислимо послідовність зміни внутрішніх станів цієї ЛПС 1.

$$S(1) = \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix}, S(2) = \begin{bmatrix} 0 \\ 1 \\ 1 \\ 0 \end{bmatrix}, S(3) = \begin{bmatrix} 0 \\ 0 \\ 1 \\ 1 \end{bmatrix}, S(4) = \begin{bmatrix} 0 \\ 0 \\ 0 \\ 1 \end{bmatrix}, S(5) = \begin{bmatrix} 1 \\ 1 \\ 0 \\ 0 \end{bmatrix}, S(6) = \begin{bmatrix} 0 \\ 1 \\ 1 \\ 0 \end{bmatrix}, S(7) = \begin{bmatrix} 0 \\ 0 \\ 1 \\ 1 \end{bmatrix}, S(8) = \begin{bmatrix} 1 \\ 1 \\ 0 \\ 1 \end{bmatrix},$$

$$S(9) = \begin{bmatrix} 0 \\ 1 \\ 1 \\ 0 \end{bmatrix}, S(10) = \begin{bmatrix} 1 \\ 1 \\ 1 \\ 1 \end{bmatrix}, S(11) = \begin{bmatrix} 1 \\ 0 \\ 1 \\ 1 \end{bmatrix}.$$

Стан $S(11)$ - це і є перевірочне слово для заданих інформаційного слова (9) та характеристичних матриць ЛПС 1 другого типу.

Для оцінки ефективності різних способів завадостійкого кодування необхідно враховувати обидві процедури: кодування та передавання цих даних по каналу зв'язку. Всі типи ЛПС можуть сформувати перевірочне слово в послідовному режимі за k тактів, але лише ЛПС 1 другого типу дозволяють швидко передати закодовані дані.

Важливо відмітити, що на останніх $(n-k)$ тактах кодування на основі ЛПС інших типів, формується тільки один розряд перевірочного слова, що не дозволяє одночасно сформувати всі розряди цього слова. Відповідно, по каналу зв'язку як в послідовному, так і в паралельному режимі, можна передати лише один розряд перевірочного слова. Лише використання ЛПС другого типу дозволяє через k тактів роботи сформувати повністю $(n-k)$ -розрядне перевірочне слово і передати його за один такт в паралельному режимі на вихід 5. Формування перевірочних даних і їх передача в послідовному режимі для всіх типів ЛПС вимагає $(n-k)$ тактів.

Апаратна реалізація систематичного кодера циклічного (n,k) -коду на основі запропонованої ЛПС другого типу буде такою. Протягом перших k тактів кодування двохходовий мультиплексор 2 дозволяє передачу заданого k -розрядного інформаційного слова із послідовного входу 3 на послідовний вихід 4 пристрою, тобто в канал. Починаючи з $(k+1)$ -го, ... до n -го тактів роботи пристрою мультиплексор 2 перемикається на передачу перевірочних даних із ЛПС будь-якого типу на послідовний вихід 4 пристрою.

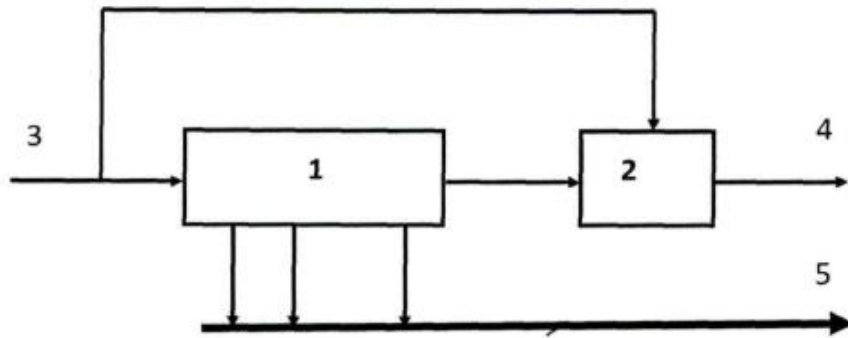
Всі типи ЛПС можуть сформувати перевірочне слово в послідовному режимі за k тактів, і передати його за наступні $(n-k)$ тактів на послідовний вихід пристрою і лише ЛПС 1 другого типу дозволяє через k тактів роботи сформувати повністю перевірочне слово і передати його за один такт на паралельний вихід 5 пристрою, тобто в канал.

Таким чином, на k -му такті можна закінчити процедуру кодування і процедуру передачі в канал закодованих даних.

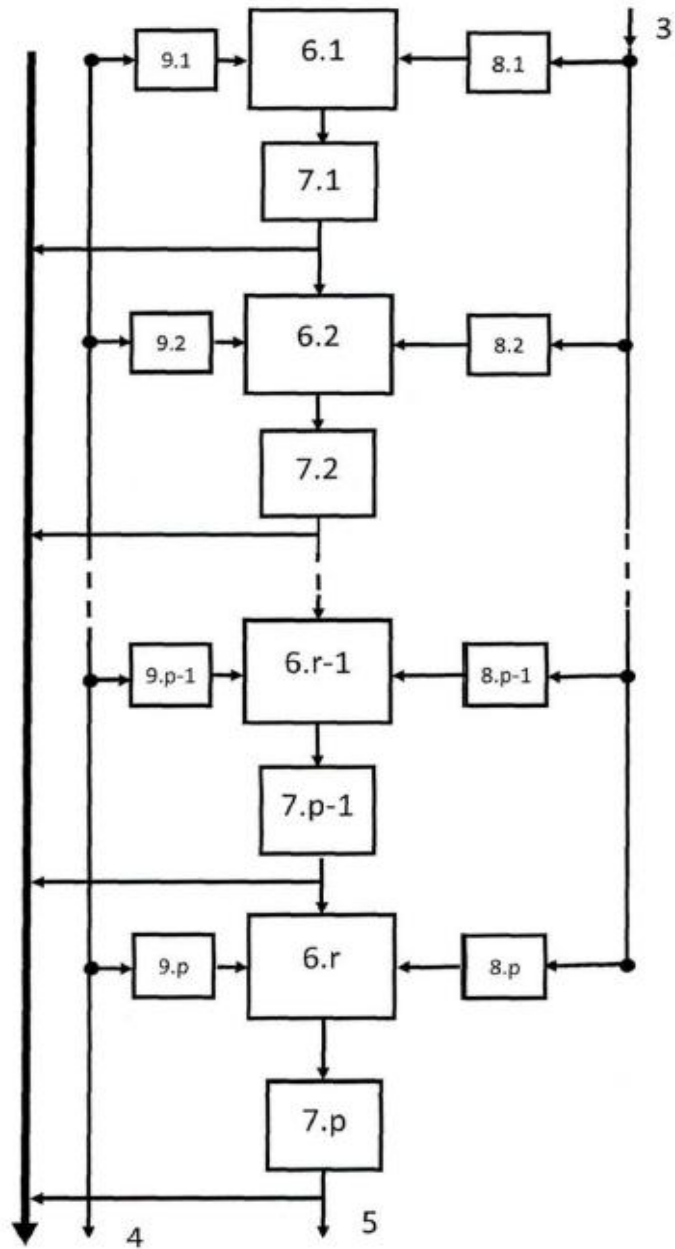
ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Послідовно-паралельний кодер двійкових циклічних (n,k) -кодів, який містить мультиплексор, $(n-k)$ -розрядну лінійну послідовнісну схему, послідовний вихід якої з'єднаний з першим входом мультиплексора, другий вхід якого підключений до послідовного входу пристрою, вихід мультиплексора підключений до послідовного виходу пристрою, а виходи лінійної послідовної схеми підключені до $(n-k)$ -розрядного паралельного виходу пристрою, який **відрізняється** тим, що як лінійно послідовну схему використано $(n-k)$ -розрядну лінійно послідовну схему другого типу, яка складається з r ($r=n-k$) елементів пам'яті, r суматорів за модулем два, p ($r < r$) нижніх елементів кон'юнкцій, p верхніх елементів кон'юнкцій, причому вихід r -го елемента пам'яті з'єднаний з послідовним виходом пристрою, виходи всіх елементів пам'яті з'єднані з паралельним виходом пристрою та з інформаційними входами нижніх та верхніх логічних елементів кон'юнкцій, керуючі входи нижніх та верхніх логічних елементів кон'юнкцій дозволяють проходження інформації через нижні та верхні логічні елементи кон'юнкцій, відповідно, зі структурою породжувального полінома циклічного (n,k) -коду, вхід i -го елемента пам'яті з'єднаний з виходом $(i-1)$ -го елемента або з виходом суматора за модулем два, причому повністю збігається нумерація нижніх та верхніх логічних елементів кон'юнкцій, які слугують для

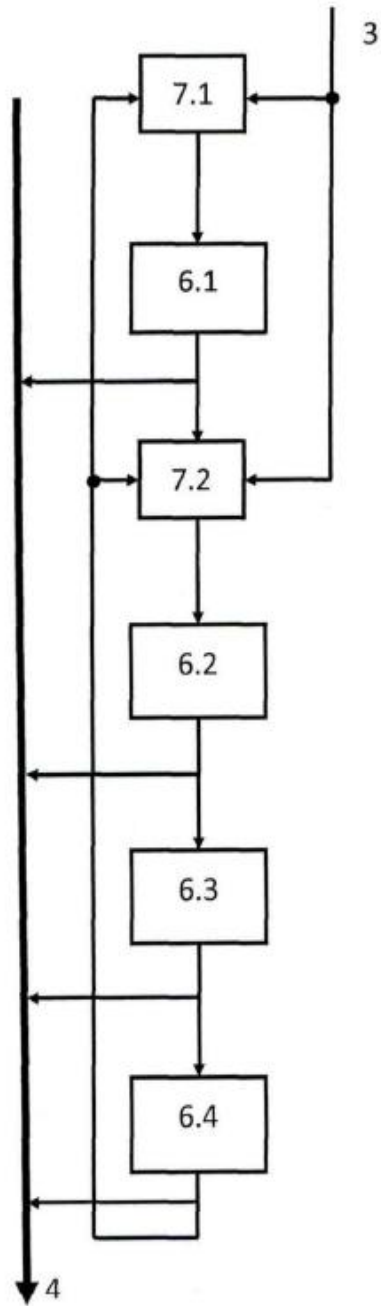
передачі інформації, відповідно, зі структурою породжувального полінома циклічного (n,k) -коду $(i=2, \dots, r)$.



Фиг. 1



Фиг. 2



Фиг. 3