

## ОРГАНІЗАЦІЯ ПАРАЛЕЛЬНИХ ОБЧИСЛЕНЬ АЛГОРИТМУ МІНІМАЛЬНОЇ СУМИ ДЛЯ LDPC-ДЕКОДЕРУ

Крайник Ярослав

Чорноморський державний університет імені Петра Могили

### Анотація

*У даній роботі проводиться дослідження паралельної реалізації алгоритму м'якого декодування LDPC-кодів – алгоритму мінімальної суми. Розроблена модель організації паралельних обчислень за даним алгоритмом для частково паралельного LDPC-декодеру, яка дозволяє підвищити пропускну здатність.*

### Abstract

*Parallel implementation of soft decoding algorithm (minimal sum) for LDPC-codes is provided in this work. Model for parallel computations organization according to decoding algorithm is suggested. Implementation of the model allows to increase throughput of LDPC-decoder.*

### Вступ

Алгоритм мінімальної суми – алгоритм декодування для LDPC-кодів (Low Density Parity Check Codes – коди з низькою щільністю перевірки на парність), що використовується для прямого виправлення помилок при передачі інформаційного повідомлення. Основними перевагами алгоритму мінімальної суми з точки зору апаратної реалізації є використання простих операцій порівняння та суми, а також великі можливості для реалізації паралельних обчислень. Алгоритм піддається розпаралелюванню як на рівні процесів (обчислення значень повідомлень, перевірка синдрому, виконання запису повідомлення і т.д.), так і на рівні простих операцій у складі процесів (виконання операцій зчитування/запису, обчислення значень повідомлень, виконання жорсткого декодування на основі обчислених елементів і т.д.). Великого поширення набули частково паралельні декодери, що забезпечують часткове відображення апаратної реалізації на граф Таннера. Вони здатні забезпечувати збалансовані параметри швидкодії та використання апаратних ресурсів. Підвищення кількості операцій, що виконуються паралельно, для таких декодерів може значно підвищити пропускну здатність.

### Основна частина

У роботі [1] організація паралельних обчислень базується на реалізації конвеєру, в якому операції запису, обчислення та зчитування виконуються паралельно, проте для різних ітерацій. Недоліком даного підходу є необхідність залучення додаткових ресурсів пам'яті для організації паралельності операцій.

Автори роботи [2] досліджують архітектуру частково паралельного LDPC-декодеру, яка дозволяє розпаралелити виконання операцій на низькому рівні (дрібнозернистий паралелізм), проте розпаралелювання на більш високому рівні не розглядається.

Метою даної роботи є підвищення пропускну здатності частково паралельного LDPC-декодеру за рахунок розробки моделі розпаралелювання виконання обчислень для алгоритму мінімальної суми.

Для підвищення швидкодії LDPC-декодеру розроблена модель організації роботи декодеру, яка передбачає паралельне виконання етапів обчислення повідомлень, обчислення синдрому та жорсткого декодування, а також обчислення значення повідомлень вузлів перевірки, реалізуючи таким чином принцип Single Instruction – Multiple Data (SIMD).

Перевірка значення синдрому виконується на основі значень перевірки. При цьому, одразу після отримання повідомлення можна проводити перевірку синдрому. У моделі паралельної реалізації алгоритму декодування мінімальної суми перевірка синдрому виконується для попередньої ітерації декодування, в той час, як одночасно виконується обчислення нового значення повідомлення для даної ітерації, жорстке декодування та обчислення значень вузлів перевірки. Особливістю обчислення значень вузлів перевірки є те, що воно виконується послідовно у результаті надходження нових даних. Це дає перевагу над паралельною реалізацією даної операції, яка потребує наявності всіх даних для обчислень та більше обчислювальних ресурсів.

Головною особливістю операції перевірки синдрому для запропонованої моделі є те, що вона проводиться для попередньої ітерації. Це означає, що в порівнянні з послідовною моделлю необхідна додаткова ітерація декодування, яка використовується для перевірки синдрому останньої ітерації. Проте, за рахунок зменшення кількості кроків декодування на кожній ітерації пропускна спроможність збільшується.

Проведена реалізація паралельної та послідовної моделей обчислень за допомогою мови схемо технічного опису VHDL. Розрахункова пропускна здатність для декодерів на основі послідовної та паралельної моделей наведена на рисунку 1 (максимальна кількість ітерацій обрана рівною 10).

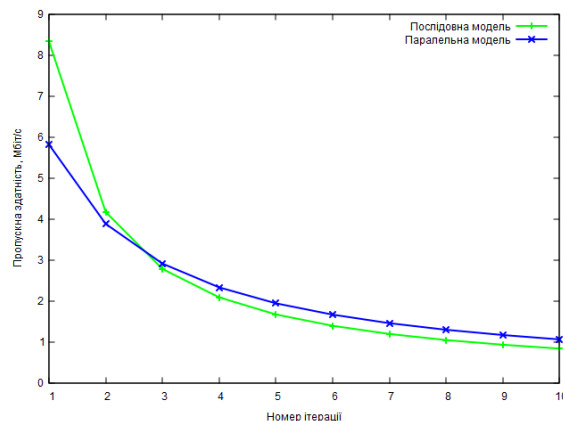


Рисунок 1 – Розрахункова пропускна здатність декодерів за ітераціями

Реалізація LDPC-декодерів та подальше порівняння пропускної здатності проводилось на основі матриці перевірки парності, що має 500 рядків, 1000 стовпців, а максимальна кількість значущих елементів у одному рядку матриці – 8.

Розроблена модель паралельного виконання операцій для алгоритму декодування мінімальної суми для LDPC-кодів з паралельним виконанням операцій обчислення значень повідомлень, перевірки синдрому, жорсткого декодування і значень вузлів перевірки дозволила підвищити швидкодію LDPC-декодеру. Практична реалізація показала, що при збільшенні кількості ітерацій збільшується пропускна здатність у порівнянні з послідовною реалізацією.

#### Список використаних джерел:

1. Radosavljevic, P., Baynast, A., Karkooti, M., Cavallaro, J.R. MULTI-RATE HIGH-THROUGHPUT LDPC DECODER: TRADEOFF ANALYSIS BETWEEN DECODING THROUGHPUT AND AREA / The 17th Annual IEEE International Symposium on Personal, Indoor and Mobile Radio Communications (PIMRC'06). – 2006.
2. Zhong, H., Xu, W., Xie, N., Zhang, T. Area-Efficient Min-Sum Decoder Design for High-Rate QC-LDPC Codes in Magnetic Recording, Magnetics, / IEEE Transactions on Volume 43, Issue 12. – Dec. 2007. – 4117-4122 pp.