



ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

УКРАЇНА

(19) **UA** (11) **71947** (13) **U**
(51) МПК
H03K 5/22 (2006.01)

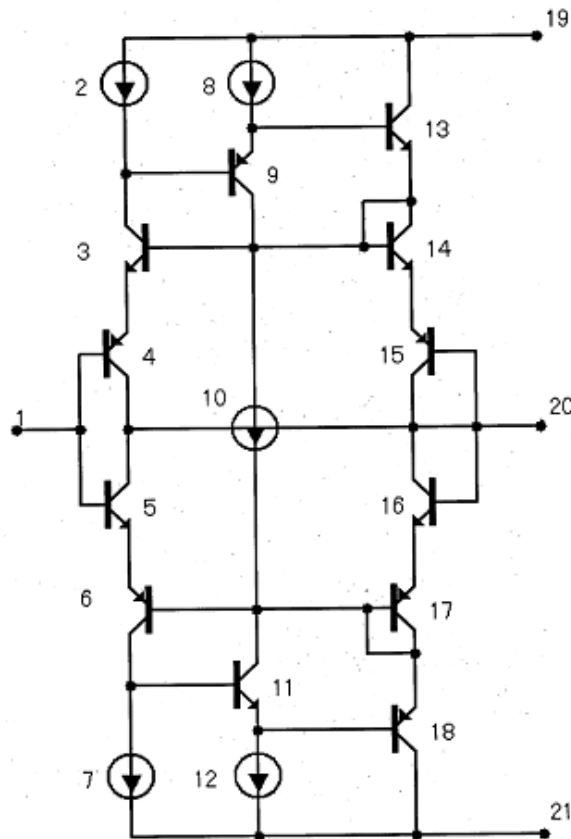
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2012 03212	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Богомолов Сергій Віталійович (UA), Росошук Анастасія Володимирівна (UA)
(22) Дата подання заявки: 19.03.2012	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 25.07.2012	
(46) Публікація відомостей про видачу патенту: 25.07.2012, Бюл.№ 14	

(54) БУФЕРНИЙ КАСКАД

(57) Реферат:

Буферний каскад містить транзистори, джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, колектори.



UA 71947 U

Корисна модель належить до імпульсної техніки і може бути використана в аналого-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо буферний пристрій (Бахтиаров Г.Д., Малинин В.В., Школин В.П. Аналого-цифровые преобразователи / Под ред. Г.Д. Бахтиарова. - М.: Советское радио, 1980. - 280 с. ил. Рис. 6.28 на сторінці 150), який містить вісім транзисторів, два джерела струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з колекторами третього та шостого транзисторів відповідно, колектор першого транзистора з'єднано з шиною додатного живлення через відповідні виводи першого джерела струму, колектор восьмого транзистора з'єднано з шиною від'ємного живлення через відповідні виводи другого джерела струму, бази другого та сьомого транзисторів з'єднано з базами та колекторами першого та восьмого транзисторів відповідно, емітери восьмого та п'ятого транзисторів об'єднано між собою та з'єднано з базою шостого транзистора, емітери першого та четвертого транзисторів об'єднано між собою та з'єднано з базою третього транзистора, колектори четвертого та п'ятого транзисторів з'єднано з колекторами шостого та третього транзисторів відповідно, емітери третього та шостого транзисторів об'єднано та з'єднано з вихідною шиною.

Основним недоліком аналога є низька точність, що викликано значною вихідною напругою зміщення нуля через неідентичність параметрів пар n-p-n та p-n-p транзисторів у верхньому та нижньому каналах.

За найближчий аналог вибрано буферний каскад (Патент України № 51014, Н03К 5/22, G05B 1/00, 2010 р.), який містить десять транзисторів, перше та друге джерело струму, шини додатного та від'ємного живлення, вхідну та вихідну шини причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, емітери першого та восьмого транзисторів з'єднано з емітерами четвертого та п'ятого транзисторів відповідно, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, а також з базами першого та восьмого транзисторів відповідно, емітери третього та шостого транзисторів з'єднано з емітерами дев'ятого та десятого транзисторів відповідно, другі виводи першого та другого джерела струму з'єднано з шиною додатного і від'ємного живлення відповідно, бази другого та сьомого транзисторів з'єднано з колекторами першого та восьмого транзисторів відповідно, а також з першими виводами першого та другого джерела струму відповідно, бази та колектори дев'ятого та десятого транзисторів об'єднано між собою, а також з колекторами четвертого та п'ятого транзисторів та з'єднано з вихідною шиною.

Недоліком найближчого аналога є низька точність, що обмежує галузь використання пристрою.

В основу корисної моделі поставлена задача створення буферного каскаду, в якому за рахунок введення нових елементів та зв'язків підвищується точність, це розширює галузь використання корисної моделі у різноманітних цифрових вимірювальних пристроях та аналого-цифрових перетворювачах.

Поставлена задача вирішується тим, що в буферний каскад, який містить десять транзисторів, перше та друге джерело струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, емітери першого та восьмого транзисторів з'єднано з емітерами четвертого та п'ятого транзисторів відповідно, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, а також з базами першого та восьмого транзисторів відповідно, емітери третього та шостого транзисторів з'єднано з емітерами дев'ятого та десятого транзисторів відповідно, другі виводи першого та другого джерела струму з'єднано з шиною додатного і від'ємного живлення відповідно, бази та колектори дев'ятого та десятого транзисторів об'єднано між собою, а також з колекторами четвертого та п'ятого транзисторів та з'єднано з вихідною шиною, введено одинадцятий та дванадцятий транзистори і третє, четверте, п'яте джерела струму, причому другі виводи третього та п'ятого джерела струму з'єднано з шиною додатного і від'ємного живлення відповідно, бази другого та сьомого транзисторів з'єднано з першими виводами третього та п'ятого джерела струму відповідно, а також з емітерами одинадцятого та дванадцятого транзисторів відповідно, бази одинадцятого та дванадцятого транзисторів з'єднано з колекторами першого та восьмого транзисторів відповідно, а також з першими виводами першого та другого джерела струму відповідно, колектори одинадцятого та дванадцятого

транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, а також з базами першого та восьмого транзисторів відповідно, а також з емітерами другого та сьомого транзисторів відповідно, а також з першими і другими виводами четвертого джерела струму відповідно.

5 На кресленні представлено принципову схему буферного каскаду.

Пристрій містить вхідну шину 1, яку з'єднано з базами четвертого 4 та п'ятого 5 транзисторів, емітери першого 3 та восьмого 6 транзисторів з'єднано з емітерами четвертого 4 та п'ятого 5 транзисторів відповідно, колектори другого 13 та сьомого 18 транзисторів з'єднано з шинами додатного 19 та від'ємного 21 живлення відповідно, емітери другого 13 та сьомого 18 транзисторів з'єднано з базами та колекторами третього 14 та шостого 17 транзисторів відповідно, а також з базами першого 3 та восьмого 6 транзисторів відповідно, а також з колекторами одинадцятого 9 та дванадцятого 11 транзисторів відповідно, а також з першими і другими виводами четвертого 10 джерела струму, емітери третього 14 та шостого 17 транзисторів з'єднано з емітерами дев'ятого 15 та десятого 16 транзисторів відповідно, другі виводи першого 2, третього 8 та другого 7, п'ятого 12 джерела струму з'єднано з шиною додатного 19 і від'ємного 21 живлення відповідно, бази та колектори дев'ятого 15 та десятого 16 транзисторів об'єднано між собою, а також з колекторами четвертого 4 та п'ятого 5 транзисторів та з'єднано з вихідною шиною 20, бази другого 13 та сьомого 18 транзисторів з'єднано з першими виводами третього 8 та п'ятого 12 джерела струму відповідно, а також з емітерами одинадцятого 9 та дванадцятого 11 транзисторів відповідно, бази одинадцятого 9 та дванадцятого 11 транзисторів з'єднано з колекторами першого 3 та восьмого 6 транзисторів відповідно, а також з першими виводами першого 2 та другого 7 джерела струму відповідно.

Буферний каскад працює таким чином.

25 Якщо напруга на вхідній шині 1 збільшується, то п'ятий 5 транзистор трохи відкривається, а четвертий 4 транзистор трохи закривається. При цьому напруга на емітерах четвертого 4, п'ятого 5, першого 3, восьмого 6 транзисторів зростає. Водночас зростають потенціали баз одинадцятого 9 та дванадцятого 11 транзисторів, а також емітерів другого 13 та сьомого 18 транзисторів. Потенціали точки об'єднання емітерів дев'ятого 15 та третього 14 транзисторів, а також десятого 16 та шостого 17 транзисторів відслідковує потенціали точок об'єднання емітерів першого 3 та четвертого 4 транзисторів, а також п'ятого 5 та восьмого 6 транзисторів відповідно. Підвищення потенціалу точок об'єднання емітерів дев'ятого 15 та третього 14 транзисторів, а також десятого 16 та шостого 17 транзисторів приводить до зростання потенціалу вихідної шини 20. Таким чином потенціал вихідної шини 20 відслідковує потенціал вхідної шини.

35 Якщо напруга на вхідній шині 1 зменшується, то п'ятий 5 транзистор трохи закривається, а четвертий 4 транзистор трохи відкривається. При цьому напруга на емітерах четвертого 4, п'ятого 5, першого 3, восьмого 6 транзисторів зменшується. Водночас зменшуються потенціали баз одинадцятого 9 та дванадцятого 11 транзисторів, а також емітерів другого 13 та сьомого 18 транзисторів. Потенціали точки об'єднання емітерів дев'ятого 15 та третього 14 транзисторів, а також десятого 16 та шостого 17 транзисторів відслідковує потенціали точок об'єднання емітерів першого 3 та четвертого 4 транзисторів, а також п'ятого 5 та восьмого 6 транзисторів відповідно. Зменшення потенціалу точок об'єднання емітерів дев'ятого 15 та третього 14 транзисторів, а також десятого 16 та шостого 17 транзисторів призводить до зменшення потенціалу вихідної шини 20. Таким чином потенціал вихідної шини 20 відслідковує потенціал вхідної шини.

Одинадцятий 9, другий 13 та дванадцятий 11, сьомий 18 транзистори утворюють складені транзистори Шиклаї, які забезпечують підвищення опорів колекторів другого 13 і сьомого 18 транзисторів відповідно, що зменшує вплив зміни напруги живлення схеми. Це у свою чергу підвищує точність роботи буферного каскаду.

50 Третє 8, четверте 10, п'яте 12 джерела струму задають режим роботи по постійному струму складених транзисторів Шиклаї.

Перше 2 та друге 7 джерела струму задають режим по постійному струму каскадів схеми.

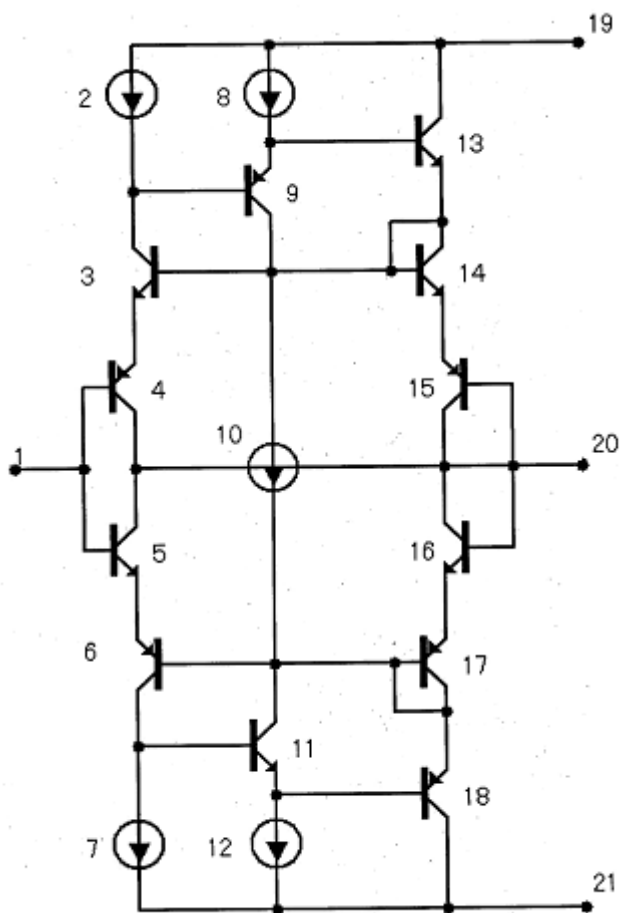
Перший 3, третій 14 та восьмий 6, шостий 17 транзистори утворюють відбивачі струму, які забезпечують збільшення навантажувальної здатності виходу схеми. Четвертий 4 та п'ятий 5 вхідні, а також дев'ятий 15 та десятий 16 вихідні транзистори слугують для передачі сигналу зі входу та на вихід схеми відповідно.

Шини додатного 19 і від'ємного 21 живлення забезпечують необхідний рівень напруг для живлення схеми.

60

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

Буферний каскад, який містить десять транзисторів, перше та друге джерело струму, шини додатного та від'ємного живлення, вхідну та вихідну шини, причому вхідну шину з'єднано з базами четвертого та п'ятого транзисторів, емітери першого та восьмого транзисторів з'єднано з емітерами четвертого та п'ятого транзисторів відповідно, колектори другого та сьомого транзисторів з'єднано з шинами додатного та від'ємного живлення відповідно, емітери другого та сьомого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, а також з базами першого та восьмого транзисторів відповідно, емітери третього та шостого транзисторів з'єднано з емітерами дев'ятого та десятого транзисторів відповідно, другі виводи першого та другого джерела струму з'єднано з шиною додатного і від'ємного живлення відповідно, бази та колектори дев'ятого та десятого транзисторів об'єднано між собою, а також з колекторами четвертого та п'ятого транзисторів та з'єднано з вихідною шиною, який **відрізняється** тим, що у нього введено одинадцятий та дванадцятий транзистори і третє, четверте, п'яте джерела струму, причому другі виводи третього та п'ятого джерела струму з'єднано з шиною додатного і від'ємного живлення відповідно, бази другого та сьомого транзисторів з'єднано з першими виводами третього та п'ятого джерела струму відповідно, а також з емітерами одинадцятого та дванадцятого транзисторів відповідно, бази одинадцятого та дванадцятого транзисторів з'єднано з колекторами першого та восьмого транзисторів відповідно, а також з першими виводами першого та другого джерела струму відповідно, колектори одинадцятого та дванадцятого транзисторів з'єднано з базами та колекторами третього та шостого транзисторів відповідно, а також з базами першого та восьмого транзисторів відповідно, а також з емітерами другого та сьомого транзисторів відповідно, а також з першими і другими виводами четвертого джерела струму відповідно.



Комп'ютерна верстка М. Ломалова

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601