



УКРАЇНА

(19) **UA** (11) **71304** (13) **U**
(51) МПК
Н03К 3/011 (2006.01)

ДЕРЖАВНА СЛУЖБА
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ
УКРАЇНИ

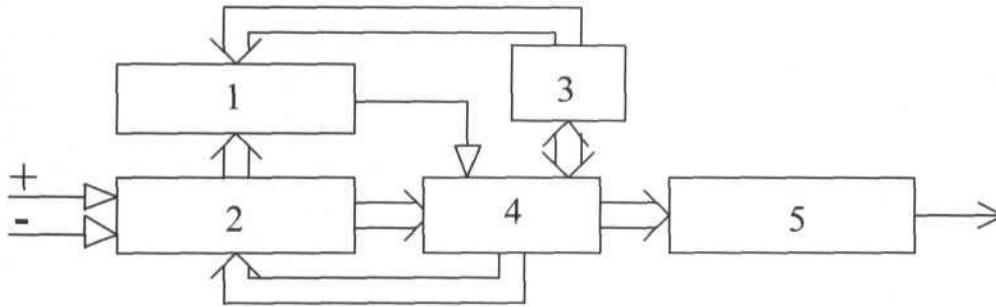
(12) ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

(21) Номер заявки: u 2011 15345	(72) Винахідник(и): Азаров Олексій Дмитрович (UA), Дудник Олександр Вікторович (UA), Кириленко Дмитро Олегович (UA)
(22) Дата подання заявки: 26.12.2011	(73) Власник(и): ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ, Хмельницьке шосе, 95, м. Вінниця, 21021 (UA)
(24) Дата, з якої є чинними права на корисну модель: 10.07.2012	
(46) Публікація відомостей про видачу патенту: 10.07.2012, Бюл.№ 13	

(54) ГЕНЕРАТОР КОМПЕНСУВАЛЬНОГО СИГНАЛУ

(57) Реферат:

Генератор компенсувального сигналу містить лічильник, блок пам'яті та цифро-аналоговий перетворювач, причому вхід лічильника є входом схеми, вихід блока пам'яті з'єднано з входом цифро-аналогового перетворювача, вихід якого є виходом схеми. Додатково введено цифрову схему порівняння та блок вибірки межових кодових комбінацій.



UA 71304 U

Корисна модель належить до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах.

Відомо схему прямого цифрового синтезу (A Technical Tutorial on Digital Synthesis [Електронний ресурс] / Analog Devices // офіційний сайт. Режим доступу: http://www.analog.com/static/importedfiles/tutorials/450968421_DDS_Tutorial_rev12-2-99.pdf. Рис. 1-1 на сторінці 6), яка містить лічильник, блок пам'яті, регістр та цифро-аналоговий перетворювач. Вхідні синхроімпульси подаються на лічильник та регістр. Вихід лічильника з'єднано з входом блока пам'яті, на який передається результат лічби, вихід блока пам'яті з'єднано з входом регістра, вихід регістра з'єднано з входом цифро-аналогового перетворювача, що відповідно до даних з регістра формує аналоговий сигнал.

Недоліком пристрою є вузькі функціональні можливості.

За прототип вибрано схему прямого цифрового синтезу (US patent 6539411 ВІ, Mar. 25, 2003), яка містить програматор, лічильник, блок пам'яті та цифро-аналоговий перетворювач, причому перший вхід лічильника є виходом програматора. Вхід лічильника є входом схеми. Вихід лічильника з'єднано з входом блока пам'яті, вихід блока пам'яті з'єднано з входом цифро-аналогового перетворювача, вихід цифро-аналогового перетворювача є виходом схеми.

Недоліком прототипу є вузькі функціональні можливості.

В основу корисної моделі поставлено задачу створення генератора компенсувального сигналу, в якому за рахунок введення нових елементів та зв'язків між ними змінюється характер генерування аналогового сигналу, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача вирішується тим, що в генератор, який містить лічильник, блок пам'яті та цифро-аналоговий перетворювач, причому вхід лічильника служить входом синхроімпульсів, а вихід лічильника з'єднано з входом блока пам'яті, вихід якого з'єднано з входом цифро-аналогового перетворювача, вихід якого є виходом схеми, введено цифрову схему порівняння та блок вибірки межових кодових комбінацій, причому перший вхід цифрової схеми порівняння з'єднано з виходом лічильника, її другий вхід з'єднано з першим виводом блока пам'яті, другий вивід блока пам'яті з'єднано з першим виводом блока вибірки межових кодових комбінацій, вихід цифрової схеми порівняння з'єднано з керуючим входом блока вибірки межових кодових комбінацій, перший вхід якого з'єднано з виходом лічильника, перший вивід блока вибірки межових кодових комбінацій з'єднано з входом лічильника, його другий вивід з'єднано з входом цифро-аналогового перетворювача.

На кресленні представлено принципову схему генератора компенсувального сигналу.

Пристрій містить лічильник 2, блок пам'яті 4, цифро-аналоговий перетворювач 5, цифрову схему порівняння 1 та блок вибірки межових кодових комбінацій 4, причому вхід лічильника 2 служить входом синхроімпульсів, перший вхід цифрової схеми порівняння 1 з'єднано з виходом лічильника 2, другий вхід схеми порівняння 1 з'єднано з першим виводом блока пам'яті 3, другий вивід блока пам'яті 3 з'єднано з першим виводом блока вибірки межових кодових комбінацій 4, вихід цифрової схеми порівняння 1 з'єднано з керуючим входом блока вибірки межових кодових комбінацій 4, перший вхід блока вибірки межових кодових комбінацій 4 з'єднано з виходом лічильника 2, перший вивід блока вибірки межових кодових комбінацій 4 з'єднано з входом лічильника 2, другий вивід блока вибірки межових кодових комбінацій з'єднано з входом цифро-аналогового перетворювача 5, вихід цифро-аналогового перетворювача є виходом схеми.

Пристрій працює таким чином.

Генерування аналогового компенсувального сигналу базується на використанні межових кодових комбінацій (КК). Причому межові кодові комбінації - це такі сусідні коди N_i та N_i' , аналогові еквіваленти яких відрізняються не більше, ніж на значення одного молодшого кванту ПФІ.

Коди N_i та N_i' - зберігаються у блоку пам'яті 3, на кожному кроці значення лічильника надходить на перший вхід цифрової схеми порівняння 1 і порівнюється із значенням коду, що надходить на другий вхід цифрової схеми порівняння 1 від блока пам'яті 3, результат роботи цифрової схеми порівняння 1 подається на керуючий вхід блока вибірки межових кодових комбінацій 4, якщо значення лічильника 2 відповідає значенню кодової комбінації, то тоді зміна значення лічильника 2 відбувається таким чином:

$$N_{i+1} = \begin{cases} N_i', & \text{якщо } N_i := N_i'; \\ N_i, & \text{якщо } N_i := N_i'; \end{cases}$$

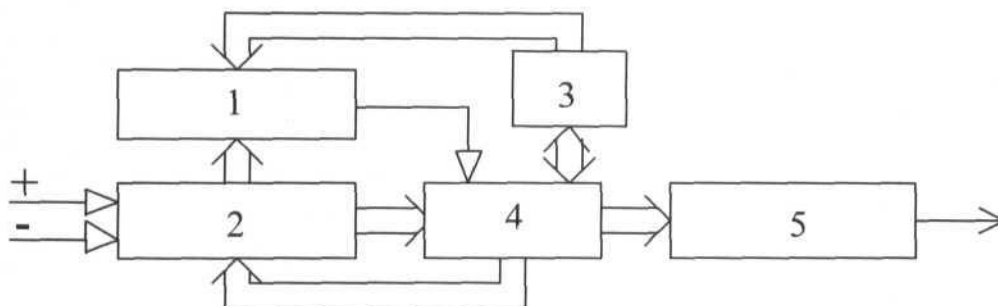
де N_i та N_{i+1} - поточний та наступний код у регістрі лічильного пристрою.

Якщо ж значення лічильника 2 не відповідає значенню кодової комбінації, то тоді зміна значення лічильника 2 відбувається за законом роботи лічильника 2.

Дані з виходу лічильника 2 через блок вибірки межових кодових комбінацій 4 подаються на вхід цифро-аналогового перетворювача 5. На виході цифро-аналогового перетворювача 5 формується вихідний компенсувальний сигнал.

ФОРМУЛА КОРИСНОЇ МОДЕЛІ

10 Генератор компенсувального сигналу, що містить лічильник, блок пам'яті та цифро-аналоговий перетворювач, причому вхід лічильника є входом схеми, вихід блока пам'яті з'єднано з входом цифро-аналогового перетворювача, вихід якого є виходом схеми, який **відрізняється** тим, що введено цифрову схему порівняння та блок вибірки межових кодових комбінацій, причому перший вхід цифрової схеми порівняння з'єднано з виходом лічильника, її другий вхід з'єднано з першим виводом блока пам'яті, другий вивід якого з'єднано з керуючим входом блока вибірки межових кодових комбінацій, вихід цифрової схеми порівняння з'єднано з керуючим входом блока вибірки межових кодових комбінацій, перший вихід блока якого з'єднано з виходом лічильника, перший вивід блока вибору межових кодових комбінацій з'єднано з входом лічильника, його другий вивід з'єднано з входом цифро-аналогового перетворювача.



Комп'ютерна верстка А. Крижанівський

Державна служба інтелектуальної власності України, вул. Урицького, 45, м. Київ, МСП, 03680, Україна

ДП "Український інститут промислової власності", вул. Глазунова, 1, м. Київ – 42, 01601