



УКРАЇНА

(19) UA (11) 20246 (13) U
(51) МПК (2007)
H03K 5/00
G05B 1/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ВХІДНИЙ ПРИСТРІЙ СХЕМИ ПОРІВНЯННЯ СТРУМІВ

1

2

(21) u200607987

(22) 17.07.2006

(24) 15.01.2007

(46) 15.01.2007, Бюл. № 1, 2007 р.

(72) Азаров Олексій Дмитрович, Лукащук Олександр Олександрович, Богомолов Сергій Віталійович, Гарнага Володимир Анатолійович, Решетнік Олександр Олександрович

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) Вхідний пристрій схеми порівняння струмів, який містить два вхідні транзистори, шини додатного живлення, шини від'ємного живлення, шини нульового потенціалу, двадцять вісім транзисторів, перший та другий вихідні транзистори, один резистор, шини входу, шини виходу, причому емітери першого і другого транзисторів з'єднано з шиною нульового потенціалу, їх колектори з'єднано з колекторами тринадцятого і чотирнадцятого транзисторів відповідно, а їх бази з'єднано з базами першого і другого вхідних транзисторів відповідно, бази тринадцятого і чотирнадцятого транзисторів з'єднано з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, їх емітери - з базами п'ятнадцятого і шістнадцятого транзисторів відповідно, а також з колекторами сімнадцятого і вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднано з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднано з базами і колекторами п'ятого і шостого транзисторів відповідно, а також з базами сімнадцятого і вісімнадцятого транзисторів відповідно, а також з базами сьомого і восьмого транзисторів відповідно, колектор третього, емітер п'ятого, емітер сімнадцятого, емітер сьомого транзисторів з'єднані з шиною додатного живлення, колектор четвертого, емітер шостого, емітер вісімнадцятого, емітер восьмого транзисторів з'єднані з шиною від'ємного живлення, емітери першого і другого вхідних транзисторів з'єднані з першим виводом першого резистора, а також з емітером двадцять шостого та з базою і колектором двадцять сьомого транзисторів, а також з вхідною шиною, колектори першого і другого вхідних транзисторів з'єднані з колекторами сьомого і восьмого транзисторів відповідно, а також базами дев'ятого і деся-

того транзисторів відповідно, емітери дев'ятого і десятого транзисторів з'єднано з колекторами дев'ятнадцятого і двадцятого транзисторів відповідно, а також з базами двадцять третього і двадцять четвертого транзисторів відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднано з базами та колекторами двадцять першого і двадцять другого транзисторів відповідно, а також з емітерами двадцять третього і двадцять четвертого транзисторів відповідно, емітери дев'ятнадцятого і двадцять першого транзисторів з'єднано з шиною додатного живлення, емітери двадцять і двадцять другого з'єднано з шиною від'ємного живлення, колектори двадцять третього і двадцять четвертого транзисторів з'єднано з колекторами та базами одинадцятого і дванадцятого транзисторів відповідно, а також з колектором і базою двадцять п'ятого та з емітером двадцять восьмого транзисторів відповідно, а також з базами першого і другого вихідних транзисторів відповідно, емітер двадцять п'ятого транзистора з'єднано з колектором і базою двадцять шостого транзистора, емітер двадцять сьомого транзистора з'єднано з колектором і базою двадцять восьмого транзистора, емітери одинадцятого і дванадцятого транзисторів об'єднано, колектори першого і другого вихідних транзисторів з'єднано з шинами додатного і від'ємного живлення відповідно, емітери першого і другого вихідних транзисторів об'єднано та з'єднано з другим виводом першого резистора, а також з вхідною шиною, який відрізняється тим, що в нього введено вісім транзисторів та три джерела струму, причому перший і другий виводи першого джерела струму з'єднані з базами тринадцятого і чотирнадцятого транзисторів відповідно, та з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, перший і другий виводи другого джерела струму з'єднано з базами першого, тридцять третього, першого вхідного та другого, тридцять четвертого, другого вхідного транзисторів відповідно, а також з емітерами двадцять дев'ятого і тридцять другого транзисторів відповідно, бази двадцять дев'ятого і тридцять другого транзисторів з'єднано з колекторами тринадцятого і першого та другого і чотирнадцятого транзисторів відповідно, їх колектори з'єднано з шинами додатного і від'ємного живлення відповідно, емітери тридцять третього і

UA (19) 20246 (13) U

тридцять четвертого транзисторів об'єднано, колектори тридцять третього і тридцять четвертого з'єднано з базами і колекторами тридцять першого і тридцять другого транзисторів відповідно, а також з базами тридцять п'ятого і тридцять шостого транзисторів відповідно, емітери тридцять п'ятого і тридцять шостого з'єднано з колекторами сьомого і першого вхідного та восьмого і другого вхідного транзисторів відповідно, а також з базами дев'ятого і десятого транзисторів відповідно, емітери три-

дцять першого і тридцять п'ятого транзисторів з'єднано з шиною додатного живлення, емітери тридцять другого і тридцять шостого транзисторів з'єднано з шиною від'ємного живлення, перший і другий виводи третього джерела струму з'єднано з емітерами дев'ятого і десятого транзисторів відповідно, а також з колекторами дев'ятнадцятого і двадцятого транзисторів відповідно, а також з базами двадцять третього і двадцять четвертого транзисторів відповідно.

Корисна модель відноситься до імпульсної техніки і може бути використана в аналогово-цифрових перетворювачах і цифрових вимірювальних приладах.

Відомо вхідний пристрій схеми порівняння струмів [А.с. №1529434 СССР, Н03К5/24, G05B1/01, 1987], який містить чотири, резистора, два вхідних транзистора, двадцять два транзистора, два вихідних транзистора, шину додатного живлення, шину від'ємного живлення, вхідну та вихідну шини, шину нульового потенціалу, два діоди, які ввімкнено зустрічно та паралельно. До вхідної шини підключені перші виводи першого резистора і двох зустрічно включених діодів а також емітер першого вхідного транзистора, емітер другого вхідного транзистора, база якого з'єднана з базою і колектором першого транзистора і з базою другого транзистора, емітер якого з'єднаний з колектором третього транзистора, а колектор - з першими виводами другого і третього резисторів, шиною нульового потенціалу, емітерами першого і четвертого транзисторів і з колектором п'ятого транзистора, емітер якого з'єднаний з колектором шостого транзистора, а база - з колектором і базою четвертого транзистора і базою першого вхідного транзистора, колектор якого з'єднаний з базою дванадцятого транзистора, колектор якого з'єднаний з колектором і базою восьмого транзистора і базами п перших вихідних транзисторів, колектори яких з'єднані з шиною додатного живлення, емітерами сьомого і шостого транзисторів, емітером дев'ятого транзистора, колектор і база якого з'єднані між собою, базою шостого транзистора і першим виводом четвертого резистора, другий вивід якого з'єднаний з колектором і базою десятого транзистора і базою третього транзистора, емітер якого з'єднаний з шиною від'ємного живлення, емітером десятого транзистора, колекторами п других вихідних транзисторів і емітером одинадцятого транзистора, база якого з'єднана з колектором другого вхідного транзистора, а колектор - з колектором і базою дванадцятого транзистора і базами п других вихідних транзисторів, емітери яких з'єднані з другим виводом третього резистора, вихідною шиною, емітерами п перших вихідних транзисторів і другим виводом першого резистора і двох ввімкнених зустрічно та паралельно діодів, емітери восьмого і дванадцятого транзисторів з'єднані між собою і другим виводом другого резистора, а база третього транзистора -

з базою тринадцятого транзистора, колектор якого з'єднаний з емітером чотирнадцятого транзистора, база якого з'єднана з базою п'ятнадцятого транзистора, з колектором і базою шістнадцятого транзистора, емітер якого з'єднаний з шиною додатного живлення, емітерами сімнадцятого і вісімнадцятого, колектором чотирнадцятого і емітером п'ятнадцятого транзисторів, колектор п'ятнадцятого транзистора з'єднаний з колектором першого вхідного транзистора, колектор сімнадцятого транзистора з'єднаний з колектором шостого транзистора, а база - з базою шостого і вісімнадцятого транзисторів, колектор вісімнадцятого транзистора з'єднаний з емітером дев'ятнадцятого транзистора, база якого з'єднана з базою двадцятого транзистора, колектором і базою двадцять першого транзистора, емітер якого з'єднаний з шиною від'ємного живлення, емітерами тринадцятого і двадцять другого транзисторів, з колектором дев'ятнадцятого транзистора і з емітером двадцятого транзистора, колектор якого з'єднаний з колектором другого вхідного транзистора, колектор двадцять другого транзистора з'єднаний з колектором третього транзистора, база двадцять другого транзистора - з базою третього транзистора.

До недоліків слід віднести велику статичну адитивну похибку, яка обумовлена великим вхідним струмом зміщення нуля і великою вхідною напругою зміщення нуля, що призводить до зниження швидкодії.

За прототип обрано вхідний пристрій схеми порівняння струмів [А.с. №13110 Н03К5/24, G05B1/01, 2006] який містить вхідну шину яка з'єднана з емітерами першого та другого вхідних транзисторів, їх бази - з колекторами та базами першого і другого транзисторів, та з колекторами тринадцятого і чотирнадцятого транзисторів, колектори першого і другого вхідних транзисторів з'єднані з колекторами сьомого і восьмого транзисторів і базами дев'ятого і десятого транзисторів, емітери першого і другого транзисторів з'єднані з шиною нульового потенціалу, бази тринадцятого і чотирнадцятого транзисторів з'єднані з колекторами п'ятнадцятого і шістнадцятого та з першим і другим виводами другого резистора відповідно, а емітери тринадцятого і чотирнадцятого транзисторів з'єднані з базами п'ятнадцятого і шістнадцятого та колекторами сімнадцятого та вісімнадцятого транзисторів від-

повідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднані з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднані з базами і колекторами п'ятого і шостого, базами сімнадцятого та вісімнадцятого, базами сьомого і восьмого транзисторів відповідно, колектори третього і четвертого, емітери п'ятого і шостого, емітери сімнадцятого та вісімнадцятого, емітери сьомого і восьмого транзисторів з'єднані з шинами додатного і від'ємного живлення відповідно, колектори дев'ятого та десятого транзисторів з'єднані з шиною нульового потенціалу, а їх емітери - з колекторами дев'ятнадцятого і двадцятого та базами двадцять третього і двадцять четвертого транзисторів відповідно, тоді як бази дев'ятнадцятого і двадцятого транзисторів з'єднані з базами і колекторами двадцять першого і двадцять другого та емітерами двадцять третього і двадцять четвертого транзисторів відповідно, емітери дев'ятнадцятого і двадцятого та двадцять першого і двадцять другого транзисторів з'єднані з шинами додатного і від'ємного живлення відповідно, колектори двадцять третього і двадцять четвертого транзисторів з'єднані з колекторами і базами одинадцятого і дванадцятого транзисторів, а також з базами першого і другого вихідних транзисторів відповідно, крім того колектор двадцять третього транзистора підключений до колектора і бази двадцять п'ятого транзистора, а колектор двадцять четвертого з'єднаний з емітером двадцять восьмого транзистора, емітери одинадцятого і дванадцятого транзисторів об'єднані між собою, колектори першого та другого вихідних транзисторів приєднані до шин додатного та від'ємного живлення відповідно, а їх емітери об'єднані між собою та є виходом пристрою, чотири транзистори, з двадцять п'ятого по двадцять восьмий, включені у діодному режимі, тобто з'єднані їх бази та колектори, і ці транзистори з'єднані послідовно: емітер двадцять п'ятого з'єднано з базою і колектором двадцять шостого, емітер двадцять шостого з'єднано з базою і колектором двадцять сьомого, емітер двадцять сьомого з'єднано з базою і колектором двадцять восьмого, а точка об'єднання емітера двадцять шостого транзистора та бази і колектора двадцять сьомого транзистора з'єднана з шиною вхідного сигналу, вихідна шина з'єднана з вхідною шиною через перший резистор та з шиною нульового потенціалу через третій резистор.

Недоліком прототипу є виникнення значних динамічних похибок за умови збільшення рівня вхідного сигналу, що обмежує динамічний діапазон вхідного сигналу.

В основу корисної моделі поставлено задачу створення вхідного пристрою схеми порівняння струмів, в якому за рахунок введення нових елементів та зв'язків між ними зменшується похибка зсуву нуля за умови змінення напруги живлення, це розширює галузь використання корисної моделі у різноманітних пристроях імпульсної та обчислювальної техніки, автоматики тощо.

Поставлена задача досягається тим, що у вхідній пристрій схеми порівняння струмів, який містить два вхідні транзистори, шину додатного

живлення, шину від'ємного живлення, шину нульового потенціалу, двадцять вісім транзисторів, перший та другий вихідні транзистори, один резистор, шину входу, шину виходу, причому емітери першого і другого транзисторів з'єднані з шиною нульового потенціалу, їх колектори з'єднані з колекторами тринадцятого і чотирнадцятого транзисторів відповідно, а їх бази з'єднані з базами першого і другого вхідних транзисторів відповідно, бази тринадцятого і чотирнадцятого транзисторів з'єднані з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, їх емітери - з базами п'ятнадцятого і шістнадцятого транзисторів відповідно, а також з колекторами сімнадцятого і вісімнадцятого транзисторів відповідно, емітери п'ятнадцятого і шістнадцятого транзисторів з'єднані з емітерами третього і четвертого транзисторів відповідно, бази третього і четвертого транзисторів з'єднані з базами і колекторами п'ятого і шостого транзисторів відповідно, а також з базами сімнадцятого і вісімнадцятого транзисторів відповідно, а також з базами сьомого і восьмого транзисторів відповідно, колектор третього, емітер п'ятого, емітер сімнадцятого, емітер сьомого транзисторів з'єднані з шиною додатного живлення, колектор четвертого, емітер шостого, емітер вісімнадцятого, емітер восьмого транзисторів з'єднані з шиною від'ємного живлення, емітери першого і другого вхідних транзисторів з'єднані з першим виводом першого резистора, а також з емітером двадцять шостого та з базою і колектором двадцять сьомого транзисторів, а також з вхідною шиною, колектори першого і другого вхідних транзисторів з'єднані з колекторами сьомого і восьмого транзисторів відповідно, а також базами дев'ятого і десятого транзисторів відповідно, емітери дев'ятого і десятого транзисторів з'єднані з колекторами дев'ятнадцятого і двадцятого транзисторів відповідно, а також з базами двадцять третього і двадцять четвертого транзисторів відповідно, бази дев'ятнадцятого і двадцятого транзисторів з'єднані з базами та колекторами двадцять першого і двадцять другого транзисторів відповідно, а також з емітерами двадцять третього і двадцять четвертого транзисторів відповідно, емітери дев'ятнадцятого і двадцять першого транзисторів з'єднані з шиною додатного живлення, емітери двадцять четвертого і двадцять другого з'єднані з шиною від'ємного живлення, колектори двадцять третього і двадцять четвертого транзисторів з'єднані з колекторами та базами одинадцятого і дванадцятого транзисторів відповідно, а також з колектором і базою двадцять шостого транзистора, емітер двадцять сьомого транзистора з'єднано з колектором і базою двадцять восьмого транзистора, емітери одинадцятого і дванадцятого транзисторів об'єднані, колектори першого і другого вихідних транзисторів з'єднані з шинами додатного і від'ємного живлення відповідно, емітери першого і другого вихідних транзисторів об'єднані та з'єднані з другим виводом першого

резистора, а також з вихідною шиною, введено вісім транзисторів та три джерела струму, причому перший і другий виводи першого джерела струму з'єднані з базами тринадцятого і чотирнадцятого транзисторів відповідно, та з колекторами п'ятнадцятого і шістнадцятого транзисторів відповідно, перший і другий виводи другого джерела струму з'єднано з базами першого, тридцять третього, першого вхідного та другого, тридцять четвертого, другого вхідного транзисторів відповідно, а також з емітерами двадцять дев'ятого і тридцятього транзисторів відповідно, бази двадцять дев'ятого і тридцятього транзисторів з'єднано з колекторами тринадцятого і першого та другого і чотирнадцятого транзисторів відповідно, їх колектори з'єднано з шинами додатного і від'ємного живлення відповідно, емітери тридцять третього і тридцять четвертого транзисторів об'єднано, колектори тридцять третього і тридцять четвертого з'єднано з базами і колекторами тридцять першого і тридцять другого транзисторів відповідно, а також з базами тридцять п'ятого і тридцять шостого транзисторів відповідно, емітери тридцять п'ятого і тридцять шостого з'єднано з колекторами сьомого і першого вхідного та восьмого і другого вхідного транзисторів відповідно, а також з базами дев'ятого і десятого транзисторів відповідно, емітери тридцять першого і тридцять п'ятого транзисторів з'єднано з шиною додатного живлення, емітери тридцять другого і тридцять шостого транзисторів з'єднано з шиною від'ємного живлення, перший і другий виводи третього джерела струму з'єднано з емітерами дев'ятого і десятого транзисторів відповідно, а також з колекторами дев'ятнадцятого і двадцятього транзисторів відповідно, а також з базами двадцять третього і двадцять четвертого транзисторів відповідно.

На кресленні (див. Фіг.) представлено принципіву схему вхідного пристрою схеми порівняння струмів.

Пристрій містить перше джерело струму 3, яке своїми виводами з'єднане з колекторами п'ятнадцятого 2 і шістнадцятого 4 транзисторів відповідно та базами тринадцятого 9 і чотирнадцятого 12 транзисторів відповідно, бази п'ятнадцятого 2 і шістнадцятого 4 транзисторів з'єднані з емітерами тринадцятого 9 і чотирнадцятого 12 транзисторів відповідно та з колекторами сімнадцятого 8 і вісімнадцятого 13 транзисторів відповідно, емітери п'ятнадцятого 2 і шістнадцятого 4 транзисторів з'єднані з емітерами третього 1 і четвертого 5 транзисторів відповідно, бази третього 1 і четвертого 5 транзисторів з'єднані з колекторами і базами п'ятого 6 і шостого 7 транзисторів відповідно, а також з базами сімнадцятого 8 і вісімнадцятого 13 транзисторів відповідно, а також з базами сьомого 17 і восьмого 18 транзисторів відповідно, колектори тринадцятого 9 і чотирнадцятого 12 транзисторів з'єднані з базами двадцять дев'ятого 14 і тридцятього 16 транзисторів відповідно, а також з колекторами першого 10 і другого 11 транзисторів відповідно, колектор третього 1, емітер п'ятого 6, емітер сімнадцятого 8, колектор двадцять дев'ятого 14, емітер сьомого 17 транзисторів з'єднані з шиною додатного

живлення 46, колектор четвертого 5, емітер шостого 7, емітер вісімнадцятого 13, колектор тридцятього 16, емітер восьмого 18 транзисторів з'єднані з шиною від'ємного живлення 48, емітер першого 10 транзистора з'єднаний з емітером другого 11 транзистора та шиною нульового потенціалу 49, емітери двадцять дев'ятого 14 і тридцятього 16 транзисторів з'єднані з виводами другого джерела струму 15, а також з базами першого 10, тридцять третього 20, першого вхідного 24 та другого 11, тридцять четвертого 21, другого вхідного 25 транзисторів відповідно, емітери тридцять третього 20 і тридцять четвертого 21 об'єднані між собою, їх колектори з'єднані з базами і колекторами тридцять першого 19 і тридцять другого 22 транзисторів відповідно, а також з базами тридцять п'ятого 23 і тридцять шостого 26 транзисторів відповідно, колектори першого вхідного 24 і другого вхідного 25 транзисторів з'єднані з колекторами сьомого 17 і тридцять п'ятого 23 та восьмого 18 і тридцять шостого 26 транзисторів відповідно, а також з базами дев'ятого 27 і десятого 29 транзисторів відповідно, емітери першого 24 і другого 25 вхідних транзисторів об'єднані між собою і з'єднані з емітером двадцять шостого 34 та базою і колектором двадцять сьомого 35 транзисторів, а також з вхідною шиною 45 та з першим виводом першого резистора 32, емітери тридцять першого 19, тридцять п'ятого 23 і колектор дев'ятого 27 транзисторів з'єднано з шиною додатного живлення 46, емітери тридцять другого 22, тридцять шостого 26 і колектор десятого 29 транзисторів з'єднано з шиною від'ємного живлення 48, третє джерело струму 28 своїми виводами з'єднано з емітерами дев'ятого 27 і десятого 29 транзисторів відповідно, а також колекторами дев'ятнадцятого 30 і двадцятього 31 транзисторів відповідно, а також з базами двадцять третього 38 і двадцять четвертого 41 транзисторів відповідно, бази дев'ятнадцятого 30 і двадцятього 31 транзисторів з'єднані з базами і колекторами двадцять першого 37 і двадцять другого 42 транзисторів відповідно, а також з емітерами двадцять третього 38 і двадцять четвертого 41 транзисторів відповідно, колектор двадцять третього 38 транзистора з'єднано з базами і колекторами двадцять п'ятого 33 і одинадцятого 39 та з базою першого вхідного 43 транзисторів, емітер двадцять четвертого 41 транзистора з'єднано з емітером двадцять восьмого 36 та базою і колектором дванадцятого 40 транзисторів, а також з другим вихідним 44 транзистором, емітери одинадцятого 39 і дванадцятого 40 транзисторів об'єднані між собою, емітери двадцять п'ятого 33 і двадцять сьомого 35 транзисторів з'єднано з базами і колекторами двадцять шостого 34 і двадцять восьмого 36 транзисторів відповідно, емітери дев'ятнадцятого 30 і двадцять першого 37 транзисторів та колектор першого вхідного 43 транзистора з'єднано з шиною додатного живлення 46, емітери двадцятього 31 і двадцять другого 42 транзисторів та колектор другого вихідного 44 транзистора з'єднано з шиною від'ємного живлення 48, емітери першого 43 і другого 44 вихідних транзисторів об'єднані між

собою і з'єднано з другим виводом першого резистора 32, а також з вихідною шиною 47.

Пристрій працює таким чином.

Вхідний сигнал у вигляді струму поступає на вхідну шину 45. Якщо вхідний струм втікає у схему, то другий вхідний 25 транзистор привідкривається, а перший вхідний 24 прикривається. У цьому випадку десятий 29 транзистор прикривається, а дев'ятий 27 транзистор привідкривається, при цьому частина струму, яка поступає від третього джерела струму 28 на вхід відбивача струму побудованого на двадцятomu 31, двадцять другому 42, двадцять четвертому 41 транзисторах збільшується, а частина струму, яка поступає від третього джерела струму 28 на вхід відбивача струму побудованого на дев'ятнадцятому 30, двадцять першому 37, двадцять третьому 38 транзисторах зменшується. При цьому колекторний струм двадцять третього 38 транзистора зменшується, а двадцять четвертого 41 транзистора збільшується. При цьому потенціал точки об'єднання емітерів одинадцятого 39 та дванадцятого 40 транзисторів зменшується і прямує у від'ємну зону напруги. Оскільки потенціал виходу схеми повторює потенціал одинадцятого 39 та дванадцятого 40 транзисторів, то і напруга на виході схеми також прямує у від'ємну зону. Напруга на виході схеми стає від'ємною.

Якщо вхідний струм витікає зі схеми, то перший вхідний 24 транзистор привідкривається, а другий вхідний 25 прикривається. У цьому випадку дев'ятий 27 транзистор прикривається, а десятий 29 транзистор привідкривається, при цьому частина струму, яка поступає від третього джерела струму 28 на вхід відбивача струму побудованого на дев'ятнадцятому 30, двадцять першому 37, двадцять третьому 38 транзисторах збільшується, а частина струму, яка поступає від третього джерела струму 28 на вхід відбивача струму побудованого на двадцятomu 31, двадцять другому 42, двадцять четвертому 41 транзисторах зменшується. При цьому колекторний струм двадцять четвертого 41 транзистора зменшується, а двадцять третього 38 транзистора збільшується. При цьому потенціал точки об'єднання емітерів одинадцятого 39 та дванадцятого 40 транзисторів збільшується і прямує у додатну зону напруги. Оскільки потенціал виходу схеми повторює потенціал одинадцятого 39 та дванадцятого 40 транзисторів, то і напруга на виході схеми також прямує у додатну зону. Напруга на виході схеми стає додатною.

Для забезпечення потрібної робочої точки вхідного каскаду схеми побудованого на першому 24 і другому 25 вхідних транзисторах у схему введено тридцять третій 20 і тридцять четвертий 21 транзистори, через колектори яких протікає наскрізний струм, що рівний колекторним тринадцятого 9 і чотирнадцятого 12 транзисторів.

$$I_{k20} = I_{k9}$$

$$I_{k21} = I_{k12},$$

де I_{k9} , I_{k12} - колекторні струми транзисторів 9 та 12 відповідно, I_{k20} , I_{k21} - колекторні струми транзисторів 20 та 21 відповідно.

Колекторний струм тридцять четвертого 21 транзистора відбитий через струмове дзеркало,

яке побудоване на тридцять другому 22 та тридцять шостому 26 транзисторах, компенсує колекторний струм другого вхідного 25 транзистора. Колекторний струм тридцять третього 20 транзистора відбитий через струмове дзеркало, яке побудоване на тридцять першому 19 і тридцять п'ятому 23 транзисторах, компенсує колекторний струм першого вхідного 24 транзистора. Відбивачі струму на сьомому 17 та восьмому 18 транзисторах задають базові струми дев'ятого 27 та десятого 29 транзисторів відповідно. Вказана конфігурація схем зміщення робочої точки забезпечує з одного боку завдання потрібного режиму по постійному струму дев'ятого 27 та десятого 29 транзисторів, а з іншого забезпечує передачу приростів вхідного струму $\Delta I_{вх}$ на бази дев'ятого 27 та десятого 29 транзисторів. Введення двадцять дев'ятого 14 та тридцятого 16 транзисторів забезпечує разом з другим джерелом струму 15 зменшення вихідного опору джерел напруг зміщення побудованих на першому 10 та двадцять дев'ятому 14, а також другому 11 та тридцятому 16 транзисторах відповідно.

Якщо напруга на виході схеми зменшується і входить у від'ємну зону, то двадцять сьомий 35 і двадцять восьмий 36 транзистори у діодному вмиканні привідкриваються, а двадцять п'ятий 33 та двадцять шостий 34 транзистори у діодному вмиканні прикриваються, при цьому струм, який подається на вхід схеми, компенсується колекторним струмом двадцять четвертого 41 транзистора.

Якщо напруга на виході зростає і потрапляє у додатну зону, то двадцять п'ятий 33 та двадцять шостий 34 транзистори прикриваються і компенсують струм, який втікає із входу схеми. Амплітуда зміщення напруги на виході схеми при малих $\Delta I_{вх}$ визначається через формулу:

$$\Delta U_{вих} = \Delta I_{вх} R_{32}$$

де R_{32} - опір резистора зворотного зв'язку.

В міру зростання $I_{вх}$ характер змінення $U_{вих}$ визначається диференційними опорами двадцять п'ятого 33, двадцять шостого 34, двадцять сьомого 35, двадцять восьмого 36 транзисторів у діодному вмиканні.

Мінімізація похибки зміщення нуля по входу підсилювача у вигляді або $\Delta I_{вх0}$ або $\Delta U_{вх0}$ досягається таким чином. За допомогою двоярусних схем відбивачів струму, а саме побудованих на третьому 1, п'ятому 6, сімнадцятому 8, п'ятнадцятому 2, тринадцятому 9 транзисторах а також четвертому 5, шостому 7, вісімнадцятому 13, шістнадцятому 4, чотирнадцятому 12 транзисторах, на перший 10 та другий 11 транзистори, які з двадцять дев'ятим 14 та тридцятим 16 транзисторами є давачами струму, подаються струми відповідно I' :

$$I' = I_{k9} \approx I_{3M} \left(\frac{1}{\beta_{p-n-p}} + \frac{1}{\beta_{n-p-n}} \right),$$

а також I'' :

$$I'' = I_{k12} \approx I_{3M} \left(\frac{1}{\beta_{p-n-p}} + \frac{1}{\beta_{p-n-p}} \right),$$

де I_{k9} , I_{k12} - колекторні струми транзисторів 9 та 12 відповідно, $I_{зм}$ - струм зміщення першого джерела струму 3.

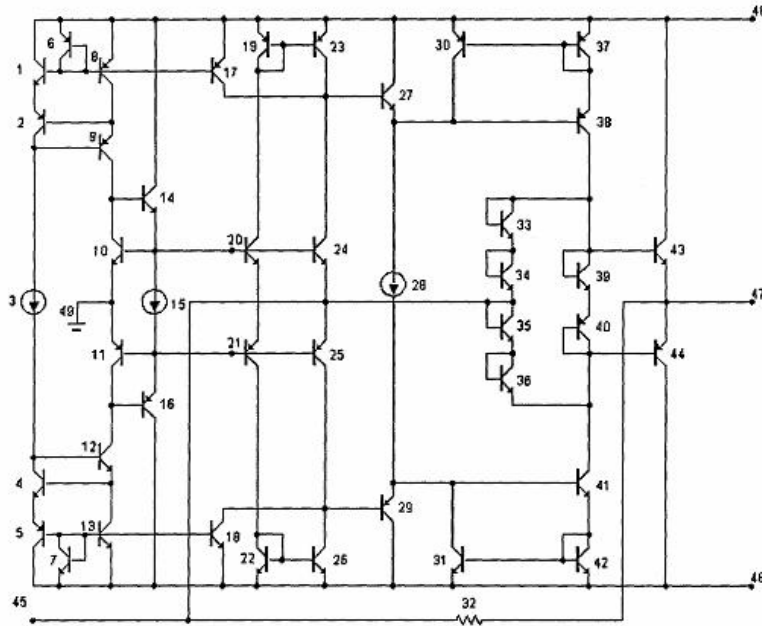
Тобто $I_{k9} \approx I_{k12}$. Позначимо

$I_{k9} \approx I_{k12} \approx I_{зм} \left(\frac{1}{\beta_{n-p-n}} + \frac{1}{\beta_{p-n-p}} \right)$. Тоді струм

спкою вхідного каскаду, побудованого на вхід-

них транзисторах 24, 25 буде дорівнювати $I_{спкою} \approx I_{зм}$.

Оскільки струм спокою вхідних транзисторів 24, 25 дорівнює I_{k9} і I_{k12} , то падіння напруг на базових р-п переходах $U_{бе 24} = U_{бе 10}$, а $U_{бе 25} = U_{бе 11}$. Таким чином $\Delta U_{вх}$ мінімізується, прямуючи до нуля.



Фіг.