



УКРАЇНА

(19) UA (11) 20360 (13) U  
(51) МПК  
G06F 7/08 (2007.01)

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під  
відповідальність  
власника  
патенту

(54) СОРТУВАЛЬНА НЕЙРОМЕРЕЖА

1

2

(21) u200608612

(22) 31.07.2006

(24) 15.01.2007

(46) 15.01.2007, Бюл. № 1, 2007 р.

(72) Мартинюк Тетяна Борисівна, Васильєва Тетяна Миколаївна, Власійчук Валентина Валеріївна

(73) ВІННИЦЬКИЙ НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ

(57) 1. Сортувальна нейромережа, яка містить обчислювальну частину, що складається з двох блоків, причому другі входи першого блока обчислювальної частини з'єднані з входами початкових установчих значень пристрою, виходи першого блока обчислювальної частини з'єднані з входами її другого блока, які є входами вектора підстановки, інформаційні входи другого блока обчислювальної частини з'єднані з входами початкового вектора даних пристрою, яка **відрізняється** тим, що містить настроювану частину, яка складається з селектора кодів і аналізатора реакцій, інформаційні входи селектора кодів з'єднані з входами початкового вектора даних пристрою, а його виходи з'єднані з інформаційними входами аналізатора реакцій, виходи якого з'єднані з першими входами першого блока обчислювальної частини, який містить комутатор та пам'ять рангів, причому виходи матриці ваги першого блока обчислювальної частини підключені до адресних входів його комутатора та адресних входів селектора кодів настроюваної частини, інформаційні входи комутатора та пам'яті рангів є відповідно першими і другими входами першого блока обчислювальної частини, а виходи комутатора з'єднані попарно з входами інкремента/декремента пам'яті рангів, вхід скиду пристрою підключений до відповідних входів пам'яті рангів першого блока обчислювальної частини і аналізатора реакцій настроюваної частини, який також підключений до шини тактових імпульсів та входів керування відповідно непарними і парними циклами сортування пристрою, останні з'єднані також з відповідними входами комутатора першого блока обчислювальної частини, аналіза-

тор реакцій настроюваної частини має вихід сигналу "Кінець" пристрою, який підключений до входу дозволу зчитування другого блока обчислювальної частини, інформаційні виходи якого є виходами елемента відсортованого вектора даних пристрою.

2. Сортувальна нейромережа за п.1, яка **відрізняється** тим, що селектор кодів настроюваної частини містить  $n$  шифраторів,  $n$  демультимплексорів та  $n$  елементів АБО, причому його  $i$ -й  $m$ -розрядний інформаційний вхід, де  $i = \overline{1, n}$ ,  $m$  - розрядність елементів вхідного вектора даних, підключений до  $m$ -розрядного інформаційного входу  $i$ -го демультимплексора, його  $i$ -й  $n$ -розрядний адресний вхід рядка матриці ваги підключений до  $n$ -розрядного інформаційного входу  $i$ -го шифратора,  $p$ -розрядний вихід якого, де  $p = \log_2 n$ , підключений до адресного входу  $i$ -го демультимплексора,  $j$ -й  $m$ -розрядний вихід якого, де  $j = \overline{1, n}$ , з'єднаний з відповідним входом  $j$ -го елемента АБО,  $m$ -розрядний вихід якого є  $j$ -м інформаційним виходом селектора кодів.

3. Сортувальна нейромережа за п.1, яка **відрізняється** тим, що другий блок обчислювальної частини містить  $n$  мультиплексорів та  $m$  елементів АБО, де  $m$  - розрядність елементів вхідного вектора даних, причому його  $i$ -й  $m$ -розрядний інформаційний вхід, де  $i = \overline{1, n}$  підключений до  $m$ -розрядного інформаційного входу  $i$ -го мультиплексора, а його вхід  $i$ -го розряду вектора підстановки підключений до адресного входу  $i$ -го мультиплексора, вхід дозволу всіх мультиплексорів підключений до виходу сигналу "Кінець" пристрою, який є входом дозволу зчитування другого блока обчислювальної частини,  $(l+1)$ -й вихід  $i$ -го мультиплексора підключений до відповідного входу  $(l+1)$ -го елемента АБО, де  $l = \overline{0, m-1}$ , вихід якого є виходом  $l$ -го розряду елемента відсортованого вектора даних пристрою.

UA (19) 20360 (13) U

Корисна модель відноситься до обчислювальної техніки і може бути використана для сортування великих масивів даних.

Відома систолічна матриця розміром  $n \times n$  [Зарубежная радиоэлектроника, 1987, №7, с.16, рис.86], де  $n$  - кількість елементів сортування, яка складається з простих комірок порівняння, обміну та затримки і реалізує алгоритм сортування послідовності  $n$  чисел за  $n$  кроків, причому на кожному непарному кроці всі непарні елементи послідовності порівнюються зі своїми сусідніми парними елементами і міняють місцями, якщо попередній непарний елемент більше наступного парного елемента, а на кожному парному кроці всі парні елементи послідовності порівнюються зі своїми сусідніми непарними елементами і міняють місцями, якщо попередній парний елемент більше наступного непарного елемента.

Недоліком даної систолічної матриці є апаратні витрати, оскільки використовується матриця розміром  $n \times n$  комірок.

Відома систолічна матриця розміром  $n \times (n/2)$  [Вишенчук Й.М., Черкаський Н.В. Алгоритмические операционные устройства и суперЭВМ. - К.: Техника, 1990, с.129, рис.3.43д], де  $n$  - кількість елементів сортування, кожна комірка якої містить по два регістри на вході та виході елемента, схему порівняння двох багаторозрядних чисел і дві схеми І-АБО, причому кожні дві сусідні комірки ряду з'єднані між собою і зміщені відносно пари комірок сусіднього нижчого ряду.

Недоліком даної систолічної матриці є апаратні витрати, оскільки використовується матриця розміром  $n \times (n/2)$  комірок.

Найбільш близькою за технічною суттю є сортувальна нейромережа [Автометрия, 1993, №3, с.30, рис.3], що містить навчальну частину, входи якої з'єднані з входами початкового вектора даних, та обчислювальну частину, що складається з двох блоків, причому виходи навчальної частини з'єднані з першими входами першого блока обчислювальної частини, другі входи першого блока якої з'єднані з входами початкових установчих значень пристрою, виходи першого блока обчислювальної частини з'єднані з входами її другого блока, які є входами вектора підстановки, а також підключені до других входів першого блока, інформаційні входи другого блока обчислювальної частини з'єднані з входами початкового вектора даних, а його інформаційні виходи є виходами відсортованого вектора даних пристрою.

Недоліком даної сортувальної нейромережі є значні апаратні витрати, які складають  $O(n^2)$  елементів, де  $n$  - розмірність вхідного вектора даних.

В основу корисної моделі поставлена задача створення сортувальної нейромережі, в якій за рахунок введення нових вузлів та нових зв'язків між ними досягається можливість зменшення апаратних витрат.

Поставлена задача вирішується тим, що у сортувальну нейромережу, яка містить обчислювальну частину, що складається з двох блоків, причому другі входи першого блока обчислювальної частини з'єднані з входами початкових установчих значень пристрою, виходи першого блока обчис-

лювальної частини з'єднані з входами її другого блока, які є входами вектора підстановки, інформаційні входи другого блока обчислювальної частини з'єднані з входами початкового вектора даних пристрою, введена налаштовувальна частина, яка складається з селектора кодів і аналізатора реакцій, інформаційні входи селектора кодів з'єднані з входами початкового вектора даних пристрою, а його виходи з'єднані з інформаційними входами аналізатора реакцій, виходи якого з'єднані з першими входами першого блока обчислювальної частини, який містить комутатор та пам'ять рангів, причому виходи матриці ваги першого блока обчислювальної частини підключені до адресних входів його комутатора та адресних входів селектора кодів налаштовувальної частини, інформаційні входи комутатора та пам'яті рангів є відповідно першими і другими входами першого блока обчислювальної частини, а виходи комутатора з'єднані попарно з входами інкремента/декремента пам'яті рангів, вхід скиду пристрою підключений до відповідних входів пам'яті рангів першого блока обчислювальної частини і аналізатора реакцій налаштовувальної частини, який також підключений до шини тактових імпульсів та входів керування відповідно непарними і парними циклами сортування пристрою, останні з'єднані також з відповідними входами комутатора першого блока обчислювальної частини, аналізатор реакцій налаштовувальної частини має вихід сигналу "Кінець" пристрою, який підключений до входу дозволу зчитування другого блока обчислювальної частини, інформаційні виходи якого є виходами елемента відсортованого вектора даних пристрою.

На Фіг.1 представлена структурна схема сортувальної нейромережі, на Фіг.2 - функціональна схема аналізатора реакцій, на Фіг.3 - функціональна схема селектора кодів, на Фіг.4 - функціональна схема другого блока обчислювальної частини, на Фіг.5 - приклад сортування послідовності чисел (19 35 12 0 49 27) з ранжуванням.

Сортувальна нейромережа (Фіг.1) містить налаштовувальну частину 1, яка складається з селектора кодів 2 та аналізатора реакцій 3, та обчислювальну частину 4, яка складається з блоків 5 і 6. Інформаційні входи  $7_1, \dots, 7_n$  селектора кодів 2, де  $n$  - розмірність вхідного вектора даних, з'єднані з входами  $8_1, \dots, 8_n$  початкового вектора даних пристрою, виходи селектора кодів 2 з'єднані з інформаційними входами  $9_1, \dots, 9_n$  аналізатора реакцій 3, виходи  $10_1, \dots, 10_k$  якого, де  $K = \lfloor n/2 \rfloor$  - кількість пар елементів, які порівнюються, з'єднані з входами  $11_1, \dots, 11_k$  блока 5 обчислювальної частини 4, який містить комутатор 12 та пам'ять рангів 13. Вихід аналізатора реакцій 3, який підключений до входу дозволу зчитування блока 6 обчислювальної частини 4, є виходом 14 сигналу "Кінець" пристрою, а інформаційні входи пам'яті рангів 13 блока 5 обчислювальної частини 4 з'єднані з входами  $15_1, \dots, 15_m$  початкових установчих значень пристрою, інформаційні входи  $16_1, \dots, 16_n$  блока 6 обчислювальної частини 4 з'єднані з входами  $8_1, \dots, 8_n$  початкового вектора даних пристрою, а його інформаційні виходи є виходами  $17_1, \dots, 17_m$  елемента

відсортованого вектора даних пристрою, де  $m$  - розрядність елементів вхідного вектора даних.

Виходи  $18_{11}, \dots, 18_{nn}$  матриці ваги пам'яті рангів 13 блока 5 обчислювальної частини 4 підключені до адресних входів  $19_{11}, \dots, 19_{nn}$  блока 5, які є адресними входами його комутатора 12, і до адресних входів  $20_{11}, \dots, 20_{nn}$  селектора кодів 2 налаштовувальної частини 1, а виходи  $21_1, \dots, 21_n$  підключені до входів вектора підстановки блока 6 обчислювальної частини 4. Крім того, виходи комутатора 12 з'єднані попарно з входами  $22_1, \dots, 22_{2n}$  інкремента/декремента пам'яті рангів 13 блока 5 обчислювальної частини 4, вхід скиду якого підключений до відповідного входу аналізатора реакцій 3 налаштовувальної частини 1 і до входу 23 скиду пристрою, шина 24 тактових імпульсів та входи 25, 26 керування відповідно непарними і парними циклами сортування пристрою підключені до відповідних входів аналізатора реакцій 3 налаштовувальної частини 1, крім того, входи 25, 26 керування відповідно непарними і парними циклами сортування пристрою з'єднані також з відповідними входами комутатора 12 блока 5 обчислювальної частини 4.

Аналізатор реакцій 3 налаштовувальної частини 1 сортувальної нейромережі (Фіг.2) містить  $K$  блоків порівняння  $27_1, \dots, 27_k$ , де  $K = \lceil n/2 \rceil$  - кількість пар елементів, які порівнюють, причому  $k$ -й блок

порівняння  $27_k$ , де  $k = \overline{1, K}$ , складається з двох мультиплексорів 28, 29, елемента порівняння 30, трьох інформаційних входів  $9_{2k-1}, 9_{2k}, 9_{2k+1}$  та виходу  $10_k$ . Мультиплексор 28 містить два елементи I 31 і 32, елемент АБО 33. Мультиплексор 29 містить два елементи I 34 і 35, елемент АБО 36. Елемент порівняння 30 містить два елементи HI 37 і 38, два елементи I 39 і 40, два елементи АБО 41 і 42, три D-тригера 43, 44 і 45. Крім того, аналізатора реакцій 3 містить елемент затримки 46 і елемент АБО-НІ 47, вихід якого є виходом, який з'єднаний з виходом 14 сигналу "Кінець" пристрою.

У мультиплексорі 28 перший вхід елементів I 31 і 32 з'єднаний відповідно з входом  $9_{2k-1}$  і  $9_{2k}$   $k$ -го блока порівняння  $27_k$ , другий вхід елемента I 31 з'єднаний з входом 25 керування непарними циклами сортування пристрою, другий вхід елемента I 32 з'єднаний з входом 26 керування парними циклами сортування пристрою, виходи елементів I 31 і 32 з'єднані з входами елемента АБО 33, вихід якого є виходом мультиплексора 28. У мультиплексорі 29 перший вхід елементів I 34 і 35 з'єднаний відповідно з входом  $9_{2k}$  і  $9_{2k+1}$   $k$ -го блока порівняння  $27_k$ , другий вхід елемента I 34 з'єднаний з входом 25 керування непарними циклами сортування пристрою, другий вхід елемента I 35 з'єднаний з входом 26 керування парними циклами сортування пристрою, виходи елементів I 34 і 35 з'єднані з входами елемента АБО 36, вихід якого є виходом мультиплексора 29. У елемента порівняння 30 вихід мультиплексора 28 з'єднаний з входом елемента HI 37 і третім входом елемента I 40, вихід мультиплексора 29 з'єднаний з входом елемента HI 38 і першим входом елемента I 39, вихід елементів HI 37 і 38 з'єднаний відповідно з другим входом елементів I 39 і 40, третій вхід елемента I 39 підключений до інверсного виходу D-тригера 44, перший вхід елемента I 40 підключений до ін-

версного виходу D-тригера 43. Перший вхід елементів АБО 41 і 42 підключений відповідно до прямого виходу D-тригерів 43 і 44, а другий вхід підключений до виходу елементів I 39 і 40 відповідно, R-вхід D-тригерів 43, 44 і 45 підключений до входу 23 скиду пристрою, C-вхід D-тригерів 43 і 44 підключений до шини 24 тактових імпульсів. D-вхід D-тригерів 43 і 44 з'єднаний відповідно з виходом елемента АБО 41 і 42, D-вхід D-тригера 45 підключений до прямого виходу D-тригера 44, прямий вихід D-тригера 45 з'єднаний з виходом  $10_k$   $k$ -го блока порівняння  $27_k$ . Крім того, вхід елемента затримки 46 підключений до шини 24 тактових імпульсів, а вихід підключений до C-входу D-тригера 45 елемента порівняння 30 всіх блоків порівняння  $27_1, \dots, 27_k$ , входи елемента АБО-НІ 47 з'єднані з виходами  $10_k$  всіх блоків порівняння  $27_1, \dots, 27_k$ , а вихід є виходом аналізатора реакцій 3 налаштовувальної частини 1, який з'єднаний з виходом 14 сигналу "Кінець" пристрою.

Селектор кодів 2 налаштовувальної частини 1 сортувальної нейромережі (Фіг.3) містить  $n$  шифраторів  $48_1, \dots, 48_n$ ,  $n$  демультимплексорів  $49_1, \dots, 49_n$  та  $n$  елементів АБО  $50_1, \dots, 50_n$ , причому  $m$ -

розрядний інформаційний вхід  $7_i$ ,  $i = \overline{1, n}$ ,  $m$  - розрядність елементів вхідного вектора даних, селектора кодів 2 налаштовувальної частини 1 підключений до  $m$ -розрядного інформаційного входу демультимплексора  $49_i$ , його  $n$ -розрядний адресний вхід  $20_i$  як рядок матриці ваги підключений до  $n$ -розрядного інформаційного входу шифратора  $48_i$ ,  $r$ -розрядний вихід якого підключений до адресного входу демультимплексора  $49_i$ ,  $r = \log_2 n$ . Крім того,  $j$ -й  $m$ -розрядний вихід демультимплексора  $49_i$  з'єднаний з відповідним входом елемента АБО  $50_j$ ,  $j = \overline{1, n}$ ,  $m$ -розрядний вихід якого з'єднаний з інформаційним входом 9, аналізатора реакцій 3 налаштовувальної частини 1.

Блок 6 обчислювальної частини 4 (Фіг.4) містить  $n$  мультиплексорів  $51_1, \dots, 51_n$  та  $m$  елементів АБО  $52_1, \dots, 52_m$ , де  $m$  - розрядність елементів вхідного вектора даних, причому  $t$ -розрядний інформаційний вхід  $16_i$ ,  $i = \overline{1, n}$ , блока 6 обчислювальної частини 4 підключений до  $t$ -розрядного інформаційного входу мультиплексора  $51_i$ , його вхід  $21_i$   $i$ -го розряду вектора підстановки  $v_i$  підключений до адресного входу мультиплексора  $51_i$ ,  $j = \overline{1, n}$ . Вхід дозволу мультиплексорів  $51_1, \dots, 51_n$  підключений до виходу 14 сигналу "Кінець" пристрою, який є входом дозволу зчитування блока 6 обчислювальної частини 4, його  $(l+1)$ -й вихід підключений до відповідного входу елемента АБО  $52_{l+1}$ ,  $l = 0, m-1$ , вихід якого є виходом  $17_{l+1}$   $l$ -го розряду  $j$ -го елемента  $X_j^N(l)$  відсортованого вектора даних пристрою.

Сортувальна нейромережа (Фіг.1) функціонує в такий спосіб.

На початку роботи на вхід 23 скиду пристрою подається одиничний сигнал, який встановлює у початковий (нульовий) стан елементи пам'яті аналізатора реакцій 3 налаштовувальної частини 1 і пам'яті рангів 13 блока 5 обчислювальної частини 4. Перед сортуванням на інформаційні входи па-

м'яті рангів 13 блока 5 обчислювальної частини 4 подається матриця розмірністю  $n \times n$ , де  $n$  - розмірність вхідного вектора даних, з входів  $15_{11}, \dots, 15_{nn}$  початкових установчих значень пристрою, яка являє собою початкову матрицю ваги  $G^0 = \{g_{011}, \dots, g_{0nn}\}$ , виду

$$G^0 = \begin{pmatrix} 100\dots 0 \\ 010\dots 0 \\ \dots \\ 000\dots 1 \end{pmatrix}, \quad (1)$$

тобто всім елементам вхідного вектора даних пристрою присвоюються ранги, які відповідають номерам їх позицій у векторі, наприклад, представляють натуральний ряд чисел, записаних в одиничному позиційному коді (1). Вектор-рядки  $g_{0i}$ ,  $i = \overline{1, n}$ , матриці ваги  $G^0$  подаються на адресні входи  $20_{11}, \dots, 20_{nn}$  селектора кодів 2 налаштовувальної частини 1 і на адресні входи  $19_{11}, \dots, 19_{nn}$  блока 5 обчислювальної частини 4 з виходів  $18_{11}, \dots, 18_{nn}$  матриці ваги пам'яті рангів 13 блока 5 обчислювальної частини 4. Одночасно на інформаційні входи  $7_1, \dots, 7_n$  налаштовувальної частини 1 з входів  $8_1, \dots, 8_n$  початкового вектора даних пристрою подається вхідний вектор даних виду  $x = \{x_1, \dots, x_i, \dots, x_n\}$ ,  $i = \overline{1, n}$ . На виходах селектора кодів 2 налаштовувальної частини 1 у  $t$ -му циклі оброблення формується вихідний (поточний) вектор  $x^t$  вигляду:

$$x^t \leftarrow \overline{G^{t-1}} x, \quad t = \overline{1, N}, \quad (2)$$

де  $N$  - кількість циклів сортування. Формула (2) є аналітичною формою подання операції формування (вибірки) елементів  $x_i^t$  поточного вектора  $x^t$  з елементів вхідного вектора  $x$  за адресою, яку представляють вектор-рядки  $g_i^{t-1}$  матриці ваги  $G^{t-1}$  у  $t$ -му циклі сортування. В аналізаторі реакцій 3 налаштовувальної частини 1 формується група пар із сусідніх елементів поточного вектора  $x^t$  даних незалежно від кількості  $n$  елементів вектора за таким правилом:

а) у всіх непарних циклах кожна пара елементів складається з елементів  $(2k-1)$ -х і  $2k$ -х позицій поточного вектора даних, де  $k = \overline{1, K}$ ;  $K = \lfloor n/2 \rfloor$  - кількість пар елементів, які порівнюють;

б) у всіх парних циклах кожна пара елементів складається з елементів  $2k$ -х і  $(2k+1)$ -х позицій поточного вектора даних.

Отже, вихідний вектор  $x^t$  селектора кодів 2 налаштовувальної частини 1 подається на інформаційні входи  $9_1, \dots, 9_n$  аналізатора реакцій 3 налаштовувальної частини 1, який являє собою групу  $K$  бінарних нейронів з пороговою функцією вигляду:

$$q_k = \begin{cases} 1, \text{ якщо } x_{2k-1}^t > x_{2k}^t & \text{у непарних циклах і } x_{2k}^t > x_{2k+1}^t & \text{у парних циклах,} \\ 0, \text{ якщо } x_{2k-1}^t \leq x_{2k}^t & \text{у непарних циклах і } x_{2k}^t \leq x_{2k+1}^t & \text{у парних циклах,} \end{cases} \quad (3)$$

де  $k = \overline{1, K}$ ;  $K = \lfloor n/2 \rfloor$  - кількість пар елементів, які порівнюють. В результаті на виходах  $10_1, \dots, 10_K$  аналізатора реакцій 3 налаштовувальної частини 1 формується вектор зв'язків  $q^t = \{q_1^t, \dots, q_K^t\}$ , який подається на інформаційні входи  $11_1, \dots, 11_K$  комутатора 12 блока 5 обчислювальної частини 4. Одночасно, перевіряється умова відсутності будь-якої зміни рангів у всіх парах елементів, про що свідчить поява одиничного сигналу на виході 14

сигналу "Кінець" пристрою. Якщо ця умова виконується і це не перший цикл, то процес сортування закінчується; якщо ця умова не виконується, а також якщо це перший цикл, то комутатор 12 формує два вектори:  $q^{t+} = \{q_1^{t+}, \dots, q_n^{t+}\}$  і  $q^{t-} = \{q_1^{t-}, \dots, q_n^{t-}\}$  вигляду:

$$\begin{cases} q^{t+} = q \cdot G_p^{t-1} \\ q^{t-} = q \cdot G_{p+1}^{t-1} \end{cases} \quad (4)$$

де  $G^{t-1}$  - матриця ваги, яка формується у  $(t-1)$ -му циклі сортування, крім початкової матриці ваги  $G^0$ ;  $q^{t+}$ ,  $q^{t-}$  - вихідні вектори, які призводять відповідно до збільшення/зменшення на одиницю (або відповідно до інкремента/декремента) рангів елементів поточного вектора даних;  $p$ ,  $p+1$  - відповідно парні та непарні стовпці матриці ваги.

Вихідні вектори  $q^{t+}$  і  $q^{t-}$  комутатора 12 блока 5 обчислювальної частини 4 подаються на входи  $22_1, \dots, 22_{2n}$  інкремента/декремента пам'яті рангів 13 блока 5 обчислювальної частини 4, де за результатом порівняння (3) у кожній парі елементів виконують такі дії:

а) якщо елемент молодшої позиції менший за значенням, ніж елемент старшої позиції у парі, то ранги елементів не змінюють;

б) якщо елемент молодшої позиції більший за значенням, ніж елемент старшої позиції у парі, то ранги змінюють таким чином: ранг елемента молодшої позиції збільшують на одиницю, ранг елемента старшої позиції зменшують на одиницю.

Отже, на виходах  $18_{11}, \dots, 18_{nn}$  матриці ваги пам'яті рангів 13 блока обчислювальної частини 4 в результаті ітераційного процесу у  $t$ -му циклі формується вектор-рядки матриці ваги  $G^t$  які знов подаються на адресні входи  $20_{11}, \dots, 20_{nn}$  селектора кодів 2 налаштовувальної частини 1 і адресні входи  $19_{11}, \dots, 19_{nn}$  комутатора 12 блока 5 обчислювальної частини 4 у всіх  $(t+1)$ -х циклах оброблення, крім першого, оскільки тоді на цих виходах були зафіксовані вектор-рядки початкової матриці ваги  $G^0$ .

По закінченні процесу сортування ( $t=N$ ), тобто при наявності одиничного сигналу на виході 14 пристрою з виходів  $21_1, \dots, 21_n$  пам'яті рангів 13 на входи блока 6 обчислювальної частини 2 подається вектор підстановки  $v_j = \{v_{1j}, \dots, v_{nj}\}$ , який є  $j$ -м вектор-стовпцем матриці ваги  $G^N$ , значення одиниці елемента  $v_{ij}$  якого відповідає адресі  $j$ -го елемента у відсортованому векторі даних. На інформаційні входи  $16_1, \dots, 16_n$  блока 6 обчислювальної частини 4, який є вихідним селектором кодів, подається вхідний вектор  $x$  даних, а на його інформаційному виході 17 послідовно формується  $t$ -розрядні елементи вектора  $x^N = \{x_1^N, \dots, x_j^N, \dots, x_n^N\}$ . Отже, у блоці 6 реалізується вибірка (формування) елементів  $x_j^N$  результуючого вектора  $x^N$  з елементів вхідного вектора  $x$  за адресою вектора підстановки  $v_j$ , яку представляють вектор-стовпці матриці ваги  $G^N$   $v_j = g_{ij}^N$ , виду

$$x_j^N \leftarrow \overline{v_j} x, \quad (5)$$

де  $v_j = g_{ij}^N$ ;  $i, j = \overline{1, n}$ ,  $i \neq j$ . Таким чином виконується зчитування елементів відсортованого вектора да-

них за зростанням числових значень його елементів.

Аналізатор реакції 3 налаштовувальної частини 1 сортувальної мережі (Фіг.2) функціонує в такий спосіб.

На початку роботи одиничним сигналом з входу 23 скиду пристрою встановлюються у початковий (нульовий) стан D-тригери 43, 44 і 45 елемента порівняння 30 кожного k-го блока порівняння

$27_k$  аналізатора реакцій 3, де  $k = \overline{1, K}$ ,  $K = \lfloor n/2 \rfloor$  - кількість пар елементів, які порівнюють. Кожний блок порівняння  $27_k$  є бінарним нейроном, який працює за правилом (3). Порівняння починають зі старших розрядів кожного елемента  $x_i^t$  поточного вектора  $x^t$  даних, які розглядають як відповідні операнди. Оскільки у кожному циклі в аналізаторі реакцій 3 виконують однотипні операції, то в подальшому в аналітичних формулах в цьому випадку доцільно відмовитись від індексу t.

Мультиплексори 28 і 29 блока порівняння  $27_k$  формують пару операндів, які порівнюють. В непарному циклі, тобто при наявності одиничного сигналу на вході 25 керування непарними циклами сортування пристрою, однойменні l-ті розряди елементів  $x_{2k-1,l}$  та  $x_{2k,l}$  вектора x даних подаються на входи відповідно елементів l 31 і 34 та з'являються на виходах елементів АБО 33 і 36 мультиплексорів 28 і 29 відповідно. У парному циклі, тобто при наявності одиничного сигналу на вході 26 керування парними циклами сортування пристрою, однойменні l-ті розряди елементів  $x_{2k,l}$  та  $x_{2k+1,l}$  вектора x даних подаються на входи відповідно елементів l 32 і 35 та з'являються на виходах відповідно елементів АБО 33 і 36 мультиплексорів 28 і 29 відповідно.

Крім l-тих розрядів операндів  $x_{2k-1,l}$ ,  $x_{2k,l}$  та  $x_{2k+1,l}$ , які подаються на інформаційні входи  $9_{2k-1}$ ,  $9_{2k}$  та  $9_{2k+1}$  блока  $27_k$ , в порівнянні операндів приймають участь дві допоміжні змінні  $a_l$  та  $b_l$  відповідно, значення яких обчислюються за допомогою рекурентних співвідношень:

а) для непарних циклів сортування

$$a_l = a_{l+1} \vee (\overline{x_{2k-1,l}} x_{2k,l} \overline{b_{l+1}}) \quad (6)$$

$$b_l = b_{l+1} \vee (x_{2k-1,l} \overline{x_{2k,l}} \overline{a_{l+1}}) \quad (7)$$

б) для парних циклів сортування

$$a_l = a_{l+1} \vee (\overline{x_{2k,l}} x_{2k+1,l} \overline{b_{l+1}}) \quad (8)$$

$$b_l = b_{l+1} \vee (x_{2k,l} \overline{x_{2k+1,l}} \overline{a_{l+1}}) \quad (9)$$

де  $l = m-1, 0$ , m - кількість розрядів операндів;  $a_{l+1}$  - значення змінної з порівняння попереднього (l+1)-го розряду, що зберігається в D-тригері 43 елемента порівняння 30;  $b_{l+1}$  - значення змінної з порівняння попереднього (l+1)-го розряду, що зберігається в D-тригері 44 елемента порівняння 30 кожного блока порівняння  $27_k$ .

У непарному циклі на входи елементів НІ 37 і 38 елемента порівняння 30 кожного блока порівняння  $27_k$  подаються відповідно l-ті однойменні розряди елементів  $x_{2k-1,l}$  та  $x_{2k,l}$  вектора x даних, на виходах яких отримують відповідно їхні інверсні значення  $\overline{x_{2k-1,l}}$  та  $\overline{x_{2k,l}}$ , які подаються на вхід відповідно елементів l 39 і 40. На виході елементів

l 39 і 40 отримують відповідні добутки  $(\overline{x_{2k-1,l}} x_{2k,l} \overline{b_{l+1}})$  та  $(x_{2k-1,l} \overline{x_{2k,l}} \overline{a_{l+1}})$ , які подаються на вхід елементів АБО 41 і 42, на виході яких отримують відповідні змінні  $a_l$  (6) та  $b_l$  (7). Ці змінні записують у D-тригери 43 і 44 відповідно з кожним тактовим імпульсом, що надходить з шини 24 тактових імпульсів.

Аналогічні дії виконують у парних циклах сортування для формування змінних  $a_l$  (8) та  $b_l$  (9).

При наявності тактового імпульсу на виході елемента затримки 46, який подається на С-вхід D-тригера 45 елемента порівняння 30, на його виході отримують значення порогової функції  $q_k$  (3) після порівняння останнього 0-го розряду відповідних елементів вектора x даних.

В якості початкових значень одиничним сигналом на вході 23 скиду пристрою задають  $a_m = b_m = 0$ , оскільки встановлюють у нульовий стан D-тригери 43 і 44 елементів порівняння 30. Нехай  $x_{2k-1,m-1} = 1$ ,  $x_{2k,m-1} = 0$ . В цьому випадку з формул (6), (7) для непарних циклів сортування випливає, що для всіх  $l \leq m-1$   $a_l = 0$ ,  $b_l = 1$  і на виході  $10_k$  блока порівняння  $27_k$  отримують значення порогової функції  $q_k = 1$  за виразом (3). Якщо, навпаки,  $x_{2k-1,m-1} = 0$ ,  $x_{2k,m-1} = 1$ , то для всіх  $l \leq m-1$  виконується умова  $a_l = 1$ ,  $b_l = 0$ , і на виході  $10_k$  блока порівняння  $27_k$  отримують значення порогової функції  $q_k = 0$  за виразом (3). Може виявитись, що  $x_{2k-1,m-1} = x_{2k,m-1} = 0$  або  $x_{2k-1,m-1} = x_{2k,m-1} = 1$ , тоді  $a_l = b_l = 0$  і порівняння операндів потрібно подовжити, аналізуючи молодші розряди. Аналогічні дії повторюють з розрядами  $x_{2k-1,m-2}$  і  $x_{2k,m-2}$  і т.д., поки в результаті порівняння наймолодших розрядів не будуть обчислені значення  $a_0$  і  $b_0$ . Якщо  $a_0 = 1$ ,  $b_0 = 0$ , то  $x_{2k-1} > x_{2k}$ , і на виході  $10_k$  блока порівняння  $27_k$  отримують значення порогової функції  $q_k = 1$ , при  $a_0 = 0$ ,  $b_0 = 1$ ,  $a_0 = b_0 = 1$  або  $a_0 = b_0 = 0$  на виході  $10_k$  отримують значення порогової функції  $q_k = 0$  з урахуванням виразу (3).

Аналогічні дії виконують у парних циклах сортування.

Елемент АБО-НІ 47 аналізатора реакцій 3 налаштовувальної частини 1, вихід якого є виходом 14 сигналу "Кінець" пристрою, формує одиничний сигнал, якщо значення всіх порогових функцій  $q_k = 0$ , що є ознакою закінчення процесу сортування.

Селектор кодів 2 налаштовувальної частини 1 сортувальної мережі (Фіг.3) функціонує в такий спосіб.

На m-розрядні інформаційні входи  $7_1, \dots, 7_n$  селектора кодів 2 налаштовувальної частини 1, які підключені відповідно до t-розрядних інформаційних входів демультимплексорів  $49_1, \dots, 49_n$ , подається вхідний вектор x даних. На адресні входи  $20_{11}, \dots, 20_{nn}$  селектора кодів 2, які підключені відповідно до n-розрядних інформаційних входів шифраторів  $48_1, \dots, 48_n$ , подаються вектор-рядки  $g_i^{t-1}$ ,  $i = \overline{1, n}$ , матриці ваги  $G^{t-1}$ , яка формується у (t-1)-му циклі сортування, крім початкової матриці ваги  $G^0$ .

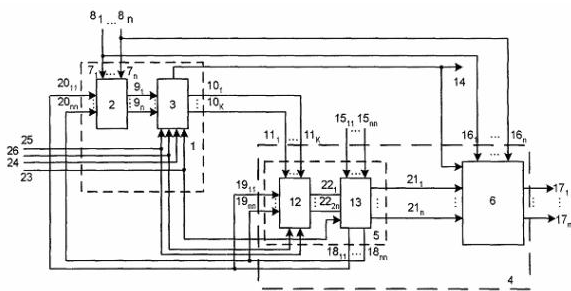
Кожен шифратор  $48_i$ ,  $i = \overline{1, n}$ , перетворює вектор-рядок  $g_i^{t-1}$  матриці ваги  $G^{t-1}$ , який представлено в одиничному позиційному коді, в його p-розрядний двійковий код,  $p = \log_2 n$ , і подає його значення на адресний вхід демультимплексора  $49_i$ . Демультимплексор

плексор 49; комутує на свій  $j$ -й вихід значення  $i$ -го елемента вхідного вектора  $x$  даних, ранг  $g_i^{t-1}$  якого дорівнює величині  $j$ ,  $j = 1, n$ , яке потім подається на вхід елемента АБО 50 $_j$ . Таким чином, на виходах 9 $_1, \dots, 9_n$  селектора кодів 2 налаштовувальної частини 1, які є виходами елементів АБО 50 $_1, \dots, 50_n$ , формується вектор  $x^t = \{x_1^t, \dots, x_j^t, \dots, x_n^t\}$ , тобто виконується зчитування елементів вхідного вектора  $x$  даних відповідно до їх рангів.

Блок 6 обчислювальної частини 4 сортувальної нейромережі (Фіг.4) функціонує в такий спосіб.

На  $m$ -розрядні інформаційні входи 16 $_1, \dots, 16_n$  блока 6 обчислювальної частини 4, які підключені відповідно до інформаційних входів мультиплексорів 51 $_1, \dots, 51_n$ , подається вхідний вектор  $x$  даних. На входи 21 $_1, \dots, 21_n$  вектора підстановки блока 6 обчислювальної частини 4, які підключені відповідно до адресних входів мультиплексорів 51 $_1, \dots, 51_n$ , подається вектор підстановки  $v_j = g_j^t$ . При наявності одиничного сигналу на вході 21 і вектора підстановки та на виході 14 сигналу "Кінець" пристрою, який є сигналом дозволу зчитування блока 6 і підключений до входу дозволу мультиплексора 51 $_i$ ,  $i$ -й розряд елемента  $x_i$  вхідного вектора  $x$  даних подається з  $(l+1)$ -го виходу,  $l = 0, m-1$ , де  $m$  - розрядність елементів вхідного вектора даних, мультиплексора 51 $_i$  на вхід елемента АБО 52 $_{l+1}$ , вихід якого є виходом 17 $_{l+1}$   $l$ -го розряду  $j$ -го елемента відсортованого вектора даних пристрою. Таким чином, елемент  $x_i$  вхідного вектора  $x$  даних, в молодшому розряді рангу  $g_{ij}^N$  якого присутня одиниця, тобто ранг якого  $g_i^N$  є найменшим за значенням, найпершим з'явиться на виходах 17 $_1, \dots, 17_m$  елемента відсортованого вектора даних пристрою.

Приклад сортування послідовності чисел (19 35 12 0 49 27), які є елементами вхідного вектора даних, показано на Фіг.5. Тут застосовано такі умовні позначення: [ - ознака пари елементів, які



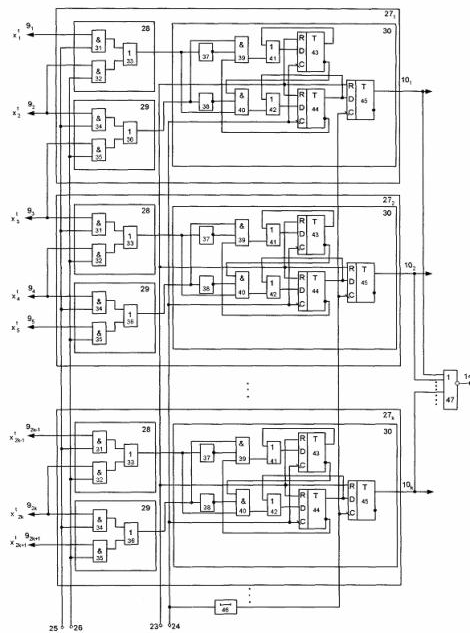
Фіг. 1

порівнюють,  $\curvearrowright$  - ознака збільшення/зменшення (інкремента/декремента) відповідних рангів елементів. Масив рангів елементів складається з діапазону цілих додатних чисел від 1 до 6 (вони помічені в дужках біля кожного елемента вектора даних). В процесі сортування виконується один контрольний (п'ятий) цикл. Отже, кількість  $N$  циклів сортування складає  $N=O(n)$ , оскільки  $N=n-1$ .

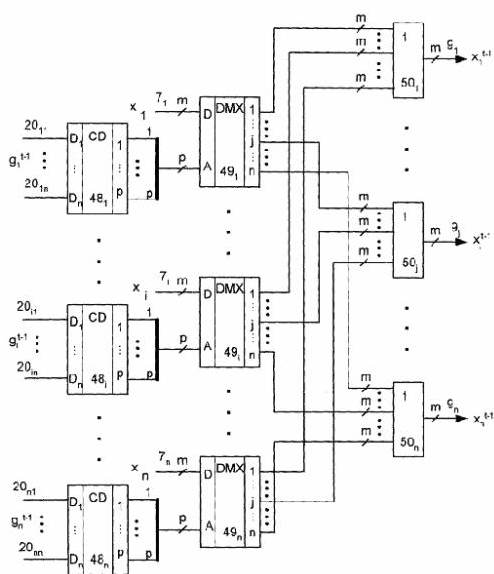
Доведемо можливість застосування одного контрольного циклу.

Нехай  $s$ -й цикл був останній, в якому виконувались зміни рангів елементів у парах. Але, якщо у  $(s+1)$ -му циклі не відбувається жодної зміни рангів елементів у парах, то можна стверджувати, що у  $(s+2)$ -му циклі також не буде зміни рангів елементів, оскільки будуть порівнюватись елементи в парах, які вже впорядковані у  $s$ -му циклі. Ці міркування стосуються всіх циклів, окрім першого. При відсутності зміни рангів елементів у першому циклі необхідно виконати ще один цикл для контролю.

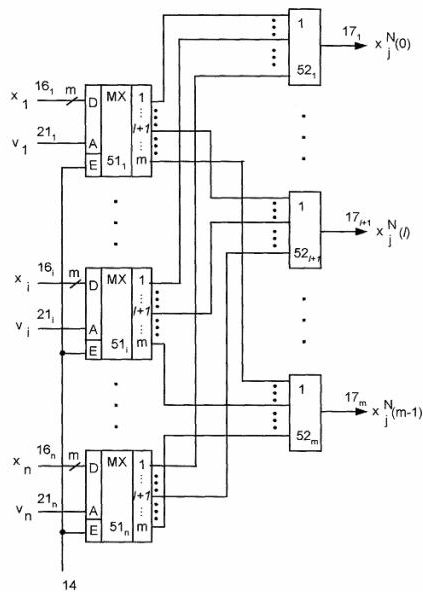
Запропонована сортувальна нейромережа дозволяє зменшити апаратні витрати на сортування чисел як елементів вхідного вектора даних за рахунок ранжування елементів послідовності, що приводить в процесі попарного перегляду до зміни значень рангів елементів на одиницю замість переміщення (транспозиції) елементів у парах, яке потребує додаткової комірки пам'яті для кожної пари елементів, що переміщують. Крім того, апаратна складність налаштовувальної та обчислювальної частин сортувальної нейромережі дорівнює  $O(n)$  елементів, де  $n$  - кількість елементів вхідного вектора даних пристрою, в той час як апаратна складність блоків відомої сортувальної мережі - прототипу дорівнює  $O(n^2)$  елементів. В якості значень рангів елементів може використовуватися не тільки послідовність чисел від 1 до  $n$  (натуральний ряд чисел), але й послідовність адреси цих елементів при їх записі у пам'ять.



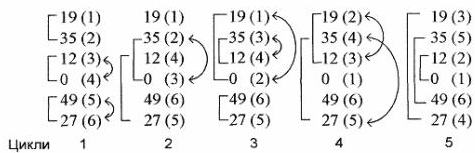
Фіг. 2



Фиг. 3



Фиг. 4



Фиг. 5