

ПРОЕКТУВАННЯ АНАЛОГО-ЦИФРОВОЇ СИСТЕМИ СИНТЕЗУ СИГНАЛІВ НА БАЗІ ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМ

Вінницький національний технічний університет

Анотація

Досліджено архітектурні переваги використання програмованих логічних інтегральних схем (ПЛІС) для побудови аналого-цифрових систем генерації сигналів. Запропоновано апаратну реалізацію методу прямого цифрового синтезу (DDS) для створення еталонних сигналів та шумоподібних завад зі строго детермінованою апаратною затримкою, що є критичним для сучасних високошвидкісних систем.

Ключові слова: ПЛІС, цифровий синтез, DDS, генератор завад, ЦАП, Altera.

Abstract

The architectural advantages of using field-programmable gate arrays (FPGAs) for building analog-digital signal generation systems are investigated. The hardware implementation of the direct digital synthesis (DDS) method is proposed to create reference signals and noise-like interferences with strictly deterministic hardware latency, which is critical for modern high-speed systems.

Keywords: FPGA, digital synthesis, DDS, interference generator, DAC, Altera.

Вступ

Програмовані логічні інтегральні схеми (ПЛІС) є універсальною апаратною платформою для побудови високошвидкісних цифрових систем обробки сигналів. На відміну від мікроконтролерів із жорсткою послідовною архітектурою, ПЛІС дозволяють розробнику формувати унікальну конфігурацію безпосередньо на кристалі, забезпечуючи істинний паралелізм обчислень.

Одним із провідних світових виробників таких мікросхем є компанія Altera (нині підрозділ Intel FPGA). Її рішення, зокрема сімейства Cyclone та Stratix, стали індустріальним стандартом у сфері цифрового синтезу. Завдяки наявності на кристалі великої кількості конфігурованих логічних блоків, швидкої внутрішньої пам'яті та спеціалізованих апаратних помножувачів (DSP-блоків), ПЛІС від Altera дозволяють реалізовувати складні математичні алгоритми без програмних затримок.

Саме ці апаратні переваги роблять ПЛІС ідеальним базисом для сучасних систем генерації сигналів. Ключовою вимогою до таких систем є здатність миттєво змінювати параметри сигналу (частоту, фазу, форму). Відповідно, використання ПЛІС є найбільш ефективним рішенням для побудови високошвидкісних аналого-цифрових трактів [1].

Результати дослідження

У рамках роботи розроблено архітектуру аналого-цифрової системи генерації сигналів методом прямого цифрового синтезу (DDS). Базовим обчислювальним ядром обрано технологію ПЛІС, що дозволяє реалізувати паралельну обробку даних такт-у-такт із детермінованим часом відгуку.

Цифрова частина системи, що синтезується в базисі логічних елементів ПЛІС, включає високошвидкісний N-розрядний фазовий акумулятор та таблицю перетворення (LUT – Look-Up Table), розміщену у вбудованій пам'яті кристала. Вихідна частота згенерованого сигналу визначається співвідношенням [2]:

$$f_{\text{out}} = \frac{M * f_{\text{clk}}}{2^N} \quad (1)$$

де M — код керування частотою (крок фази); f_{clk} — тактова частота системи; N — розрядність фазового акумулятора.

Зміна коду M дозволяє здійснювати миттєву (за один такт годинника) зміну частоти вихідного

сигналу без перехідних процесів, що є неможливим у класичних аналогових генераторах. Для зворотного перетворення згенерованого цифрового потоку в аналоговий сигнал використовується апаратний модуль цифро-аналогового перетворювача (ЦАП), узгоджений із портами вводу-виводу базової плати. Синхронна робота ЦАП та логіки ПЛІС забезпечує формування сигналів заданої форми (синусоїдальні, трикутні) та псевдовипадкових шумових послідовностей (PRBS) з точністю, достатньою для цілей лабораторного моделювання радіоелектронної обстановки.

Висновки

Доведено, що використання архітектури ПЛІС для побудови аналого-цифрових систем прямого цифрового синтезу забезпечує істинно паралельну генерацію сигналів зі строго детермінованою апаратною затримкою. Запропонована апаратна реалізація DDS є оптимальним базисом для розробки вітчизняних лабораторних стендів та прототипів генераторів завад для систем радіоелектронної боротьби.

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ

1. Hardianto M. R. Design and Implementation of an FPGA-Based Direct Digital Synthesis Signal Generation / M. R. Hardianto, R. Setiawan, A. N. Irfansyah // 2025 International Seminar on Intelligent Technology and Its Applications (ISITIA). – IEEE, 2025. – P. 337-342.
2. Zheng R. Optimized Simulation Design of DDS Signal Generator Based on FPGA / R. Zheng // 2023 International Conference on Computer Simulation and Modeling. – IEEE, 2023. – P. 120-125.

Соєцький Дмитрій Олегович — студент групи 2КІ-22б, факультет інформаційних технологій та комп'ютерної інженерії, Вінницький національний технічний університет, Вінниця, e-mail: coyetskya@gmail.com;

Крупельницький Леонід Віталійович — кандидат технічних наук, доцент кафедри обчислювальної техніки Вінницького національного технічного університету, Вінниця, e-mail: krup@vntu.edu.ua

Soietskyi Dmytrii O. — student of group 2KI-22b, faculty of information technologies and computer engineering, Vinnytsia National Technical University, Vinnytsia, e-mail: coyetskya@gmail.com;

Krupelnyskyi Leonid V. — PhD, associate professor of the Department of Computer Engineering, Vinnytsia National Technical University, Vinnytsia, e-mail: krup@vntu.edu.ua